

**DDR**

**Xilinx**

# Introducción

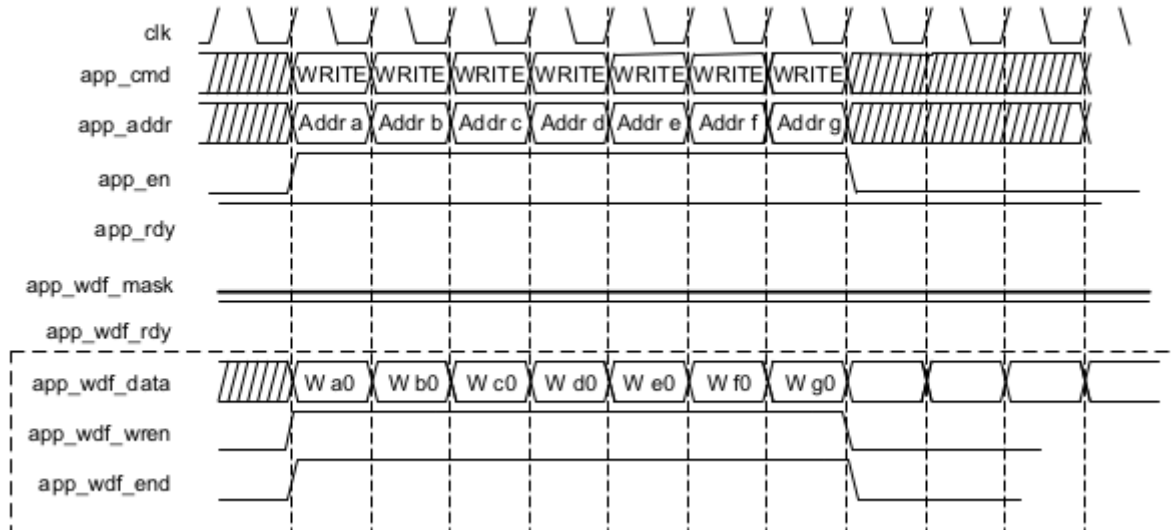
## Puertos básicos

| Nombre                         | Dirección | Tamaño       | Función  |
|--------------------------------|-----------|--------------|--|
| <i>c0_init_calib_complete</i>  | Out       | 1            | Salida que determina cuando la calibración está completa. Se puede dejar abierta |
| <i>dbg_clk</i>                 | Out       | 1            | Reloj de depuración. Se puede dejar al aire                                      |
| <i>c0_sys_clk_i</i>            | In        | 1            | Reloj de entrada del controlador de la DDR. Viene del exterior.                  |
| <i>sys_rst</i>                 | In        | 1            | Reset de entrada, activo a nivel alto  |
| <i>dbg_bus</i>                 | Out       | 8 x 64 = 512 | Salida de depuración. Se puede dejar al aire                                     |
| <i>c0_ddr4_adr</i>             | Out       | 17           | Puertos de salida para la DDR  |
| <i>c0_ddr4_ba</i>              | Out       | 2            |  |
| <i>c0_ddr4_cke</i>             | Out       | 1            |  |
| <i>c0_ddr4_cs_n</i>            | Out       | 1            |  |
| <i>c0_ddr4_dm_dbi_n</i>        | Inout     | 8            |  |
| <i>c0_ddr4_dq</i>              | Inout     | 8 x 8 = 64   |  |
| <i>c0_ddr4_dqs_c</i>           | Inout     | 8            |  |
| <i>c0_ddr4_dqs_t</i>           | Inout     | 8            |  |
| <i>c0_ddr4_odt</i>             | Out       | 1            |  |
| <i>c0_ddr4_bg</i>              | Out       | 1            |  |
| <i>c0_ddr4_reset_n</i>         | Out       | 1            |  |
| <i>c0_ddr4_act_n</i>           | Out       | 1            |  |
| <i>c0_ddr4_ck_c</i>            | Out       | 1            |  |
| <i>c0_ddr4_ck_t</i>            | Out       | 1            |  |
| <i>c0_ddr4_ui_clk</i>          | Out       | 1            | Reloj de salida para utilizarlo en la FPGA                                       |
| <i>c0_ddr4_ui_clk_sync_rst</i> | Out       | 1            | Reset de salida para utilizarlo en la FPGA                                       |
| <i>c0_ddr4_app_en</i>          | In        | 1            | Señal de enable del controlador de la DDR  |

|                                  |     |     |  |
|----------------------------------|-----|-----|--|
| <i>c0_ddr4_app_hi_pri</i>        | In  | 1   | Señal que indica la prioridad en la DDR, se puede obviar poniéndola a nivel bajo.                  |
| <i>c0_ddr4_app_wdf_end</i>       | In  | 1   | Señal que indica la finalización del envío de un dato  |
| <i>c0_ddr4_app_wdf_wren</i>      | In  | 1   | Señal que habilita la escritura de datos   |
| <i>c0_ddr4_app_wdf_rdy</i>       | Out | 1   | Señal que indica que la escritura está disponible para usarse                                      |
| <i>c0_ddr4_app_wdf_data</i>      | In  | 512 | Señal de datos de escritura  |
| <i>c0_ddr4_app_rd_data_end</i>   | Out | 1   | Señal que indica que la lectura se ha terminado  |
| <i>c0_ddr4_app_rd_data_valid</i> | Out | 1   | Señal que indica que el dato leído es válido   |
| <i>c0_ddr4_app_rdy</i>           | Out | 1   | Señal que indica que la lectura está disponible para usarse.                                       |
| <i>c0_ddr4_app_rd_data</i>       | Out | 512 | Señal con los datos leídos de la memoria   |
| <i>c0_ddr4_app_addr</i>          | In  | 29  | Señal dónde se escribe la dirección dónde se quiere escribir                                       |
| <i>c0_ddr4_app_cmd</i>           | In  | 3   | Señal que indica el comando para el controlador de la DDR.<br>“000” → escritura<br>“001” → lectura |
| <i>c0_ddr4_app_wdf_mask</i>      | In  | 64  | Máscara de datos de salida, se puede dejar a nivel bajo todos los bits                             |

# Escritura

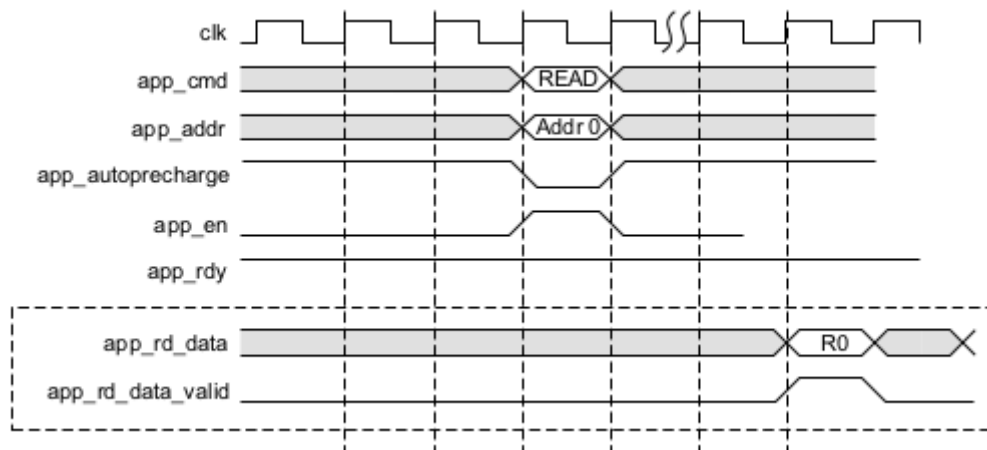
Para la escritura hay que seguir el siguiente formato de activación.



*\*En la lectura real de la DDR tarda un tiempo entre que se manda la orden y se escribe en la memoria. Este tiempo se llama CAS.*

# Lectura

Para la lectura hay que seguir el siguiente diagrama temporal.



*\*En la lectura real de la DDR tarda un tiempo entre que se manda la orden y se lee de la memoria. Este tiempo se llama CAS.*