

Universidad de Alcalá  
Escuela Politécnica Superior

Ingeniería Electrónica y Automática Industrial



ESCUELA POLITECNICA  
**Autor:** David Rubio Gonzalo  
SUPERIOR

2021



## Resumen

En este documento se tratarán todas las partes que componen el diseño de una PCB basada en SoC de Xilinx, tanto Zynq-7000 como Zynq-UltraScale+.

Para ello se documenta cómo se localiza la información necesaria, se explica qué partes son los más importantes para el diseño y se trata de hacer que la información más compleja de localizar esté de forma más comprensible en este documento.

Además, se adjunta en este documento información necesaria para el desarrollo avanzado de SoCs, como por ejemplo, el *pinout* de los diferentes tipos de memoria RAM más utilizados, además de cómo se conectan a los SoC.

**Palabras clave: SoC, Xilinx, pinout, KiCad, Vivado, Zynq-7000, Zynq-UltraScale+**

## **Abstract**

This document thread about every parts of the design PCBs with the Xilinx's SoCs, Zynq-7000 and Zynq-UltraScale+.

## Acrónimos

**SoC** : System on Chip

**MIO** : Multiuse Input/Output

**PS** : Processing System

**PL** : Programmable Logic

**FPGA** : Field-Programmable Gate Array

**DDR** : Double Data Rate

**CLK** : Clock (reloj)

**GND** : Ground (masa)

**SW** : Switch (interruptor)

**BT** : Botón

**JTAG** : Join Test Action Group

**UART** : Universal Asynchronous Receiver-Transmitter

**SPI** : Serial Peripheral Interface

**PCB** : Printed Circuit Board

**RAM** : Random Access Memory

## Resumen extendido

Este documento comienza con una instrucción al mundo de los SoCs, qué son, para qué se usan, etc.

Después se habla centra el tema sobre los SoC de los que se tratará.

Comienza con el SoC Zynq-7000 de Xilinx en el que comenta qué es, qué incorpora, posibles aplicaciones. Después, se explica dónde conseguir la documentación para su desarrollo, desde PDFs para las alimentaciones cómo los ficheros .csv de cada tipo de SoC.

Ahora con toda la información se pasa a la explicación técnica de cada una de sus partes, por ejemplos, los pines MIO o las alimentaciones de cada banco de pines.

Y con toda la explicación técnica se desarrolla un ejemplo de un diseño a partir de un enunciado en el que se describe cada parte anterior aplicada a una parte del ejemplo.

Para terminar con el SoC, se explica con el ejemplo anteriormente desarrollado cómo crear los ficheros para conseguir que la PCB del ejemplo anterior sea reconocida por Vivado, el software de programación de los SoCs de Xilinx, como una placa propia del sistema para evitar tener que configurar el sistema continuamente cada vez que se use el SoC.

Una vez se ha explicado la Zynq-7000 se pasa a explicar la Zynq-UltraScale+ igual que la Zynq-7000.

Se empieza con una introducción de la Zynq-UltraScale+. Después, se explica dónde obtener la información necesaria, y con esta información se habla de cada parte que compone el SoC, (esta parte se considera independiente de la anterior para permitir que quien lo necesite no tenga que leer la parte anterior).

Después, se complementa lo anterior con un ejemplo guiado y con los ficheros de Vivado del ejemplo para hacer la placa reconocible.

Y para terminar concluye con un apartado en el que se da la bienvenida al mundo de los SoCs.

Anexos, en los anexos se explicará toda la información concerniente al desarrollo de SoCs pero que no son SoCs, por ejemplo, la conexión de memorias RAM, el pinout de éstas, y otra información de interés que no se encuentra en fácil en internet.



# **Memoria**



# Índice general

<b>Resumen.....</b>	<b>2</b>
Abstract.....	3
<b>Acrónimos.....</b>	<b>4</b>
<b>Resumen extendido.....</b>	<b>5</b>
<b>MEMORIA.....</b>	<b>7</b>
<b>INTRODUCCIÓN.....</b>	<b>19</b>
<b>1.1 Diferencias entre Zynq-7000 y Zynq-UltraScale+.....</b>	<b>21</b>
<b>ZYNQ-7000.....</b>	<b>24</b>
<b>2.1 Introducción.....</b>	<b>24</b>
<b>2.2 Características.....</b>	<b>25</b>
<b>2.3 ¿Cuál elegir de todos los modelos?.....</b>	<b>26</b>
<b>2.4 Documentación necesaria.....</b>	<b>29</b>
<b>2.5 Definición de pines.....</b>	<b>33</b>
User I/O Pins.....	34
Configuration Pins.....	34
Power/Ground Pins.....	34
PS MIO Pins.....	35
PS DDR Pins.....	36
Analog to Digital Conveter(XADC) Pins.....	36
Multi-gigabit Serial Transceiver Pins (GTXE2 y GTPE2).....	37
Otros pines.....	37
<b>2.6 Bancos de pines.....</b>	<b>38</b>
Banco de pines de alimentación.....	38
Banco hardware.....	39
Banco de pines MIO.....	39
Banco de Memoria RAM.....	42
<b>EJEMPLO ZYNQ-7000.....</b>	<b>43</b>
<b>3.1 Enunciado.....</b>	<b>43</b>
<b>3.2 Solución.....</b>	<b>43</b>
<b>Selección del SoC.....</b>	<b>44</b>
<b>Alimentaciones.....</b>	<b>44</b>

<b>Masas.....</b>	51
<b>Memoria RAM - DDR.....</b>	52
<b>Pines de configuración hardware.....</b>	54
<b>Pines MIO.....</b>	58
<b>Pines de configuración.....</b>	65
<b>Otros pines.....</b>	66
<b>3.3 Presupuesto.....</b>	67
<b>ZYNQ ULTRASCALE+.....</b>	69
<b>4.1 Introducción.....</b>	69
<b>4.2 Características.....</b>	70
<b>4.3 ¿Cuál elegir de todos los modelos?.....</b>	71
MPSOCs de tipo CG.....	71
MPSOCs de tipo EG.....	73
MPSOCs de tipo EV.....	74
<b>4.4 Documentación necesaria.....</b>	75
<b>4.5 Definición de pines.....</b>	81
User I/O Pins.....	81
User I/O Multi-Functions Pins.....	81
Configuration Pins.....	81
Power/Ground Pins.....	82
PS MIO Pins.....	83
PS DDR Pins.....	83
System Monitor Pins.....	84
Multi-gigabit Serial Transceiver Pins.....	84
Zynq-UltraScale+ RFSoC Dedicated Pins.....	85
Others Dedicated Pins.....	85
<b>4.6 Bancos de pines.....</b>	86
Banco de pines de alimentación.....	86
Banco hardware.....	88
Banco MIO.....	88
Banco GTR.....	92
Banco GTY.....	92
Banco GTX.....	92
Banco DDR.....	92
<b>EJEMPLO ZYNQ-ULTRASCALE+.....</b>	94
<b>5.1 Enunciado.....</b>	94
<b>5.2 Solución.....</b>	94
Selección del SoC.....	94
Alimentaciones.....	96
Memoria RAM - DDR.....	103
Pines de configuración de hardware.....	105
Pines MIO.....	109
Pines de configuración.....	114
Otros pines.....	118

<b>5.3 Presupuesto.....</b>	<b>119</b>
 <b>FICHEROS DE CONFIGURACIÓN.....121</b>	
<b>6.1 board.xml.....</b>	<b>121</b>
<b>6.2 preset.xml.....</b>	<b>124</b>
<b>6.3 part0_pins.xml.....</b>	<b>125</b>
<b>6.4 Ejemplo de configuración de plantillas.....</b>	<b>126</b>
6.4.1 Zynq-7000.....	126
6.4.2 Zynq-UltraScale+.....	135
<b>6.5 Ficheros XDC.....</b>	<b>143</b>
Ejemplo XDC de Zynq-7000.....	143
Ejemplo XDC de Zynq-UltraScale+.....	144
 <b>CONCLUSIONES Y LÍNEAS FUTURAS.....145</b>	
 <b>REFERENCIAS.....146</b>	
 <b>ANEXO.....148</b>	
<b>Anexo 1 - Encapsulados Zynq-7000.....</b>	<b>150</b>
CLG225.....	150
CLG400.....	151
CLG484.....	152
SBG485/SBV485.....	153
FBGG484/FBV484.....	155
FBG676/FBV676.....	157
FFG676/FFV676.....	160
FFG676/FFV676.....	161
FFG900.....	162
FFG900/FFV900.....	163
FFG1156/FFV1156.....	164
RB484.....	165
RF676/RFG676.....	166
RF900.....	167
RF1156.....	168
<b>Anexo 2 - Encapsulados Zynq-UltraScale+.....</b>	<b>169</b>
SBVA484.....	169
SFRA484.....	170
UBVA530.....	171
SFVA625.....	172
SFRC784.....	173
SFVC784.....	174
FBVB900.....	175
FFRB900.....	177
FFRB900/FFRC900.....	178
FFVC900.....	179
FFRB1156.....	180
FFVB1156.....	181

---

FFRC1156.....	182
FFVC1156.....	183
FFRD1156.....	184
FFRE1156.....	185
FFVD1156.....	186
FFVE1156.....	187
FSVE1156.....	188
FFRB1517.....	189
FFVB1517/FFVF1517.....	190
FFRG1517.....	191
FFVG1517.....	192
FSVG1517.....	193
FFVC1760/FFVD1760.....	194
FFRC1760.....	195
FFVF1760/FFVH1760.....	196
FFRF1760.....	197
FSVF1760/FSVH1760.....	198
FFVE1924.....	199
<b>Anexo 3- Pinout relevantes.....</b>	<b>200</b>
DDR3 UDIMM.....	200
DDR3 SODIMM.....	202
DDR4 UDIMM.....	204
DDR4 SODIMM.....	206
M.2 Type 2280 NAND Flash SSD.....	208
<b>ESQUEMÁTICOS.....</b>	<b>210</b>

## Tabla de figuras

Figura 1 - CORTEX-A53.....	21
Figura 2- CORTEX-R5.....	22
Figura 3- MALI-400.....	22
Figura 4- CORTEX-A9.....	23
Figura 5- Zynq-7000.....	26
Figura 6 - selection guide Zynq-7000.....	28
Figura 7- encapsulados Zynq-7000.....	29
Figura 8 - formato de pinout Zynq-7000.....	30
Figura 9. Fuente: editor de huellas de KiCad Zynq-7000.....	31
Figura 10 - segunda columna del pinout de Zynq-7000.....	31
Figura 11- cuarta columna del pinout de Zynq-7000.....	31
Figura 12 - planos del pinout de Zynq-7000.....	32
Figura 13- Tabla de alimentaciones Zynq-7000.....	38
Figura 14- Ubicaciones de pines de alimentación del encapsulado CLG400 Zynq-7000.....	39
Figura 15- Posición de los pines MIO Zynq-7000.....	40
Figura 16 - tabla de 2 cores Zynq-7000.....	44
Figura 17- CLG400 Zynq-7000.....	44
Figura 18 - alimentaciones Zynq-700 0.....	45
Figura 19 - datasheet TPS563201 Zynq-7000.....	46
Figura 20 - ejemplo de TPS563201 Zynq-7000.....	47
Figura 21 - alimentación de 1.0V Zynq-7000.....	47
Figura 22 - alimentación de 1,8V Zynq-7000.....	48
Figura 23 - alimentación de 1,35V Zynq-7000.....	49
Figura 24 - alimentación de 1,8V Zynq-7000.....	49
Figura 25 - conexión de alimentaciones Zynq-7000.....	50
Figura 26 - entrada de alimentación Zynq-7000.....	50
Figura 27 - barrel Jack.....	51
Figura 28 - conexión de masas Zynq-7000.....	51
Figura 29 - conexión Memoria RAM Zynq-7000.....	52
Figura 30 - conexión memoria RAM Zynq 7000.....	53
Figura 31 - divisor resistivo XC7Z010 Zynq-7000.....	53
Figura 32 - leds de activación Zynq-7000.....	54
Figura 33 - leds Zynq-7000.....	54
Figura 34 - switch activo nivel alto.....	55
Figura 35 - switches Zynq-7000.....	55
Figura 36 - botones Zynq-7000.....	55
Figura 37 - banco 34 Zynq-7000.....	56
Figura 38 - banco 35 Zynq-7000.....	58
Figura 39 - TPR3106K33DBV Zynq-7000.....	59
Figura 40 - Conexión del PS_POR_B Zynq-7000.....	59
Figura 41 - oscilador de 33MHz Zynq-7000.....	60
Figura 42 - Quad SPI Flash Zynq-7000.....	60
Figura 43 - banco 500 Zynq-7000.....	61
Figura 44 - reset parte PS Zynq-7000.....	61
Figura 45 - Tarjeta SD Zynq-7000.....	62
Figura 46 - USB tipo C Zynq-7000.....	63
Figura 47 - conexión banco 501 Zynq-7000.....	64
Figura 48 - señal de configuración Zynq-7000.....	65
Figura 49 - pines de configuración Zynq-7000.....	66
Figura 50 - banco NC Zynq-7000.....	66
Figura 51 - comparativa de Zynq-UltraScale+.....	71
Figura 52 - descripción de hardware de CG Zynq UltraScale+.....	72
Figura 53 - selection guide MPSoC clase CG Zynq UltraScale+.....	72

<i>Figura 54 - descripción de hardware de EG Zynq UltraScale+.....</i>	73
<i>Figura 55 - selection guide MPSoC clase EG Zynq UltraScale+.....</i>	74
<i>Figura 56 - descripción de hardware de EV Zynq UltraScale+.....</i>	75
<i>Figura 57 - selection guide MPSoC clase EV Zynq UltraScale+.....</i>	75
<i>Figura 58 - ejemplo de tabla de enlace de pines Zynq UltraScale+.....</i>	76
<i>Figura 59 - pinout Zynq-UltraScale+.....</i>	77
<i>Figura 60 - formato de pinout de Zynq-UltraScale+.....</i>	77
<i>Figura 61 - primera columna Zynq-UltraScale+.....</i>	78
<i>Figura 62 - segunda columna Zynq-UltraScale+.....</i>	78
<i>Figura 63 - cuarta columna Zynq-UltraScale+.....</i>	78
<i>Figura 64 - Séptima columna Zynq-UltraScale+.....</i>	79
<i>Figura 65 - Distribución de alimentaciones Zynq UltraScale+.....</i>	86
<i>Figura 66 - tabla de pines MIO Zynq UltraScale+.....</i>	89
<i>Figura 67 - frecuencia de reloj de GTR Zynq UltraScale+.....</i>	92
<i>Figura 68 - Selection guide ZU2CG Zynq UltraScale+.....</i>	95
<i>Figura 69 - Selection Guide package Zynq UltraScale+.....</i>	95
<i>Figura 70 - Entrada de alimentación Zynq UltraScale+.....</i>	96
<i>Figura 71 - datasheet TPS563201.....</i>	97
<i>Figura 72 - ejemplo de TPS563201 Zynq UltraScale+.....</i>	98
<i>Figura 73 - alimentación de 1.0V Zynq UltraScale+.....</i>	98
<i>Figura 74 - alimentación de 1,8V Zynq UltraScale+.....</i>	99
<i>Figura 75 - alimentación de 1,35V Zynq-7000.....</i>	100
<i>Figura 76 - alimentación de 1,8V Zynq UltraScale+.....</i>	100
<i>Figura 77 - conexión de alimentaciones Zynq UltraScale+.....</i>	101
<i>Figura 78 - GND Zynq UltraScale+.....</i>	102
<i>Figura 79 - DDR4 Zynq UltraScale+.....</i>	103
<i>Figura 80 - alimentación de 2.5V Zynq UltraScale+.....</i>	104
<i>Figura 81 - banco DDR Zynq UltraScale+.....</i>	104
<i>Figura 82 - led Zynq UltraScale+.....</i>	105
<i>Figura 83 - banco de leds Zynq UltraScale+.....</i>	105
<i>Figura 84 - botón Zynq UltraScale+.....</i>	106
<i>Figura 85 - banco de botones Zynq UltraScale+.....</i>	106
<i>Figura 86 - banco de switches Zynq UltraScale+.....</i>	107
<i>Figura 87 - conexión banco 26 de hardware Zynq UltraScale+.....</i>	107
<i>Figura 88 - banco 65 Zynq UltraScale+.....</i>	109
<i>Figura 89 - banco 66 Zynq UltraScale+.....</i>	109
<i>Figura 90 - USB tipo C Zynq UltraScale+.....</i>	110
<i>Figura 91 - SPI Flash Zynq-UltraScale+.....</i>	111
<i>Figura 92 - SD-IP4856CX25 Zynq-UltraScale+.....</i>	112
<i>Figura 93 - conexión MIO I Zynq UltraScale+.....</i>	113
<i>Figura 94 - conexión MIO II Zynq UltraScale+.....</i>	113
<i>Figura 95 - conexión MIO III Zynq UltraScale+.....</i>	114
<i>Figura 96 - pines de JTAG Zynq UltraScale+.....</i>	114
<i>Figura 97 - tabla de arranque de Zynq UltraScale+.....</i>	115
<i>Figura 98 - MAX16025 Zynq UltraScale+.....</i>	115
<i>Figura 99 - TPS3106K33DBV Zynq UltraScale+.....</i>	116
<i>Figura 100 - oscilador de 33MHz Zynq UltraScale+.....</i>	116
<i>Figura 101 - configuración Zynq UltraScale+.....</i>	117
<i>Figura 102 - conexión del banco de configuración Zynq UltraScale+.....</i>	117
<i>Figura 103 - banco de pines GTR Zynq UltraScale+.....</i>	118
<i>Figura 104 - board.xml I.....</i>	122
<i>Figura 105 - board.xml II.....</i>	123
<i>Figura 106 - jtag_chains board.xml III.....</i>	124
<i>Figura 107 - connections board.xml IV.....</i>	124
<i>Figura 108 - preset.xml.....</i>	125
<i>Figura 109 - part0_pins.....</i>	126

<i>Figura 110 - board.xml I Zynq-7000.....</i>	126
<i>Figura 111 - board.xml II Zynq-7000.....</i>	127
<i>Figura 112 - board.xml III Zynq-7000.....</i>	127
<i>Figura 113 - board.xml IV Zynq-7000.....</i>	128
<i>Figura 114 - configuración ZYNQ.....</i>	129
<i>Figura 115 - preset.xml Zynq-7000.....</i>	130
<i>Figura 116 - preset.xml II Zynq-7000.....</i>	131
<i>Figura 117 - preset.xml III Zynq-7000.....</i>	132
<i>Figura 118 - preset.xml IV Zynq-7000.....</i>	133
<i>Figura 119 - part0_pins Zynq-7000.....</i>	133
<i>Figura 120 - Vivado Zynq-7000.....</i>	134
<i>Figura 121 - board.xml I Zynq UltraScale+.....</i>	135
<i>Figura 122 - board.xml II Zynq UltraScale+.....</i>	135
<i>Figura 123 - board.xml III Zynq UltraScale+.....</i>	136
<i>Figura 124 - board.xml IV Zynq UltraScale+.....</i>	136
<i>Figura 125 - configuración Zynq UltraScale+.....</i>	137
<i>Figura 126 - preset.xml I Zynq UltraScale+.....</i>	138
<i>Figura 127 - preset.xml II Zynq UltraScale+.....</i>	139
<i>Figura 128 - preset.xml III Zynq UltraScale+.....</i>	140
<i>Figura 129 - preset.xml IV Zynq UltraScale+.....</i>	141
<i>Figura 130 - part0_pins.xml Zynq UltraScale+.....</i>	141
<i>Figura 131 - Vivado Zynq UltraScale+.....</i>	142
<i>Figura 132- CLG225.....</i>	150
<i>Figura 133- CLG400.....</i>	151
<i>Figura 134- CLG484.....</i>	152
<i>Figura 135- SBG485/SBV485.....</i>	153
<i>Figura 136- SBG485/SBV485(2).....</i>	154
<i>Figura 137- FBGG484/FBV484.....</i>	155
<i>Figura 138 - FBGG484/FBV484 (2).....</i>	156
<i>Figura 139 - FBG676/FBV676.....</i>	157
<i>Figura 140 - FBG676/FBV676 (2).....</i>	158
<i>Figura 141 - FBG676/FBV676(3).....</i>	159
<i>Figura 142 - FFG676/FFV676.....</i>	160
<i>Figura 143 - FFG676/FFV676.....</i>	161
<i>Figura 144 - FFG900.....</i>	162
<i>Figura 145 - FFG900/FFV900.....</i>	163
<i>Figura 146 - FFG1156/FFV1156.....</i>	164
<i>Figura 147 - RB484.....</i>	165
<i>Figura 148 - RF676/RFG676.....</i>	166
<i>Figura 149 - RF900.....</i>	167
<i>Figura 150 - RF1156.....</i>	168
<i>Figura 151 - SBVA484.....</i>	169
<i>Figura 152 - SFRA484.....</i>	170
<i>Figura 153 - UBVA530.....</i>	171
<i>Figura 154 - SFVA625.....</i>	172
<i>Figura 155 - SFRC784.....</i>	173
<i>Figura 156 - SFVC784.....</i>	174
<i>Figura 157 - FBVB900.....</i>	175
<i>Figura 158 - FBVB900(2).....</i>	176
<i>Figura 159 - FFRB900.....</i>	177
<i>Figura 160 - FFRB900/FFRC900.....</i>	178
<i>Figura 161 - FFVC900.....</i>	179
<i>Figura 162 - FFRB1156.....</i>	180
<i>Figura 163 - FFVB1156.....</i>	181
<i>Figura 164 - FFRC1156.....</i>	182
<i>Figura 165 - FFVC1156.....</i>	183

<i>Figura 166 - FF RD1156.....</i>	184
<i>Figura 167 - FF RE1156.....</i>	185
<i>Figura 168 - FF VD1156.....</i>	186
<i>Figura 169 - FF VE1156.....</i>	187
<i>Figura 170 - FS VE1156.....</i>	188
<i>Figura 171 - FF RB1517.....</i>	189
<i>Figura 172 - FF VB1517/FF VF1517.....</i>	190
<i>Figura 173 - FF RG1517.....</i>	191
<i>Figura 174 - FF VG1517.....</i>	192
<i>Figura 175 - FS VG1517.....</i>	193
<i>Figura 176 - FF VC1760/FF VD1760.....</i>	194
<i>Figura 177 - FF RC1760.....</i>	195
<i>Figura 178 - FF VF1760/FF VH1760.....</i>	196
<i>Figura 179 - FF RF1760.....</i>	197
<i>Figura 180 - FS VF1760/FS VH1760.....</i>	198
<i>Figura 181 - FF VE1924.....</i>	199
<i>Figura 182 - DDR3 UDIMM.....</i>	200
<i>Figura 183 - DDR3 UDIMM PINOUT.....</i>	201
<i>Figura 184 - DDR3 SODIMM.....</i>	202
<i>Figura 185 - DDR3 SODIMM PINOUT.....</i>	203
<i>Figura 186 - DDR4 UDIMM.....</i>	204
<i>Figura 187 - DDR4 UDIMM PINOUT.....</i>	205
<i>Figura 188 - DDR4 SODIMM.....</i>	206
<i>Figura 189 - DDR4 SODIMM PINOUT.....</i>	207
<i>Figura 190 - M.2 Type 2280 NAND Flash SSD.....</i>	208
<i>Figura 191 - M.2 SSD Pinout.....</i>	209

## Tablas

<i>Tabla 1- tabla de precios Zynq-7000</i>	27
<i>Tabla 2- pines UART0 Zynq-7000</i>	40
<i>Tabla 3- pines UART1 Zynq-7000</i>	40
<i>Tabla 4- pines SPI Zynq-7000</i>	41
<i>Tabla 5- pines SDIO Zynq-7000</i>	41
<i>Tabla 6- Pines Ethernet Zynq-7000</i>	41
<i>Tabla 7- pines CAN0 Zynq-7000</i>	41
<i>Tabla 8- pines CAN1 Zynq-7000</i>	41
<i>Tabla 9- pines I2C0 Zynq-7000</i>	42
<i>Tabla 10- pines I2C1 Zynq-7000</i>	42
<i>Tabla 11- pines QUAD SPI Zynq-7000</i>	42
<i>Tabla 12- pines USB Zynq-7000</i>	42
<i>Tabla 13 - pines de los leds Zynq-7000</i>	57
<i>Tabla 14 - switches Zynq-7000</i>	57
<i>Tabla 15 - botones Zynq-7000</i>	57
<i>Tabla 16 - Presupuesto Zynq-7000</i>	67
<i>Tabla 17 - Tabla de alimentaciones Zynq UltraScale+</i>	87
<i>Tabla 18 - UART0 Zynq UltraScale+</i>	89
<i>Tabla 19 - UART1 Zynq UltraScale+</i>	89
<i>Tabla 20 - SPI Zynq UltraScale+</i>	90
<i>Tabla 21 - SDIO Zynq UltraScale+</i>	90
<i>Tabla 22- CAN0 Zynq UltraScale+</i>	90
<i>Tabla 23 - CAN Zynq UltraScale+</i>	90
<i>Tabla 24 - I2C0 Zynq UltraScale+</i>	90
<i>Tabla 25 - I2C1 Zynq UltraScale+</i>	91
<i>Tabla 26 - Quad SPI Zynq UltraScale+</i>	91
<i>Tabla 27 - USB Zynq UltraScale+</i>	91
<i>Tabla 28 - pines de los leds Zynq UltraScale+</i>	108
<i>Tabla 29 - switches Zynq UltraScale+</i>	108
<i>Tabla 30 - botones Zynq UltraScale+</i>	108
<i>Tabla 31 - Presupuesto Zynq-UltraScale+</i>	119



# Capítulo 1

## Introducción

Es este es un documento de elaboración Open Source para explicar de la forma más exhaustiva el diseño PCBs con SoCs de Xilinx, debido a la fuerte carencia de información que encuentro en este sector tecnológico, además de poner de manifiesto todos los conocimientos prácticos obtenidos al trabajar en el diseño de SoCs como proyectos personales.

SoC es la abreviación de *System on Chip*, o lo que es lo mismo es el nombre que recibe la integración total o parcial de un esquema electrónico en un chip.

Gracias a esta forma de integrar todo en el espacio reducido de un chip hemos conseguido sistemas ultra-avanzados, además de una capacidad de integración impensable hace décadas.

Los SoC son sistemas reprogramables por lo que tienen infinidad de aplicaciones, por eso se utilizan en multitud de aplicaciones, por ejemplo: en radares, satélites, sistemas de gestión de la energía, inteligencia artificial, automoción, telecomunicaciones, servidores de internet, etc.

Pues los SoCs de Xilinx, de los que se va a hablar en el siguiente documento, tienen la capacidad de estar en cualquiera de las aplicaciones mencionadas. Esto es debido a que los Zynq-7000 y los Zynq-UltraScale+ llevan incorporadas arquitecturas de computador además de hardware reprogramable de FPGAs. Por lo que se consiguen unos rendimientos muy superiores en las diferentes aplicaciones además del ahorro energético que se consigue al tener un hardware específico para realizar algunas aplicaciones.

Este documento se divide en dos partes más los anexos. Las dos partes serán muy parecidas debido a que comparten componentes, pero eso no afectará a las explicaciones que se realizarán como si fuesen partes independientes por lo que cualquiera que lo necesite puede elegir la parte sobre la que comenzar. Los anexos serán una parte necesaria para entender algunas partes si no se domina el campo al que se refiere el desarrollo.

La primera parte está enfocada a los SoC que llevan una Zynq-7000 , esta parte comenzará con una introducción, después se seguirá hablando de sus características y cómo elegir el mejor para la aplicación deseada. A continuación, se comentará dónde está toda la documentación necesaria para el proyecto. Y con toda la documentación a mano se hará una

explicación de cada parte de manera extensiva. Y se acompañará con un ejemplo práctico de diseño de un SoC basado en un enunciado. y para terminar la primera parte se explicará cuáles son los ficheros necesarios para crear una placa preconfigurada y reconocible por Vivado, Vivado es el software de Xilinx para programar los SoCs y las FPGAs de Xilinx.

La segunda parte está enfocada igual que la parte anterior pero en los SoCs Zynq-UltraScale+. Se comenzará con una introducción seguido de un comentario de sus características y cuál elegir en función de sus aplicaciones. Para continuar se explicará cómo conseguir la documentación necesaria y una descripción extensiva de cada parte. Y se terminará con un ejemplo práctico de diseño de PCB con Zynq-UltraScale+ y con la descripción de cómo desarrollar los ficheros para que esté preconfigurada y sea reconocible por Vivado.

Debido a que diseñar una PCB con un SoC embebido es una de las cosas más complejas y completas que se puede realizar en el campo diseño de PCBs, en este documento se describirán elementos fundamentales en el diseño de SoCs, como por ejemplo, el trabajo con memorias RAM, tanto en formato chip como en formato tarjeta de memoria, o el acceso al pinout de determinados buses o protocolos.

Al tratarse de un documento de carácter Open Source y divulgativo, el software para realizar el diseño es KiCad<sup>1</sup> (KiCad es un software libre y Open Source por lo que no hay que pagar licencia, y para realizar PCBs da bastante juego y tiene una comunidad que contribuye de forma activa en su desarrollo) y todos los ejemplos son públicos, cada ejemplo tiene un enlace a mi GitHub con el proyecto para poder trabajar a partir de él.

---

<sup>1</sup> <https://www.kicad.org/> (Última revisión :20-09-2021)

## 1.1 Diferencias entre Zynq-7000 y Zynq-UltraScale+

### Diferencias No técnicas

- Los Zynq-UltraScale+ son más modernos que los Zynq-7000. Los Zynq-7000 salieron al mercado en 2012, mientras que los Zynq-UltraScale+ salieron al mercado en 2019.
- Los Zynq-UltraScale+ son más potentes que los Zynq-7000, debido a que incorporan más núcleos y para realizar diferentes aplicaciones
- Debido a la situación anterior los Zynq-UltraScale+ son mucho más caros que los Zynq-7000, lo que puede condicionar la elección de los Zynq-7000 para la realización de proyectos en los que no se necesita del hardware específico que lleva incorporado los Zynq-UltraScale+.
- Los Zynq-7000 tienen menos pines que los Zynq-UltraScale+, por lo que para realizar PCBs es más sencillo. Además, para realizar una PCB con un Zynq-UltraScale+ se debe tener un nivel muy superior debido a que es un SoC muy sensible a las EMI y a otro tipo de factores.

### Diferencias Técnicas

- Todos los modelos incorporan lógica programable, pero los modelos de Zynq-UltraScale+ incorporan más lógica programable y de modelos más avanzados.
- Los Zynq-UltraScale+ incorporan:
  - 2 o más ARM Cortex-A53, con arquitectura ARMv8-A

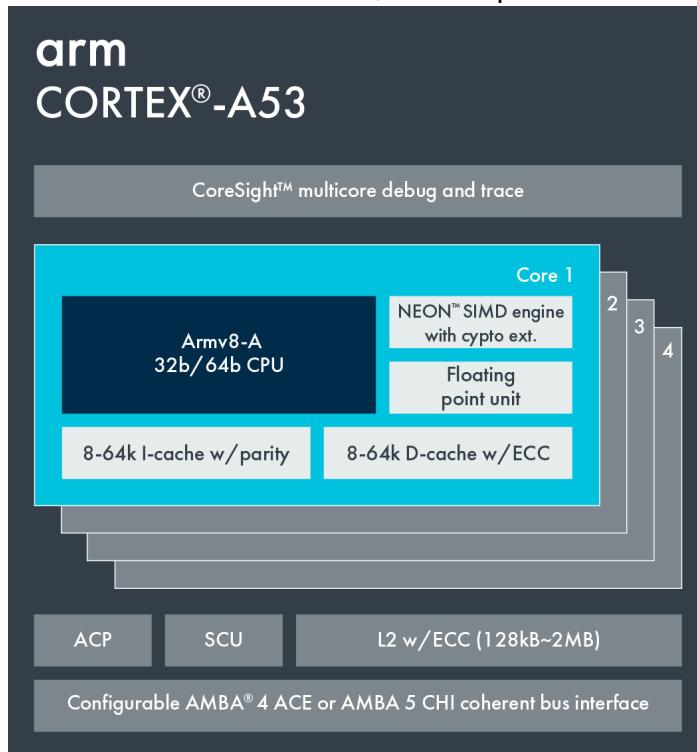
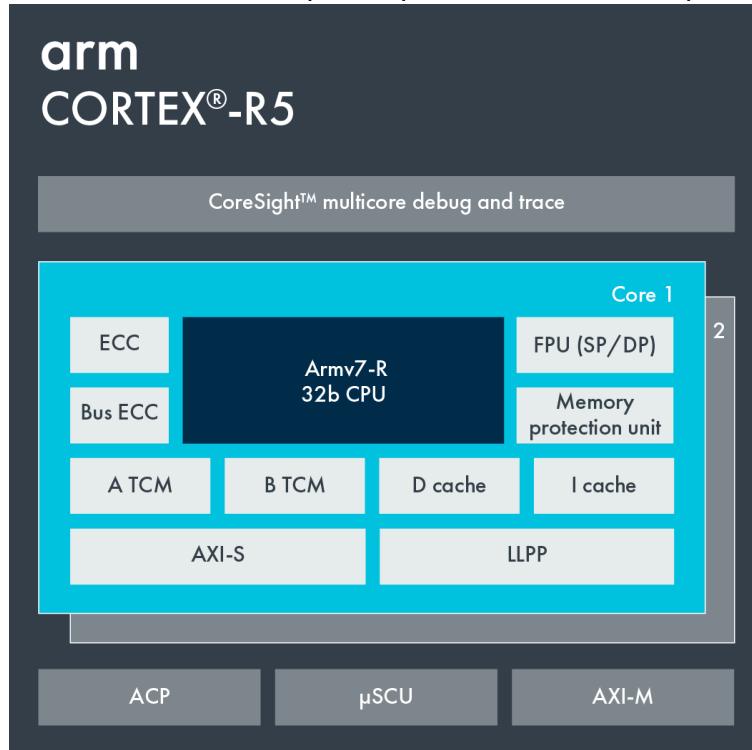


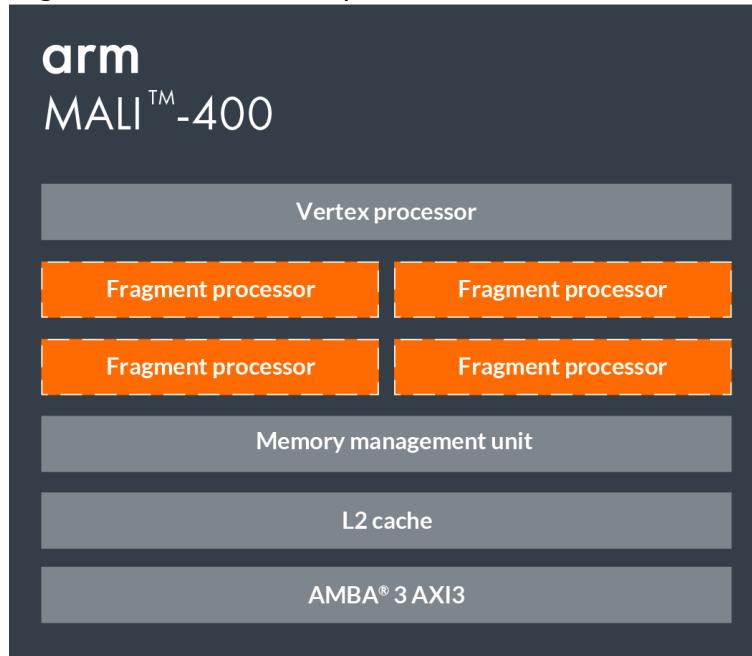
Figura 1 - CORTEX-A53

- 2 ARM Cortex-R5F ( para aplicaciones en tiempo real)



**Figura 2- CORTEX-R5**

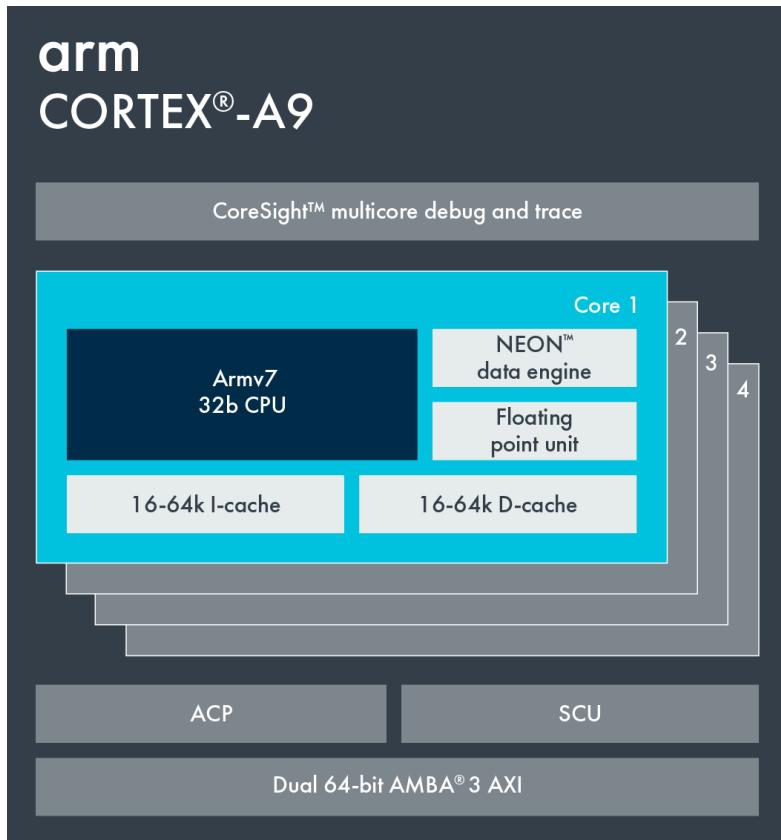
- Algunos modelos incorporan ARM Mali-400, una GPU interna



**Figura 3- MALI-400**

- Y los modelos más avanzados incorporan Codec de video H.264/H.265

- Los Zynq-7000 incorporan:
  - 1 o más ARM Cortex-A9



**Figura 4- CORTEX-A9**

- Zynq-7000 solo acepta memorias RAM DDR3 mientras que Zynq-UltraScale+ acepta memorias RAM DDR3 y DDR4.

En conclusión, para aplicaciones en las que se necesita un SoC, por ejemplo ADAS o visión artificial, los Zynq-7000 cumplen bastante los requisitos necesarios.

Para aplicaciones más potentes, ejecución de sistemas en tiempo real o Deep Learning, los Zynq-UltraScale+ son la mejor solución.

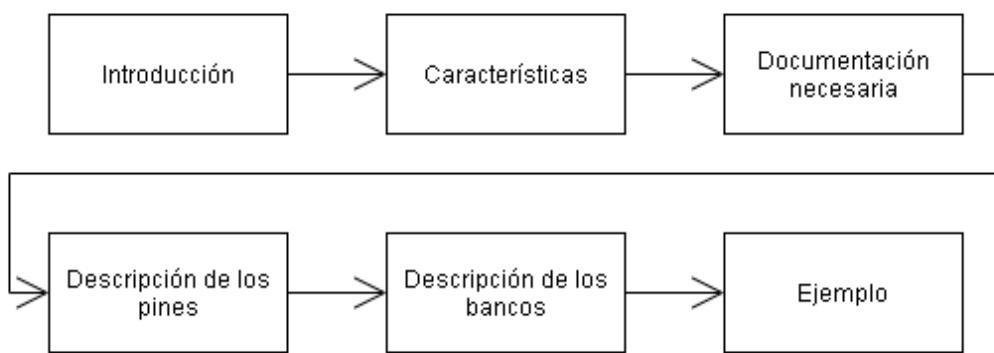
# Capítulo 2

## Zynq-7000

### 2.1 Introducción

Este capítulo se va a dividir en las partes necesarias para hacer una explicación lo más completa sobre el diseño de SoCs basados en la Zynq-7000.

Primero se comienza describiendo las características de la Zynq-7000, después se comenta cuál es el modelo más idóneo que elegir con la información que da el fabricante. Con el modelo elegido se pasa a la búsqueda de la documentación que se requiere para el SoC y después se explica cada uno de los pines además se da la explicación de los bancos de pines más relevantes para el diseño. Una vez se ha explicado cada apartado necesario se propone un ejemplo que consta de un enunciado y de una explicación detallada de cómo realizar el diseño.



**Figura 1 - Diagrama de bloques (draw.io)**

## 2.2 Características

Los SoCs Zynq-7000 son los SoCs más básicos de Xilinx debido a que solo tienen un tipo de procesador embebido, el ARM Cortex-A9.

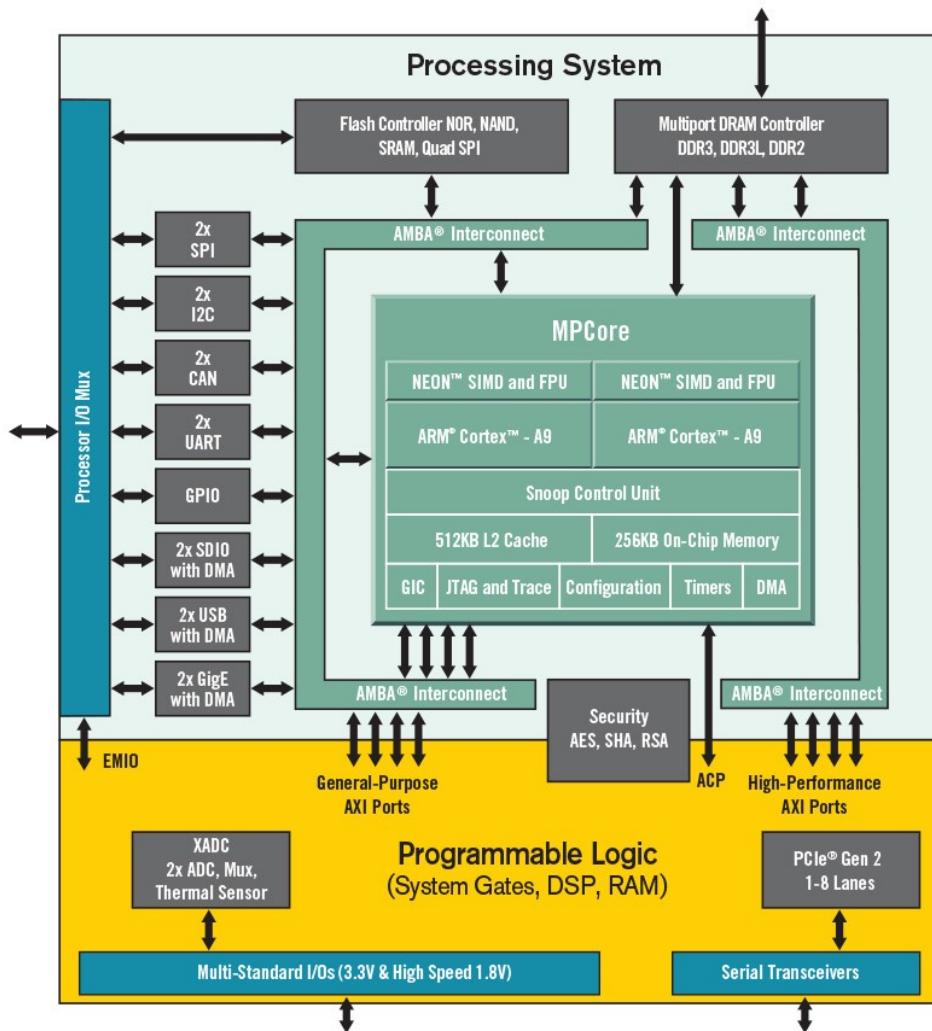
El procesador Cortex-A9, es un multiprocesador que tiene embebida una arquitectura ARMv7-A que es una arquitectura de 32 bits.

Este procesador está dentro de la Processing System que es el sistema que le permite al procesador tener conexión con el exterior, vía protocolos de comunicación, además de tener la conexión con la parte hardware, vía protocolo AXI, que le permite ejecutar tareas sin necesidad de interrumpir el procesador.

El Processing System tiene a su disposición pines de salida multiplexados que permiten la comunicación del procesador, estos pines son los llamados *MIO pins*(Multiplexed I/O). Los pines MIO se utilizan para ejecutar protocolos de comunicación previamente implementados, como el protocolo UART o el SPI.

Además el SoC también tiene una parte hardware programable que permite implementar sistemas independientes a la arquitectura. Esta parte también tiene un pinout propio que se puede programar.

La parte hardware tiene comunicación plena con el Processing System llegado también al nivel de poder construir y ejecutar interrupciones propias.



**Figura 5- Zynq-7000**

## 2.3 ¿Cuál elegir de todos los modelos?

La familia de SoCs Zynq-7000 no solo tiene un modelo, sino que tiene una gama bastante variada de ellos que van desde SoCs con un solo core y puertas lógicas como un Artix-7<sup>2</sup> a un SoC con 4 núcleos y la electrónica de una Kintex-7<sup>3</sup>.

Existen varios factores de elección del SoC que van desde: el precio, el número de procesadores, el número de puertas lógicas, la velocidad, el rango de trabajo o el número de pines.

<sup>2</sup> Artix-7 es el nombre del chip de gama baja de FPGAs de Xilinx

<sup>3</sup> Kintex-7 es el nombre del chip de gama media de FPGAs de Xilinx

Para elegirlos el fabricante proporciona el *Selection Guide*<sup>4</sup> de la familia.

En este documento se puede ver que los SoCs que van del XC7Z007S al XC7Z7014S solo tienen 1 core, que los que van de XC7Z010 al XC7Z020 tienen 2 cores y que los que van del XC7Z030 al XC7Z100 tienen 4 cores.

#### NOTA

Todos los SoCs con 1 solo núcleo tienen incorporada al final del nombre una 'S'

En la misma dirección van el resto de las características, como la velocidad, el número de puertas lógicas o el precio.

MODELO	PRECIO <sup>5</sup>	LOGIC CELLS	LOOK-UP TABLES	FLIP-FLOPS	RAM
<b>XC7Z007S</b>	42.98€	23k	14.400	28.800	1.8Mb
<b>XC7Z012S</b>	111.06€	55k	34.400	68.800	2.5Mb
<b>XC7Z014S</b>	82,83€	65k	40.600	81.200	3.8Mb
<b>XC7Z010</b>	53,8€	28k	17.600	35.200	2.1Mb
<b>XC7Z015</b>	115,67€	74k	46.200	92.400	3.3Mb
<b>XC7Z020</b>	101,28€	85k	53.200	106.400	4.9Mb
<b>XC7Z030</b>	265,48€	125k	78.600	157.200	9.3Mb
<b>XC7Z035</b>	872,62€	275k	171.900	343.800	17.6Mb
<b>XC7Z45</b>	1.058,00€	350k	218.600	437.200	19.2Mb
<b>XC7Z100</b>	2.129,00€	444k	277.400	554.800	26.5Mb

**Tabla 1- tabla de precios Zynq-7000**

<sup>4</sup> <https://www.xilinx.com/support/documentation/selection-guides/zynq-7000-product-selection-guide.pdf> (Última revisión :20-09-2021)

<sup>5</sup> Los precios son del modelo más básico (grado comercial '-1') y más barato que ofrece la página. Fuente Farnell

Processing System (PS)							
Cost-Optimized Devices				Mid-Range Devices			
Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030
Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030
Processor Core	Single-Core ARM® Cortex™-A9 MPCore™	Dual-Core ARM Cortex-A9 MPCore	Up to 766MHz NEON™ SIMD Engine and Single/Double Precision Floating Point Unit per processor	Up to 866MHz NEON™ SIMD Engine and Single/Double Precision Floating Point Unit per processor	Dual-Core ARM Cortex-A9 MPCore	Up to 1GHz <sup>(1)</sup>	XCTZ045
Processor Extensions	L1 Cache	L2 Cache	32KB Instruction, 32KB Data per processor	32KB Instruction, 32KB Data per processor	Cortex-A9 MPCore	Up to 1GHz <sup>(1)</sup>	XCTZ100
On-Chip Memory	256KB	512KB	512KB	512KB	512KB	512KB	512KB
External Memory Support <sup>(2)</sup>	DDR3, DDR3L, DDR2, LPDDR2	2x Quad-SPI, NAND, NOR	8 (4 dedicated to PL)	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO	RSA Authentication of First Stage Boot Loader, AES and SHA 256b Decryption and Authentication for Secure Boot	AES & SHA 256b Decryption & Authentication for Secure Programmable Logic Config
DMA Channels	2x	2x	8	2x	2x	2x	2x
Peripherals w/ built-in DMA <sup>(2)</sup>	—	—	—	—	—	—	—
Security <sup>(3)</sup>	—	—	—	—	—	—	—
Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)	16 Interrupts						
7 Series PL Equivalent	Artix®-7	Artix-7	Artix-7	Artix-7	Artix-7	Kintex®-7	Kintex-7
Logic Cells	23K	55K	65K	28K	74K	85K	125K
Look-Up Tables (LUTs)	14,400	34,400	40,600	17,600	46,200	53,200	78,600
Flip-Flops	28,800	68,800	81,200	35,200	92,400	106,400	157,200
Total Block RAM (# 36Kb Blocks)	1.8Mb (50)	2.5Mb (72)	3.8Mb (107)	2.1Mb (60)	3.3Mb (95)	4.9Mb (140)	9.3Mb (265)
DSP Slices	66	120	170	80	160	220	400
PCI Express®	—	Gen2 x4	—	—	Gen2 x4	—	Gen2 x4
Analog Mixed Signal (AMS) / XADC <sup>(2)</sup>	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs						
Security <sup>(3)</sup>	AES & SHA 256b Decryption & Authentication for Secure Programmable Logic Config						
Speed Grades	Commercial	-1	-1	-1	-1	-1	-1
	Extended	-2	-2,-3	-2,-3	-2,-3	-2	-2
	Industrial	-1,-2	-1,-2,-1L	-1,-2,-1L	-1,-2,-2L	-1,-2,-2L	-1,-2,-2L

Figura 6 - selection guide Zynq-7000

## 2.4 Documentación necesaria

Para el diseño de PCBs con SoCs de Xilinx no existe un solo documento si no que existen varios, y cada uno de ellos está referido a una parte específica del SoC, un parte a los pines, otra a la alimentación, otro es el Reference Manual<sup>6</sup>, etc.

Listado de documentos:

- **Pinout**<sup>7</sup> . El pinout es documento en el que figuran el número de pines, los nombres de los pines, el banco de alimentación, la descripción del funcionamiento de los pines, las huellas de los pines, etc.

Xilinx entrega el siguiente documento, es muy completo pero está muy embarrado para encontrar los nombres de los pines. En la página 27 es dónde figuran los enlaces a los ficheros de los pines.

### ASCII Pinout Files

This chapter includes the pinout information for the Zynq-7000 SoC by device.

The files listed in [Table 2-1](#) are linked and consolidated here:

[www.xilinx.com/support/package-pinout-files/zynq7000-pkgs.html](http://www.xilinx.com/support/package-pinout-files/zynq7000-pkgs.html)

*Table 2-1: Zynq-7000 Soc Package/Device Pinout Files*

Device	CL225 CLG225	CL400 CLG400	CL484 CLG484	CLG485	SBG485 SBV485	FB484 FBG484 FBV484 RB484	FB676 FBG676 FBV676	FF676 FFG676 FFV676 RF676 RFG676	FF900 FFG900 FFV900 RF900	FF1156 FFG1156 FFV1156 RF1156
XC7Z007S	CLG225	CLG400								
XC7Z010 XA7Z010	CLG225	CLG400								
XC7Z012S				CLG485						
XC7Z015					CLG485					
XC7Z014S		CLG400	CLG484							
XC7Z020 XA7Z020		CLG400	CLG484							
XC7Z030					SBG485	FBG484	FBG676	FFG676		
XA7Z030						FBG484				
XC7Z035							FBG676	FFG676	FFG900	
XC7Z045							FBG676	FFG676	FFG900	
XC7Z100									FFG900	FFG1156
XQ7Z020		CL400	CL484							
XQ7Z030						RB484		RF676		
XQ7Z045								RF676	RF900	
XQ7Z100									RF900	RF1156

Download all available Zynq-7000 SoC ASCII package files (TXT and CSV file formats) from this link:

[www.xilinx.com/support/packagefiles/z7packages/z7all.zip](http://www.xilinx.com/support/packagefiles/z7packages/z7all.zip)

### Figura 7- encapsulados Zynq-7000

<sup>6</sup> El Reference Manual es el documento de básico que todos los sistemas reprogramables tienen. En él se explica todos los aspectos técnicos y las configuraciones posibles del sistema o los registros de funcionamiento.

<sup>7</sup> [https://www.xilinx.com/support/documentation/user\\_guides/ug865-Zynq-7000-Pkg-Pinout.pdf](https://www.xilinx.com/support/documentation/user_guides/ug865-Zynq-7000-Pkg-Pinout.pdf) (Última revisión :20-09-2021)

Página con todos los pinout:

[www.xilinx.com/support/package-pinout-files/Zynq-7000-pkgs.html](http://www.xilinx.com/support/package-pinout-files/Zynq-7000-pkgs.html) (Última revisión :20-09-2021)

---

NOTA

Las páginas con los pines en formato texto siguen el siguiente esquema:

[https://www.xilinx.com/  
content/dam/xilinx/support/packagefiles/z7packages/<nombre\\_del\\_pin><encapsulado>pkg.txt](https://www.xilinx.com/content/dam/xilinx/support/packagefiles/z7packages/<nombre_del_pin><encapsulado>pkg.txt)

---

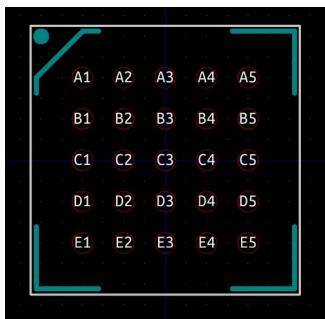
Los ficheros de pines tienen la forma de la [Figura 8](#). Esta forma incluye una columna para el pin, el nombre del pin, el banco o el tipo de I/O.

Device/Package xc7z010clg400 9/18/2012 09:50:56	Pin	Pin Name	Memory	Byte Group	Bank	VCCAUX Group	Super Logic Region	I/O Type	No-Connect
R11	DONE_0	NA	0	NA	NA	NA	NA	CONFIG	NA
M9	DXP_0	NA	0	NA	NA	NA	NA	CONFIG	NA
J10	GNDADC_0	NA	0	NA	NA	NA	NA	CONFIG	NA
J9	VCCADC_0	NA	0	NA	NA	NA	NA	CONFIG	NA
L9	VREFP_0	NA	0	NA	NA	NA	NA	CONFIG	NA
L10	VN_0	NA	0	NA	NA	NA	NA	CONFIG	NA
F11	VCCBATT_0	NA	0	NA	NA	NA	NA	CONFIG	NA
F9	TCK_0	NA	0	NA	NA	NA	NA	CONFIG	NA
M10	DXN_0	NA	0	NA	NA	NA	NA	CONFIG	NA
K10	VREFN_0	NA	0	NA	NA	NA	NA	CONFIG	NA
K9	VP_0	NA	0	NA	NA	NA	NA	CONFIG	NA
F10	RSVDDGN	NA	0	NA	NA	NA	NA	CONFIG	NA
N6	RSVDVCC3	NA	0	NA	NA	NA	NA	CONFIG	NA
R6	RSVDVCC2	NA	0	NA	NA	NA	NA	CONFIG	NA
R10	INIT_B_0	NA	0	NA	NA	NA	NA	CONFIG	NA
G6	TDI_0	NA	0	NA	NA	NA	NA	CONFIG	NA
F6	TDO_0	NA	0	NA	NA	NA	NA	CONFIG	NA
T6	RSVDVCC1	NA	0	NA	NA	NA	NA	CONFIG	NA
M6	CFGBVS_0	NA	0	NA	NA	NA	NA	CONFIG	NA
L6	PROGRAM_B_0	NA	0	NA	NA	NA	NA	CONFIG	NA
J6	TMS_0	NA	0	NA	NA	NA	NA	CONFIG	NA
V5	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
U7	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
V7	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
T9	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
U10	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y7	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y6	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y9	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y8	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y8	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
W8	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
W10	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
W9	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
U9	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
U8	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
W11	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y11	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
T5	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
U5	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y12	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
Y13	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
V11	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
V10	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
V6	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
W6	NC	NA	NOPAD/UNCONNECTED	NA	NA	NA	NA	NA	NA
R19	IO_0_34	NA	34	NA	NA	NA	HR	NA	
T11	IO_L1P_T0_34	0	34	NA	NA	NA	HR	NA	
T10	IO_L1M_T0_34	0	34	NA	NA	NA	HR	NA	

**Figura 8 - formato de pinout Zynq-7000**

Las partes más importantes a tener en consideración para el diseño son:

**Primera columna:** en ella figura el número del pin. Los números están referenciados al formato BGA que es el que viene por defecto en los Zynq-7000. El formato BGA (Ball Grid Array) se caracteriza por ser un sistema en el que los pines están colocados formando una matriz cuadrada( filas y columnas), a los que las columnas reciben un número y las filas una letra, otorgando el primer pin(A1) al pin que se ubica más arriba y más a la izquierda.



**Figura 9. Fuente: editor de huellas de KiCad Zynq-7000**

Segunda columna: El nombre del pin. Este nombre es el que define al pin, pero también incorpora la información de cuál es el orden de los pines y cuáles son los bits de mayor y menor peso. En el siguiente ejemplo se puede comprobar en los pines DDR cuales son los pines de mayor peso.

T4	PS_DDR_DQ20_502
U4	PS_DDR_DQ21_502
U2	PS_DDR_DQ22_502
U3	PS_DDR_DQ23_502
V1	PS_DDR_DQ24_502
Y3	PS_DDR_DQ25_502
W1	PS_DDR_DQ26_502
Y4	PS_DDR_DQ27_502

**Figura 10 - segunda columna del pinout de Zynq-7000**

Cuarta columna: el banco de trabajo, son las separaciones en las que se distribuyen los pines. Por ejemplo, todos los pines DDR pertenecen al mismo banco.

PS_DDR_DRST_B_502	NA	502
PS_DDR_DQ0_502	NA	502
PS_DDR_DQ1_502	NA	502
PS_DDR_DQ2_502	NA	502
PS_DDR_DQ3_502	NA	502
PS_DDR_DM0_502	NA	502
PS_DDR_DQS_P0_502	NA	502
PS_DDR_DQS_N0_502	NA	502
PS_DDR_DQ4_502	NA	502
PS_DDR_DQ5_502	NA	502
PS_DDR_DQ6_502	NA	502
PS_DDR_DQ7_502	NA	502
PS_DDR_DQ8_502	NA	502
PS_DDR_DQ9_502	NA	502
PS_DDR_DQ10_502	NA	502
PS_DDR_DQ11_502	NA	502
PS_DDR_DM1_502	NA	502
PS_DDR_DQS_P1_502	NA	502
PS_DDR_DQS_N1_502	NA	502

**Figura 11- cuarta columna del pinout de Zynq-7000**

Séptima columna: en esta columna figuran el tipo de pines.

- **CONFIG:** para configuración
- **HR:** para ejecución de hardware
- **MIO:** para pines de tipo MIO
- **DDR:** para pines de conexión de memoria RAM
- **NA:** para alimentaciones, masas y pines no conectados

Las huellas de los encapsulados tienen la siguiente forma. Estas huellas sirven para la creación de las huellas en los programas para hacer PCBs.

### CLG225 Wire-Bond Chip-Scale BGA (XC7Z007S, XC7Z010, and XA7Z010) (0.8 mm Pitch)

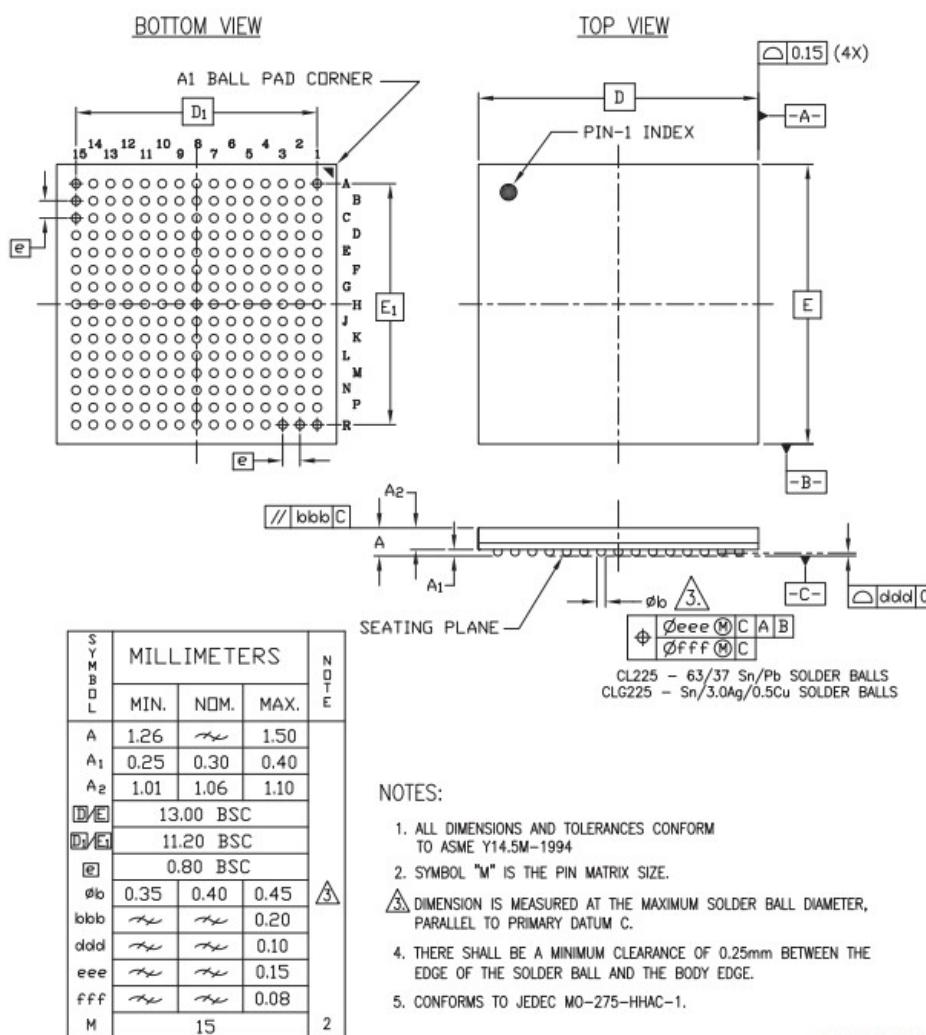


Figure 4-1: CLG225 Wire-Bond Chip-Scale BGA Package Specifications for XC7Z007S, XC7Z010, and XA7Z010

### Figura 12 - planos del pinout de Zynq-7000

- **Alimentación y temporización.** En este fichero figuran las tensiones de alimentación de los Zynq-7000. Gracias a esto se puede

conocer las tensiones máximas de alimentación o las tensiones típicas de alimentación. Además también incorpora los tiempos característicos del sistema. Del ZC7Z007S al XC7Z7020<sup>8</sup> tiene su propio documento de alimentaciones. Y del XC7Z030 al XC7Z045<sup>9</sup> también tiene su propio documento.

- **Reference Manual<sup>10</sup>.** Este fichero incorpora el funcionamiento del sistema, las conexiones de los pines que no se están utilizando, cómo conectar los ADCs del SoCs, la tabla de pines MIO, etc.
- **PCB design<sup>11</sup>.** Este documento incluye las reglas de diseño de SoCs .Este documento es de extrema importancia de cara a diseñar la PCB. Sobre todo porque incluye información muy útil y avanzada para el diseño de PCBs avanzadas.
- **Datasheet y esquemáticos de placas de Xilinx<sup>12 13</sup>.** Xilinx para comercializar los SoCs crea kits de utilización. Y como información de estos kits publica datasheet y esquemáticos muy detallados de cómo van conectados los SoCs. Estos datasheets y esquemáticos pueden ser utilizados como ejemplos de referencia.  
Ejemplos de ellos.

## 2.5 Definición de pines

En este apartado se van a describir los tipos de pines de la Zynq-7000. Las definiciones originales están en el documento de pinout de los Zynq-7000<sup>14</sup>.

### User I/O Pins

---

8 [https://www.xilinx.com/support/documentation/data\\_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf) (Última revisión :20-09-2021)

9 [https://www.xilinx.com/support/documentation/data\\_sheets/ds191-XC7Z030-XC7Z045-data-sheet.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds191-XC7Z030-XC7Z045-data-sheet.pdf) (Última revisión :20-09-2021)

10 [https://www.xilinx.com/support/documentation/user\\_guides/ug585-Zynq-7000-TRM.pdf](https://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf) (Última revisión :20-09-2021)

11 [https://www.xilinx.com/support/documentation/user\\_guides/ug933-Zynq-7000-PCB.pdf](https://www.xilinx.com/support/documentation/user_guides/ug933-Zynq-7000-PCB.pdf) (Última revisión :20-09-2021)

12 [https://www.xilinx.com/support/documentation/boards\\_and\\_kits/zc702\\_zvik/ug850-zc702-eval-bd.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/zc702_zvik/ug850-zc702-eval-bd.pdf) (Última revisión :20-09-2021)

13 [https://www.xilinx.com/support/documentation/boards\\_and\\_kits/zc706/ug954-zc706-eval-board-xc7z045-ap-soc.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/zc706/ug954-zc706-eval-board-xc7z045-ap-soc.pdf) (Última revisión :20-09-2021)

14 [https://www.xilinx.com/support/documentation/user\\_guides/ug865-Zynq-7000-Pkg-Pinout.pdf](https://www.xilinx.com/support/documentation/user_guides/ug865-Zynq-7000-Pkg-Pinout.pdf) (Última revisión :20-09-2021)

**IO\_LXXY\_# / IO\_XX\_#**: son los pines utilizados para la programación hardware. Todos los pines que contienen una 'L' en el nombre son pines diferenciales, por lo que hay un pin positivo y su complementario negativo.

### Configuration Pins

**DONE\_0**: Activo a nivel alto. Indica si se ha completado la configuración de manera satisfactoria.

**INIT\_B\_0**: Activo a nivel bajo. Indica si se ha iniciado la memoria de configuración.

**PROGRAM\_B\_0**: Activo a nivel bajo. reset asíncrono para la configuración de la lógica de configuración.

**Pines JTAG** ( estos pines son los pines que se utilizan para cargar los programas o la lógica en el SoC)

**TCK\_0**: reloj de JTAG.

**TDI\_0**: datos de entrada de JTAG

**TDO\_0**: datos de salida de JTAG

**TMS\_0**: selección de modo de JTAG

**CFG\_BVS\_0**: Este pin selecciona la preconfiguración del tipo de estándar de entrada/salida para la configuración del banco 0. Si  $V_{CCO\_0}$ <sup>15</sup> del banco 0 está a 2,5V o 3,3V este pin tiene que estar a  $V_{CCO\_0}$ . Si  $V_{CCO\_0}$  está a 1,8V o menos tiene que estar a GND.

**PUDC\_B (Pull-Up During Configuration)**: Activo a nivel bajo, habilita las resistencias internas de pull-up de los pines SelectIO después del arranque y durante la configuración. Debe estar unido directamente o a través de una resistencia de 1KΩ o a VCCO\_34 o a GND. No puede dejarse al aire durante la configuración.

### Power/Ground Pins

**GND**: Pines de masa (ground), los pines de masa son el punto de referencia común para toda la parte de electrónica.

**VCCPINT**: Alimentación del PS(Processing System). Tiene que estar a 1.0V. Es independiente de VCCINT de la parte PL.

**VCCPAUX**: alimentación auxiliar de la parte PS. Tiene que estar a 1.8V. Independiente de VCCPAUX de la parte PL.

**VCC\_MIO0**: alimentación de los pines MIO del banco 500. Tiene que estar entre 1.8V y 3.3V.

---

<sup>15</sup>  $V_{CCO\_0}$  es la tensión de alimentación del banco 0 del SoC.

**VCC\_MIO1:** alimentación de los pines MIO del banco 501. Tiene que estar entre 1.8V y 3.3V.

**VCCO\_DDR:** alimentación de los pines DDR. Tiene que estar entre 1.2V y 1.8V

**VCCPLL:** alimentación del PLL<sup>16</sup> de la parte PS. Tiene que estar alimentada a 1.8V

**VCCAUX:** fuente de alimentación de los pines para circuitos auxiliares. Tiene que estar alimentado a 1.8V.

**VCCAUX\_IO\_G#:** fuente de alimentación para los pines de entrada/salida del circuito auxiliar. tiene que estar alimentado a 1.8V/2V.

**VCCINT:** fuente de alimentación de los pines de para el núcleo de lógica interna. Tiene que estar alimentado a 1.0V.

**VCCO\_#:** fuente de alimentación de los drivers de salida de los pines. Estos pines tienen que estar alimentados a la tensión que se quiere a la salida del banco de pines, porque todos los pines del banco van a tener siempre la misma tensión de salida. Nunca excediendo los 3.3V.

**VCCBRAM:** fuente de alimentación de los pines PL del bloque RAM. Tiene que estar alimentado a 1.0V.

**VCCBATT\_0:** alimentación de seguridad. Cuando no está siendo utilizado tiene que estar o a la VCC apropiada o a GND.

**VREF:** estos pines son pines de threshold<sup>17</sup> para la tensión de entrada. Si no se necesitan pueden ser utilizados con pines de entrada/salida.

**RSVDVCC[3:1]:** pines reservados. Tienen que estar a VCCO\_0.

**RSVDGND:** pines reservados. No tiene que estar conectados.

## PS MIO Pins

**PS\_POR\_B** (Power On Reset): este pin es de supervisión. Sirve para mantener un reset al arranque del sistema. Se recomienda que sea la entrada de un circuito que genere el Reset.

**PS\_CLK:** pin del reloj de referencia del sistema. Tiene que estar entre los 30MHz y los 60MHz.

**PS\_SRST\_B:** reset del sistema. A nivel bajo obliga al PS a entrar en secuencia de reset.

**PS\_MIO\_VREF:** provee de la referencia de tensión para los receptores RGMII<sup>18</sup>. Si no hay nada conectado al RGMII se tiene que dejar el pin flotante. Si hay una interfaz RGMII conectada se conecta a  $\frac{1}{2}$  VCCO\_MIO1. Puede utilizar un divisor resistivo para conseguir la tensión.

16 PLL: Phase Locked-Loop

17 Threshold: trad umbral

18 RGMII: Reduced Gigabit Media-Independent Interface

**PS\_MIO[53:0]:** pines de entrada/salida multiusos. Más adelante se hablará de ellos.

### PS DDR Pins

**PS\_DDR\_CKP:** pin de reloj diferencial DDR positivo

**PS\_DDR\_CKN:** pin de reloj diferencial DDR negativo

**PS\_DDR\_CKE:** pin de habilitación del reloj DDR

**PS\_DDR\_CS\_B:** pin de Selector de chip DDR

**PS\_DDR\_RAS\_B:** pin de señal de control RAS<sup>19</sup>.

**PS\_DDR\_CAS\_B:** pin de señal de control CAS<sup>20</sup>

**PS\_DDR\_WE\_B:** pin de señal de habilitación de escritura

**PS\_DDR\_BA[2:0]:** pin de dirección del banco DDR

**PS\_DDR\_A[14:0]:** pin de dirección de fila y columna

**PS\_DDR\_ODT<sup>21</sup>:** pin de control de finalización

**PS\_DDR\_DRST:** pin de señal de reset para dispositivos DDR3

**PS\_DDR\_DQ[31:0]:** pines de datos para DDR

**PS\_DDR\_DM[3:0]:** pines de la máscara de datos

**PS\_DDR\_DQS\_P[3:0]:** pines diferenciales positivos de DQS

**PS\_DDR\_DQS\_N[3:0]:** pines diferenciales negativos de DQS.

**PS\_DDR\_VRP:** pin de referencia de tensión positiva.

**PS\_DDR\_VRN:** pin de referencia de tensión negativa.

**PS\_DDR\_VREF[1:0]:** referencia de tensión de la interfaz DDR.

### Analog to Digital Conveter(XADC) Pins

**VCCADC\_0:** tensión de alimentación analógica positiva de XADC

**GNDADC\_0:** masa analógica de XADC

**VP\_0:** entrada analógica diferencial positiva.

**VN\_0:** entrada analógica diferencial negativa.

**VREFP\_0:** entrada de referencia a 1.25V

---

19 RAS:Row Address Strobe

20 CAS: Column Address Strobe

21 ODT: On-DieTermination

**VREFN\_O:** referencia de GND

**AD[0:15][P/N]:** entradas analógicas diferenciales a XADC.

### Multi-gigabit Serial Transceiver Pins (GTXE2 y GTPE2)

**MGTXRXP[0:3] / MGTPRXP[0:3]:** puerto diferencial receptor positivo

**MGTXRXN[0:3] / MGTPRXN[0:3]:** puerto diferencial receptor negativo

**MGTXTXP[0:3] / MGTPTXP[0:3]:** puerto diferencial transmisor positivo

**MGTXTXN[0:3] / MGTPTXN[0:3]:** puerto diferencial transmisor negativo

**MGTAVCC\_G#:** pin de fuente de alimentación analógica para los circuitos transmisores/receptores internos. Tiene que estar alimentado a 1.0V

**MGTAVTT\_G#:** pin de fuente de alimentación analógica para el driver de transmisión. Tiene que estar alimentado a 1.2V

**MGTVCCAUX\_G#:** alimentación analógica auxiliar de tensión de Quad PLL (QPLL) para solo transmisores GTXE2

**MGTREFCLK0/1P:** reloj diferencial positivo de referencia para transmisores.

**MGTREFCLK0/1N:** reloj diferencial negativo de referencia para transmisores.

**MGTAVTTRCAL:** pin de calibración interna de terminaciones GTXE2

**MGTRREF:** pin de resistencia de referencia de precisión para calibración interna de terminaciones.

### Otros pines

**MRCC:** este pin es capaz de dirigir el reloj de los BUFRs, BUFIOs, BUFGs y MMCMs/PLLs. Es multirregión.

**SRCC:** este pin es capaz de dirigir el reloj de los BUFRs, BUFIOs, BUFGs y MMCMs/PLLs. Es de una sola región.

**VRN:** este pin es para la referencia de tensión de DCI<sup>22</sup> para transistores de tipo N

**VRP:** este pin es para la referencia de tensión de DCI para transistores de tipo P

**DXP\_0, DXN\_0:** pines de sensado de temperatura (DXP:anodo, DXN:cátodo). Son los pines donde se coloca un diodo que se utiliza para saber la temperatura, se recomienda conectar cuando se utilice el XADC. Si no se utilizan se tienen que conectar a GND.

---

22 DCI: Digitally Controlled Impedance

**T0, T1, T2, o T3:** estos pines pertenecen a los grupos de memoria 0-3.

**T0\_DQS, T1\_DQS, T2\_DQS o T3\_DQS:** estos pines DDR DQS pertenecen a los grupos de memoria T0-T3.

## 2.6 Bancos de pines

En este apartado se van a explicar qué tipos de bancos de pines existen en los Zynq-7000.

### Banco de pines de alimentación

Los bancos de pines de alimentación ya han sido definidos en el capítulo anterior. Ahora se va a juntar toda la información con una tabla que da el fabricante que indica las tensiones recomendadas de alimentación.

La tabla está dividida en las partes que se divide la placa.

**PS Power:** son los pines del Processing System. Entre ellos se encuentran la alimentación de la memoria RAM o los pines MIO.

**PL Power:** son los pines de Programmable Logic. Entre ellos se encuentran la alimentación de los pines del hardware programable o la tensión de la batería.

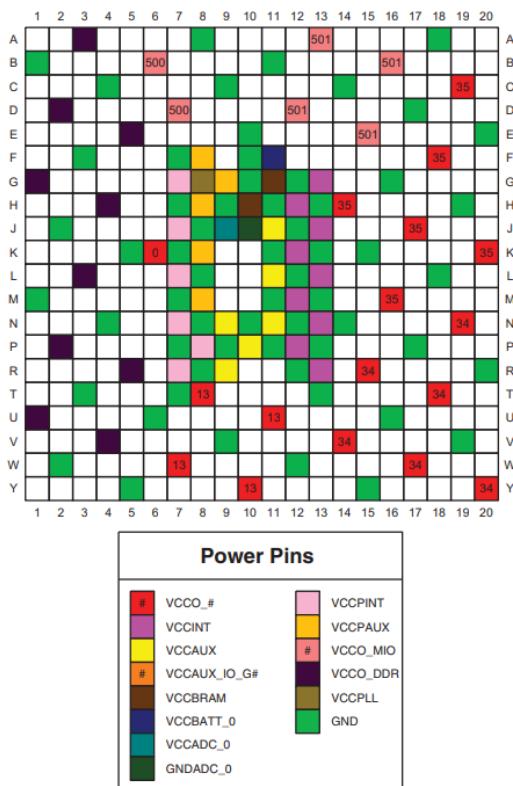
**XADC:** son los pines de alimentación del ADC interno de la placa.

**Ground:** masa del SoC.

Type	Pin Name	Nominal Voltage	Power Pin Description
PS Power	V <sub>CCPINT</sub>	1.0V	Internal logic
	V <sub>CCPAUX</sub>	1.8V	I/O buffer pre-driver
	V <sub>CCO_DDR</sub>	1.2V to 1.8V	DDR memory interface
	V <sub>CCO_MIO0</sub>	1.8V to 3.3V	MIO bank 0, pins 0:15
	V <sub>CCO_MIO1</sub>	1.8V to 3.3V	MIO bank 1, pins 16:53
	V <sub>CCPLL</sub>	1.8V	Three PLL clocks, analog
PL Power	V <sub>CCINT</sub>	1.0V	Internal core logic
	V <sub>CCAUX</sub>	1.8V	I/O buffer pre-driver
	V <sub>CCO_#</sub>	1.2V to 3.3V	I/O buffers drivers (per bank)
	V <sub>CC_BATT</sub>	1.5V	PL decryption key memory backup
	V <sub>CCBRAM</sub>	1.0V	PL block RAM
	V <sub>CCAUX_IO_G#</sub>	1.8V to 2.0V	PL auxiliary I/O circuits
XADC	V <sub>CCADC</sub> , GND <sub>DADC</sub>	N/A	Analog power and ground.
Ground	GND	Ground	Digital and analog grounds

**Figura 13- Tabla de alimentaciones Zynq-7000**

El fabricante también adjunta en el fichero del pinout un mapa de los pines de alimentación de cada tipo de encapsulado. Por ejemplo del encapsulado CLG400.



**Figura 14- Ubicaciones de pines de alimentación del encapsulado CLG400 Zynq-7000**

### Banco hardware

Este banco lo constituyen todos los pines que se pueden programar mediante hardware.

Todos estos pines son diferenciales y además suelen llevar una aplicación específica para otros propósitos, como sistemas para la configuración de relojes externos, entradas de ADC o configuraciones para el arranque.

### Banco de pines MIO

El banco de pines MIO son los pines de entrada salida que tienen múltiples configuraciones. Estos pines tienen la cualidad de que los pines ya tienen las posiciones elegidas y es el usuario el que decide que pines pueden estar activos. Por ejemplo, la UART0 tiene los pines 10 y 11 además de los 14 y 15, entonces el usuario solo puede elegir una posición para UART0 y ningún pin más de los MIO puede estar en la misma posición. Si el diseñador elige los pines 10 y 11, sabe que el pin 10 es RX y el 11 TX.

Estos pines están ubicados en los bancos con números 500 y 501.

Las configuraciones de los pines MIO vienen determinadas por la tabla que da el fabricante en el Reference Manual.

## **Figura 15- Posición de los pines MIO Zynq-7000**

Ahora se va a desglosar la tabla para facilitar al diseñador la elección de pines.

- **UART0**

<b>RX</b>	<b>10</b>	<b>14</b>	<b>18</b>	<b>22</b>	<b>26</b>	<b>30</b>	<b>34</b>	<b>38</b>	<b>42</b>	<b>46</b>	<b>50</b>
<b>TX</b>	<b>11</b>	<b>15</b>	<b>19</b>	<b>23</b>	<b>27</b>	<b>31</b>	<b>35</b>	<b>39</b>	<b>43</b>	<b>47</b>	<b>51</b>

## **Tabla 2- pines UART0 Zynq-7000**

- UART1

<b>RX</b>	<b>9</b>	<b>13</b>	<b>17</b>	<b>21</b>	<b>25</b>	<b>29</b>	<b>33</b>	<b>37</b>	<b>41</b>	<b>45</b>	<b>49</b>
<b>TX</b>	<b>8</b>	<b>12</b>	<b>16</b>	<b>20</b>	<b>24</b>	<b>28</b>	<b>32</b>	<b>36</b>	<b>40</b>	<b>44</b>	<b>48</b>

### **Tabla 3- pines UART1 Zynq-7000**

- SPI

	<b>SPI1</b>	<b>SPI0</b>	<b>SPI1</b>	<b>SPI0</b>	<b>SPI1</b>	<b>SPI0</b>	<b>SPI1</b>
<b>MOSI</b>	<b>10</b>	<b>17</b>	<b>22</b>	<b>33</b>	<b>34</b>	<b>45</b>	<b>46</b>
<b>MISO</b>	<b>11</b>	<b>21</b>	<b>23</b>	<b>29</b>	<b>35</b>	<b>41</b>	<b>47</b>
<b>CK</b>	<b>12</b>	<b>16</b>	<b>24</b>	<b>28</b>	<b>36</b>	<b>40</b>	<b>48</b>
<b>SS0</b>	<b>13</b>	<b>18</b>	<b>25</b>	<b>30</b>	<b>37</b>	<b>42</b>	<b>49</b>
<b>SS1</b>	<b>14</b>	<b>19</b>	<b>26</b>	<b>31</b>	<b>38</b>	<b>43</b>	<b>50</b>
<b>SS2</b>	<b>15</b>	<b>20</b>	<b>27</b>	<b>32</b>	<b>39</b>	<b>44</b>	<b>51</b>

Tabla 4- pines SPI Zynq-7000

- SDIO

	<b>SDIO1</b>	<b>SDIO0</b>	<b>SDIO1</b>	<b>SDIO0</b>	<b>SDIO1</b>	<b>SDIO0</b>	<b>SDIO1</b>
<b>CMD</b>	<b>11</b>	<b>21</b>	<b>23</b>	<b>29</b>	<b>35</b>	<b>41</b>	<b>47</b>
<b>CK</b>	<b>12</b>	<b>16</b>	<b>24</b>	<b>28</b>	<b>36</b>	<b>40</b>	<b>48</b>
<b>IO0</b>	<b>10</b>	<b>17</b>	<b>22</b>	<b>33</b>	<b>34</b>	<b>45</b>	<b>46</b>
<b>IO1</b>	<b>13</b>	<b>18</b>	<b>25</b>	<b>30</b>	<b>37</b>	<b>42</b>	<b>49</b>
<b>IO2</b>	<b>14</b>	<b>19</b>	<b>26</b>	<b>31</b>	<b>38</b>	<b>43</b>	<b>50</b>
<b>IO3</b>	<b>15</b>	<b>20</b>	<b>27</b>	<b>32</b>	<b>39</b>	<b>44</b>	<b>51</b>

Tabla 5- pines SDIO Zynq-7000

- Ethernet

	<b>ETHERNET0</b>	<b>ETHERNET1</b>
<b>TXCLK</b>	<b>16</b>	<b>28</b>
<b>TXDATA</b>	<b>17-20</b>	<b>29-32</b>
<b>TXCTL</b>	<b>21</b>	<b>33</b>
<b>RXCLK</b>	<b>22</b>	<b>34</b>
<b>RXDATA</b>	<b>23-26</b>	<b>35-38</b>
<b>RXCTL</b>	<b>27</b>	<b>39</b>

Tabla 6- Pines Ethernet Zynq-7000

- CAN0

<b>RX</b>	<b>10</b>	<b>14</b>	<b>18</b>	<b>22</b>	<b>26</b>	<b>30</b>	<b>34</b>	<b>38</b>	<b>42</b>	<b>46</b>	<b>50</b>
<b>TX</b>	<b>11</b>	<b>15</b>	<b>19</b>	<b>23</b>	<b>27</b>	<b>31</b>	<b>35</b>	<b>39</b>	<b>43</b>	<b>47</b>	<b>51</b>

Tabla 7- pines CAN0 Zynq-7000

- CAN1

<b>RX</b>	<b>9</b>	<b>13</b>	<b>17</b>	<b>21</b>	<b>25</b>	<b>29</b>	<b>33</b>	<b>37</b>	<b>41</b>	<b>45</b>	<b>49</b>
<b>TX</b>	<b>8</b>	<b>12</b>	<b>16</b>	<b>20</b>	<b>24</b>	<b>28</b>	<b>32</b>	<b>36</b>	<b>40</b>	<b>44</b>	<b>48</b>

**Tabla 8- pines CAN1 Zynq-7000**

- **I2C0**

<b>CK</b>	<b>10</b>	<b>14</b>	<b>18</b>	<b>22</b>	<b>26</b>	<b>30</b>	<b>34</b>	<b>38</b>	<b>42</b>	<b>46</b>	<b>50</b>
<b>D</b>	<b>11</b>	<b>15</b>	<b>19</b>	<b>23</b>	<b>27</b>	<b>31</b>	<b>35</b>	<b>39</b>	<b>43</b>	<b>47</b>	<b>51</b>

**Tabla 9- pines I2C0 Zynq-7000**

- **I2C1**

<b>CK</b>	<b>12</b>	<b>16</b>	<b>20</b>	<b>24</b>	<b>28</b>	<b>32</b>	<b>36</b>	<b>40</b>	<b>44</b>	<b>48</b>	<b>52</b>
<b>D</b>	<b>13</b>	<b>17</b>	<b>21</b>	<b>25</b>	<b>29</b>	<b>33</b>	<b>37</b>	<b>41</b>	<b>45</b>	<b>49</b>	<b>53</b>

**Tabla 10- pines I2C1 Zynq-7000**

- **QUAD SPI**

	<b>QUAD SPI0</b>	<b>QUAD SPI1</b>
<b>CS</b>	<b>1</b>	<b>0</b>
<b>SCLK</b>	<b>6</b>	<b>9</b>
<b>IO0</b>	<b>2</b>	<b>10</b>
<b>IO1</b>	<b>3</b>	<b>11</b>
<b>IO2</b>	<b>4</b>	<b>12</b>
<b>IO3</b>	<b>5</b>	<b>13</b>

**Tabla 11- pines QUAD SPI Zynq-7000**

- **USB**

	<b>USB0</b>	<b>USB1</b>
<b>DATA</b>	<b>28</b>	<b>40</b>
<b>DIR</b>	<b>29</b>	<b>41</b>
<b>STP</b>	<b>30</b>	<b>42</b>
<b>NXT</b>	<b>31</b>	<b>43</b>
<b>DATA</b>	<b>32-35</b>	<b>44-47</b>
<b>CK</b>	<b>36</b>	<b>48</b>
<b>DATA</b>	<b>37-39</b>	<b>49-51</b>

**Tabla 12- pines USB Zynq-7000**

## Banco de Memoria RAM

Este banco tiene como función realizar la conexión con el SoC para conseguir éste tenga acceso a la memoria RAM. Este banco solo admite memoria RAM de tipo DDR3 por lo que este banco tiene que estar alimentado con la misma tensión que las memorias RAM DDR3 que es de 1.35V.

# Capítulo 3

## Ejemplo Zynq-7000

Ahora para desarrollar todo lo visto anteriormente y conocer cómo se debe de realizar la conexión de las diferentes partes, se va a proponer un ejemplo del que se tratará de explicar todas y cada una de las partes para que no queden dudas sobre el diseño de SoCs.

### 3.1 Enunciado

Se requiere de un SoC de 2 cores ARM-A9, con 25.000 puertas lógicas y con 512 Mb de memoria RAM. Que además incluya tarjeta SD, conexión USB tipo C, 8 leds, 5 switches y 3 botones.

### 3.2 Solución<sup>23</sup>

Para la solución existen tantas formas diferentes como componentes que cumplan los requisitos sean posibles.

Para se va a diferenciar entre las diferentes partes que componen la PCB dónde va el SoC.

---

<sup>23</sup> Repositorio del proyecto: [https://github.com/DRubioG/Guia-practica-para-el-diseño-de-SoCs/tree/main/esquematico\\_Zynq\\_7000](https://github.com/DRubioG/Guia-practica-para-el-diseño-de-SoCs/tree/main/esquematico_Zynq_7000) (Última revisión :20-09-2021)

## Selección del SoC

Para la selección del SoC se procede a ir al *Selection Guide* que da el fabricante (Figura 6). En él se puede comprobar que hay al menos 3 SoC que cumplen los requisitos.

Z-7010	Z-7015	Z-7020
XC7Z010	XC7Z015	XC7Z020
Dual-Core ARM Cortex-A9 MPCore		
Up to 866MHz		
<b>D Engine and Single/Double Precision</b>		
32KB Instruction, 32KB Data		
512KB		
256KB		
DDR3, DDR3L, DDR2,		
2x Quad-SPI, NAND		
8 (4 dedicated to		
2x UART, 2x CAN 2.0B, 2x I2C, 2		
2x USB 2.0 (OTG), 2x Tri-mode Gigab		
RSA Authentication of First Sta		
and SHA 256b Decryption and Auth		
2x AXI 32b Master, 2x AXI		
4x AXI 64b/32b Me		
AXI 64b ACP		
16 Interrupts		
Artix-7	Artix-7	Artix-7
28K	74K	85K
17,600	46,200	53,200
35,200	92,400	106,400
2.1Mb (60)	3.3Mb (95)	4.9Mb (140)
80	160	220
—	Gen2 x4	—
2x 12 bit, MSPS ADCs with up to 1		
56b Decryption & Authentication for		
-1		
-2,-3		
1 2 3 4 5		

**Figura 16 - tabla de 2 cores Zynq-7000**

Debido a que se tiene un requisito de tener al menos 25.000 puertas lógicas, entonces se selecciona el XC7010 que cumple con todos los requisitos que se van a necesitar.

Ahora se tiene que seleccionar el tipo número de pines que va a tener el encapsulado.

El XC7Z010 tiene dos encapsulados el CLG225, de 255 pines, y el CLG400, con 400 pines.

Pkg	mm	Zyn			
		Z-7007S	Z-7012S	Z-7014S	Z-7010
CLG225	13	■	—	—	■
CLG400	17	■	■	—	■

**Figura 17- CLG400 Zynq-7000**

Entonces en nuestro caso como no existen limitaciones se opta por el encapsulado CLG400.

Una vez se tiene elegido el chip se pasa a la parte de conexionado del SoC.

## Alimentaciones

Lo primero que se tiene que saber es la tensión a la que se van a alimentar las diferentes partes. Para ello el fabricante provee la tabla de la Figura 18. Esta figura será nuestra referencia. Para diseñar las alimentaciones se utilizará Kicad.

Analizando la tabla se tiene claro que se necesitan alimentaciones que provean de:

- **1.0V:** para **VCCPINT, VCCINT, VCCBRAM.**
- **1.8V:** para **VCCPAUX, VCCPLL, VCCAUX**
- **1.5V:** para **VCC\_BATT** ( en nuestro caso no la vamos a utilizar)

- **3.3V:** para ***VCCO\_#***, ***VCCO\_MIO0***, ***VCCO\_MIO1***, esta alimentación también se utilizará en los leds, switches y botones.
- **1.35V:** para ***VCC\_DDR*** (esta tensión es debido a que la tecnología de las memorias RAM DDR3 funcionan a 1.35V)

Type	Pin Name	Nominal Voltage	Power Pin Description
PS Power	<i>V<sub>CCPINT</sub></i>	1.0V	Internal logic
	<i>V<sub>CCPAUX</sub></i>	1.8V	I/O buffer pre-driver
	<i>V<sub>CCO_DDR</sub></i>	1.2V to 1.8V	DDR memory interface
	<i>V<sub>CCO_MIO0</sub></i>	1.8V to 3.3V	MIO bank 0, pins 0:15
	<i>V<sub>CCO_MIO1</sub></i>	1.8V to 3.3V	MIO bank 1, pins 16:53
	<i>V<sub>CCPLL</sub></i>	1.8V	Three PLL clocks, analog
PL Power	<i>V<sub>CCINT</sub></i>	1.0V	Internal core logic
	<i>V<sub>CCAUX</sub></i>	1.8V	I/O buffer pre-driver
	<i>V<sub>CC_#</sub></i>	1.2V to 3.3V	I/O buffers drivers (per bank)
	<i>V<sub>CC_BATT</sub></i>	1.5V	PL decryption key memory backup
	<i>V<sub>CCBRAM</sub></i>	1.0V	PL block RAM
	<i>V<sub>CCAUX_IO_G#</sub></i>	1.8V to 2.0V	PL auxiliary I/O circuits
XADC	<i>V<sub>CCADC</sub></i> , <i>GNDADC</i>	N/A	Analog power and ground.
Ground	GND	Ground	Digital and analog grounds

**Figura 18 - alimentaciones Zynq-700 0**

Una vez se conocen las tensiones de alimentación se pueden diseñar las alimentaciones.

Para la tensión de entrada del sistema se elige que sean +5V que son los mismos que puede suministrar el USB tipo C que requiere este sistema.

Conociendo que todas las alimentaciones requieren de menos tensión de la que hay en la entrada entonces se tiene que recurrir para diseñar la alimentación de un DC-DC de tipo Buck.

Para ello se selecciona el *TPS563201* de Texas Instrument:



TPS563201, TPS563208

SLVSD90 –DECEMBER 2015

## TPS56320x 4.5-V to 17-V Input, 3-A Synchronous Step-Down Voltage Regulator in SOT-23

### 1 Features

- TPS563201 and TPS563208 3-A Converter Integrated 95-mΩ and 57-mΩ FETs
- D-CAP2™ Mode Control with fast transient response
- Input Voltage Range: 4.5 V to 17 V
- Output Voltage Range: 0.76 V to 7 V
- Pulse-skip mode (TPS563201) or Continuous Current Mode (TPS563208)
- 580-kHz Switching Frequency
- Low Shutdown Current Less than 10 µA
- 2% Feedback Voltage Accuracy (25 °C)
- Startup from Pre-Biased Output Voltage
- Cycle-by-Cycle Overcurrent Limit
- Hiccup-mode Overcurrent Protection
- Non-Latch UVLP and TSD Protections
- Fixed Soft Start: 1.0 ms

### 2 Applications

- Digital TV Power Supply
- High Definition Blu-ray™ Disc Players
- Networking Home Terminal
- Digital Set Top Box (STB)
- Surveillance

### 3 Description

The TPS563201 and TPS563208 are simple, easy-to-use, 3 A synchronous step-down converters in SOT-23 package.

The devices are optimized to operate with minimum external component counts and also optimized to achieve low standby current.

These switch mode power supply (SMPS) devices employ D-CAP2 mode control providing a fast transient response and supporting both low-equivalent series resistance (ESR) output capacitors such as specialty polymer and ultra-low ESR ceramic capacitors with no external compensation components.

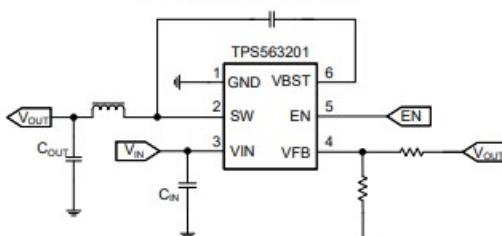
TPS563201 operates in pulse skip mode, which maintains high efficiency during light load operation. The TPS563201 and TPS563208 are available in a 6-pin 1.6-mm × 2.9-mm SOT (DDC) package, and specified from a –40°C to 125°C junction temperature.

### Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
TPS563201	DDC (6)	1.60 mm × 2.90 mm
TPS563208		

(1) For all available packages, see the orderable addendum at the end of the data sheet.

Simplified Schematic



TPS563201 Efficiency

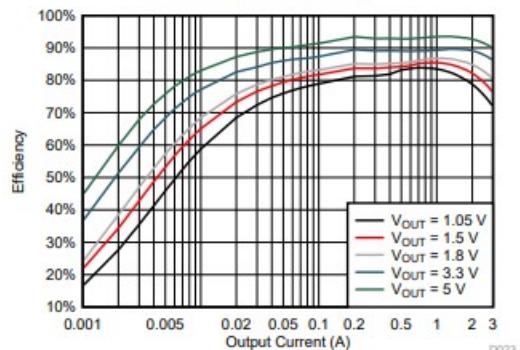


Figura 19 - datasheet TPS563201 Zynq-7000

Como se puede comprobar en el datasheet (Figura 19) la tensión de entrada puede variar desde los 4.5 hasta los 17V. Y la salida puede variar de los 0.76 hasta los 7V.

Además, el datasheet provee de la fórmula de funcionamiento del DC-DC (Ecuación 1) y de un diagrama de conexión (Figura 20)

$$V_{out} = 0,768 \cdot \left(1 + \frac{R_1}{R_2}\right)$$

Ecuación 1

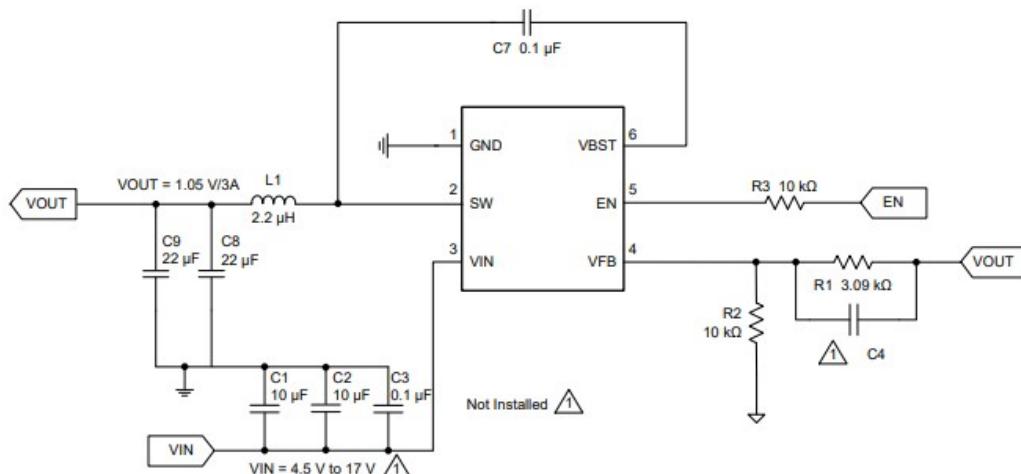


Figure 19. TPS563201 and TPS563208 1.05-V/3-A Reference Design

### Figura 20 - ejemplo de TPS563201 Zynq-7000

Con todo lo anterior se procede a diseñar cada alimentación.

- **Alimentación de 1.0V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R_1}{R_2} \right) = 1.0V$$

### Ecuación 2

$$\frac{R_1}{R_2} = 0,33$$

R1 = 33kΩ

R2 = 100kΩ

Diseño de la alimentación en KiCad

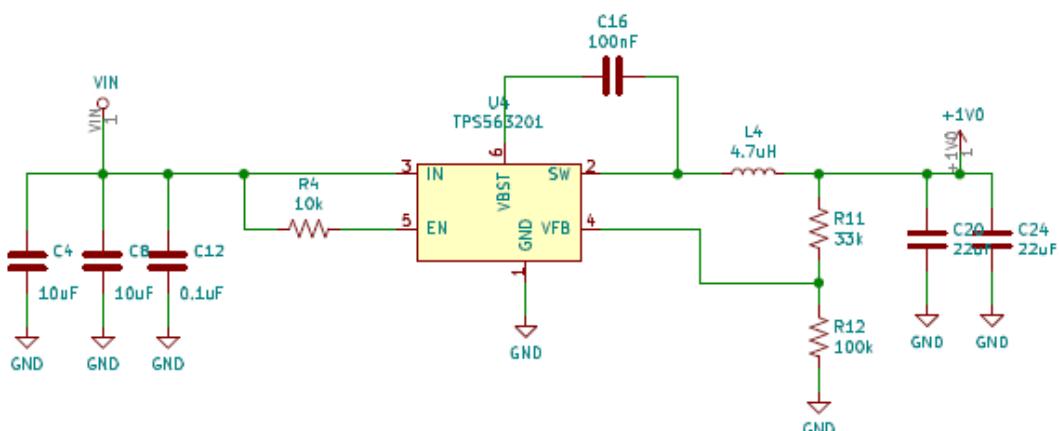


Figura 21 - alimentación de 1.0V Zynq-7000

- **Alimentación de 1.8V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R1}{R2} \right) = 1.8V$$

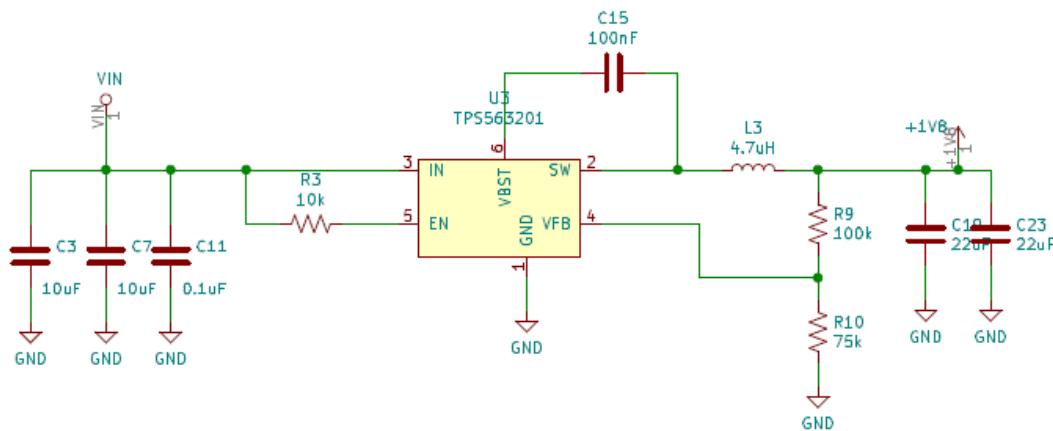
### Ecuación 3

$$\frac{R1}{R2} = 1,33$$

R1 = 100kΩ

R2 = 75kΩ

Diseño de la alimentación en KiCad



**Figura 22 - alimentación de 1,8V Zynq-7000**

- **Alimentación de 1.35V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R1}{R2} \right) = 1.8V$$

### Ecuación 4

$$\frac{R1}{R2} = 0,79$$

R1 = 79kΩ

R2 = 100kΩ

Diseño de la alimentación en KiCad

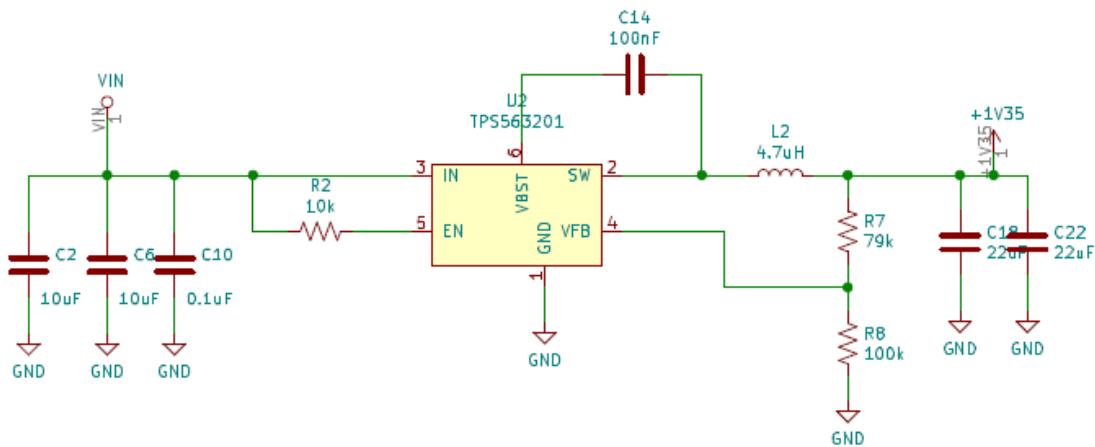


Figura 23 - alimentación de 1,35V Zynq-7000

- **Alimentación de 3,3V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R1}{R2} \right) = 3,3V$$

### Ecuación 5

$$\frac{R1}{R2} = 3,3$$

$$R1 = 33\text{k}\Omega$$

$$R2 = 10\text{k}\Omega$$

Diseño de la alimentación en KiCad

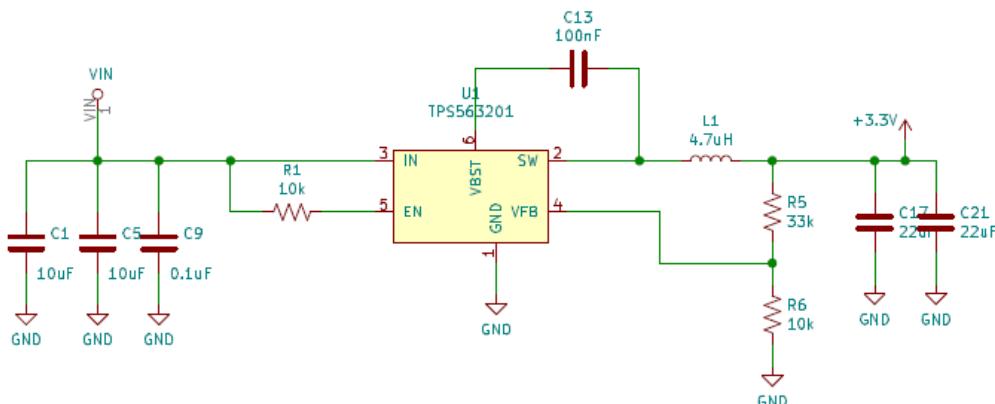
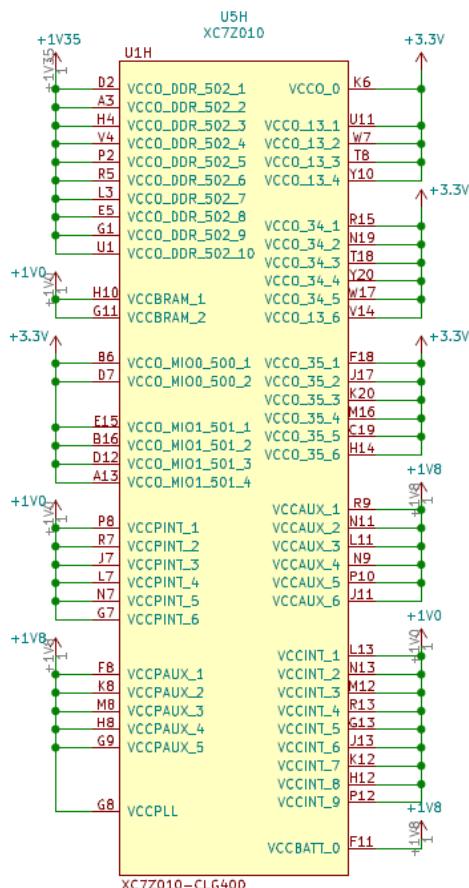


Figura 24 - alimentación de 1,8V Zynq-7000

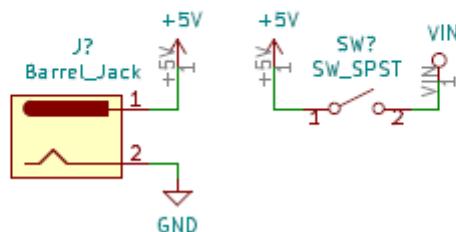
Una vez diseñadas las alimentaciones se procede a diseñar la conexión a los pines de alimentación del SoC.



**Figura 25 - conexión de alimentaciones Zynq-7000**

Para la entrada de alimentación se elige un Barrel Jack con un switch para apagar el SoC.

## Voltage Input



**Figura 26 - entrada de alimentación Zynq-7000**

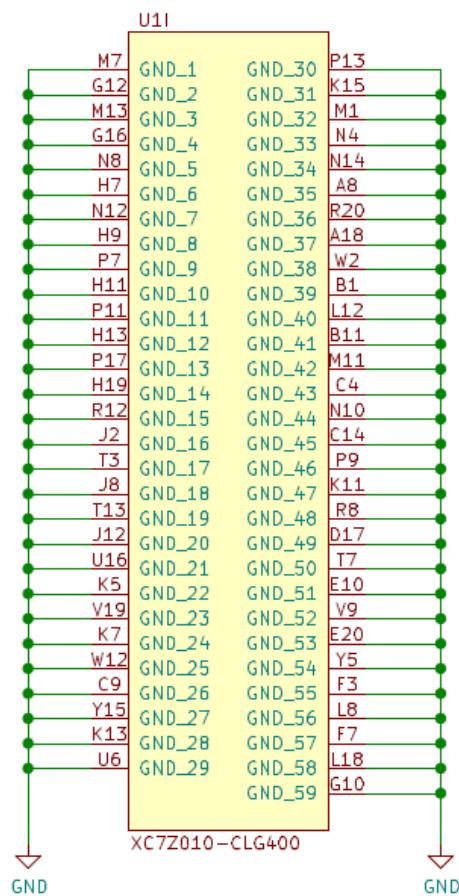


→ Esto es un Barrel Jack<sup>24</sup>

**Figura 27 - barrel Jack**

## Masas

Todas las masas de nuestro ejemplo son masas digitales y todas van al mismo potencial (GND)



**Figura 28 - conexión de masas Zynq-7000**

24 [https://www.google.com/url?sa=i&url=https%3A%2F%2Fwww.pololu.com%2Fproduct%2F1139&psig=AOvVaw1g\\_LryUOaE1if682kHN0Zu&ust=1630002824735000&source=images&cd=vfe&ved=0CAgQjRxqFwoTCNCP5uznzPICFOAAAAAdAAAAABAG](https://www.google.com/url?sa=i&url=https%3A%2F%2Fwww.pololu.com%2Fproduct%2F1139&psig=AOvVaw1g_LryUOaE1if682kHN0Zu&ust=1630002824735000&source=images&cd=vfe&ved=0CAgQjRxqFwoTCNCP5uznzPICFOAAAAAdAAAAABAG)  
 (Última revisión :20-09-2021)

## Memoria RAM - DDR

Con el objetivo conseguir 512 Mb de memoria RAM se recurre a las memorias MT41K256M16 de Micron, que son memorias DDR3 que son el único tipo de memoria RAM que se puede implementar dentro de los Zynq-7000.

Con las memorias RAM ya seleccionadas ahora hay que saber cuántas memorias se van a necesitar. Para ello se tiene que tener claro que las memorias MT41K256M16 tienen 256K de datos y 16 bits de direcciones. Y que el bus de datos de las memorias RAM solo necesita 8 bits. Por lo que las memorias que se tienen son 256Mx16, entonces solo se necesitarían 2 memorias RAM para conseguir el 512 Mb de memoria RAM.

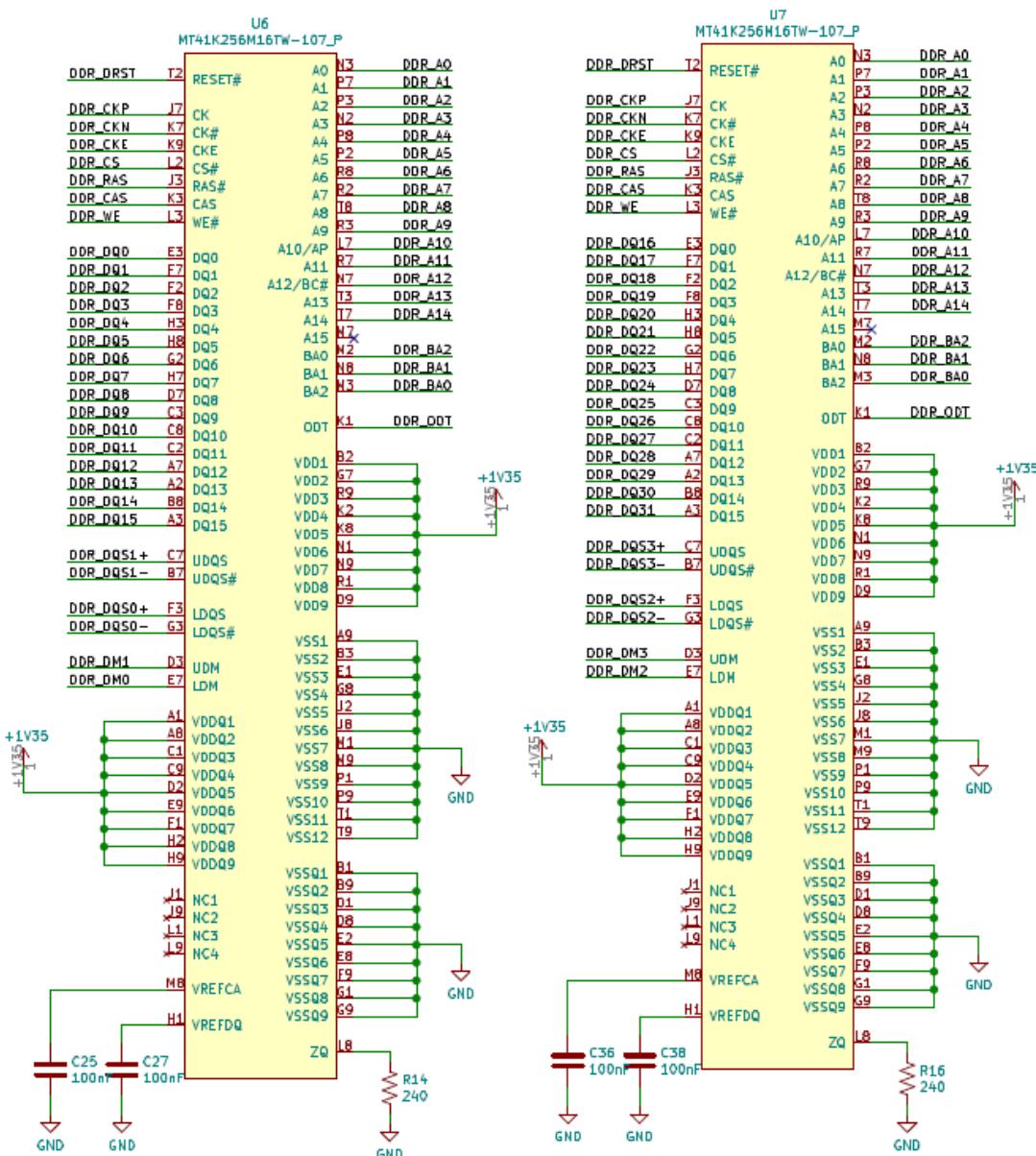
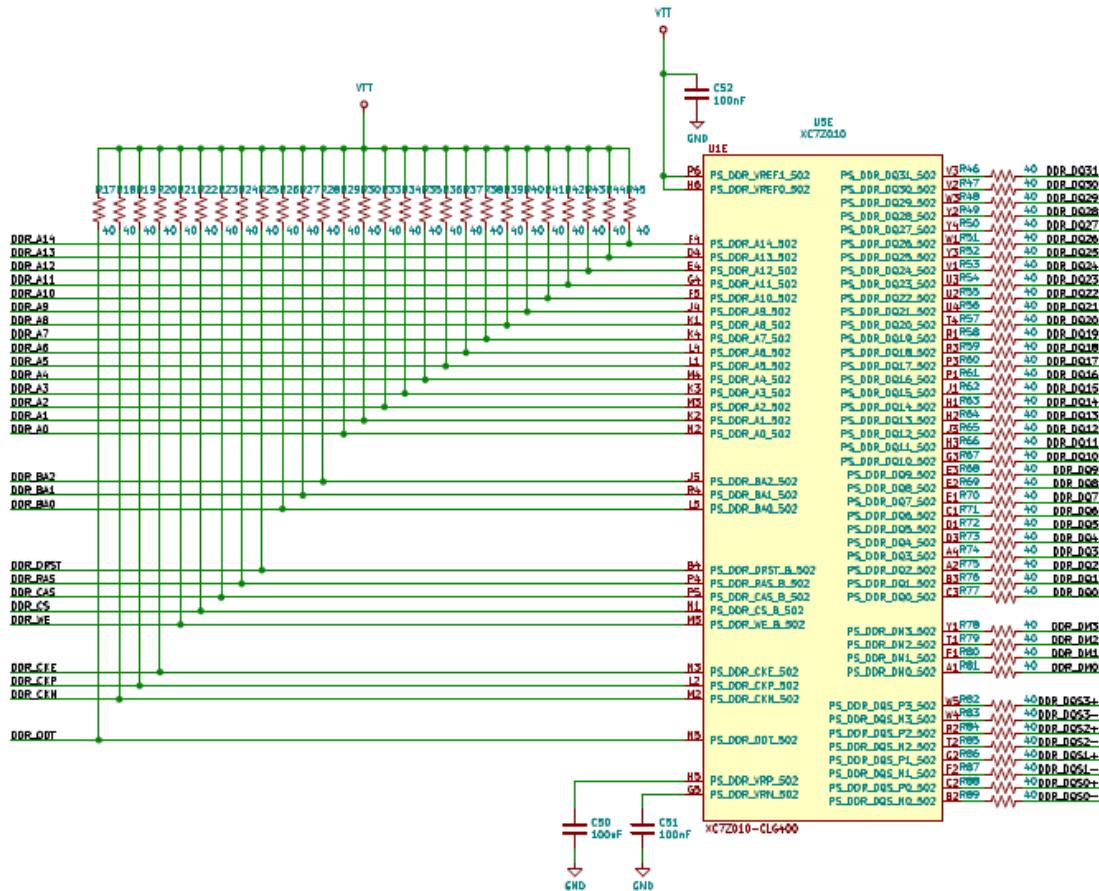


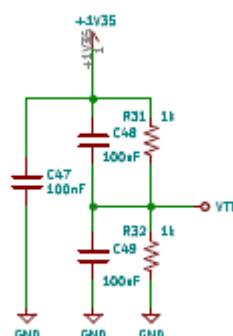
Figura 29 - conexión Memoria RAM Zynq-7000

Con el esquema de conexión de la Figura 29, se puede diseñar el esquema de conexión del SoC.



**Figura 30 - conexión memoria RAM Zynq 7000**

Otro elemento es que la tensión de PS\_DDR\_VREF tiene que ser de VCCO\_DDR/2, por lo que la alimentación se diseña mediante un divisor resistivo.



**Figura 31 - divisor resistivo XC7Z010 Zynq-7000**

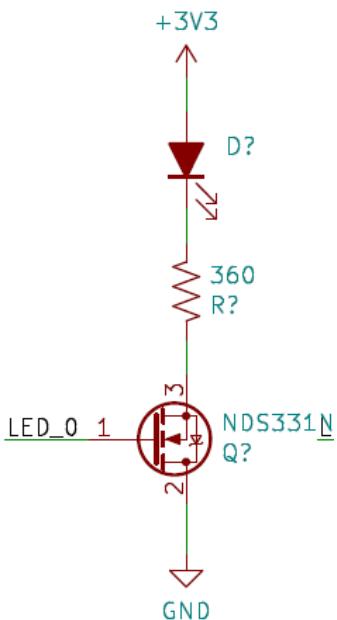
## Pines de configuración hardware

En este apartado se van a describir el diseño de los 8 leds, 5 switches y 3 botones.

- **Leds**

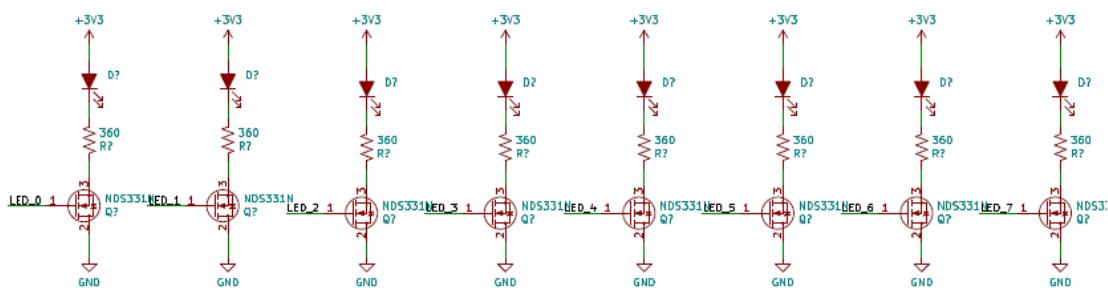
Para el diseño del sistema de encendido de los leds se opta por un sistema de conexión basado en un transistor MOSFET que haga de interruptor. El transistor elegido es el NDS331N.

La opción elegida para el que se encienda los leds es que sean activos a nivel alto por lo que todos siguen el esquema de la Figura 32.



**Figura 32 - leds de activación Zynq-7000**

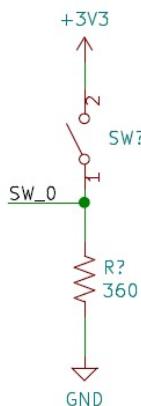
## LEDS



**Figura 33 - leds Zynq-7000**

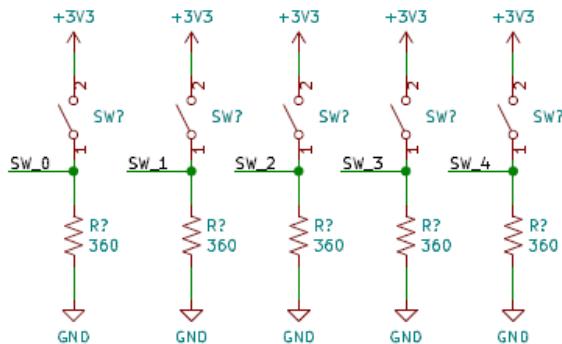
- **Switches**

Para los switches se decide porque se realice una lectura de nivel alto cuando el switch esté conectado



**Figura 34 - switch activo nivel alto**

## SWITCHES

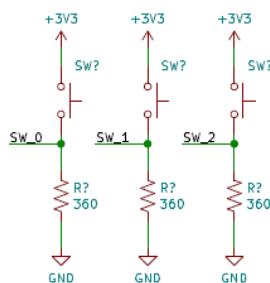


**Figura 35 - switches Zynq-7000**

- **Botones**

Para los botones se opta por la misma configuración que se ha realizado en los switches, por lo que los botones están activos a nivel alto.

## BUTTON

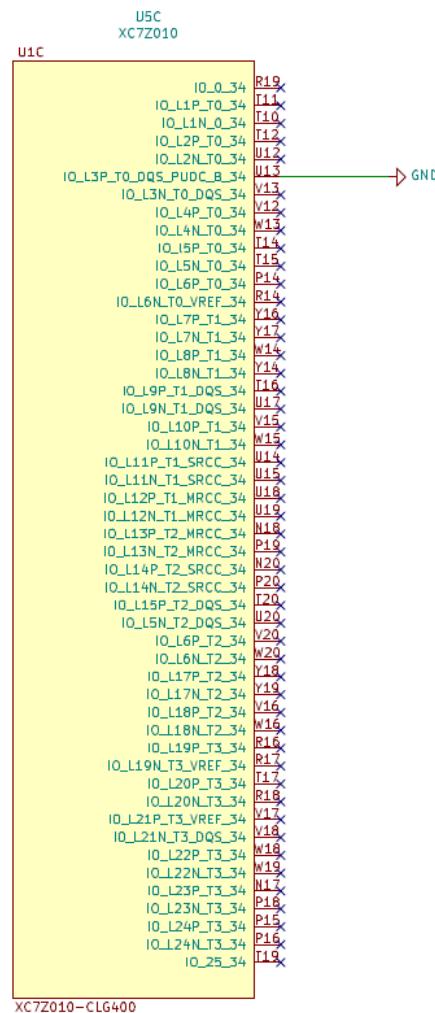


**Figura 36 - botones Zynq-7000**

Una vez se tiene diseñado el conexionado de los leds, switches y botones se diseña la conexión con el SoC.

Para el SoC XC7Z010-CLG400, Xilinx tiene dos bancos de trabajo con 50 pines cada uno: el 34 y el 35.

Para el caso el banco 34 queda totalmente desierto, salvo por la conexión del pin U13 (*IO\_L3\_T0\_DQS\_PUBC\_B\_34*) que como se describió en la parte de *descripción de pines* se tiene que o conectar a VCCO\_34 o a masa, en nuestro caso se conecta a GND.



**Figura 37 - banco 34 Zynq-7000**

Para el banco 35 también queda gran parte desierto salvo por los últimos pines que serán los que se escriban o lean en la parte hardware.

Se decide que los pines para cada apartado sean los siguientes:

- **LEDS:**

Nombre	PIN
Led 0	H20
Led 1	G19
Led 2	G20
Led 3	H15
Led 4	G15
Led 5	K14
Led 6	J14
Led 7	N15

**Tabla 13 - pines de los leds Zynq-7000**

- **SWITCHES:**

Nombre	PIN
Switch 0	N16
Switch 1	L14
Switch 2	L15
Switch 3	M14
Switch 4	M15

**Tabla 14 - switches Zynq-7000**

- **BOTONES:**

Nombre	PIN
Botón 0	K16
Botón 1	J16
Botón 2	J15

**Tabla 15 - botones Zynq-7000**

El esquema de conexión queda como en la Figura 38.

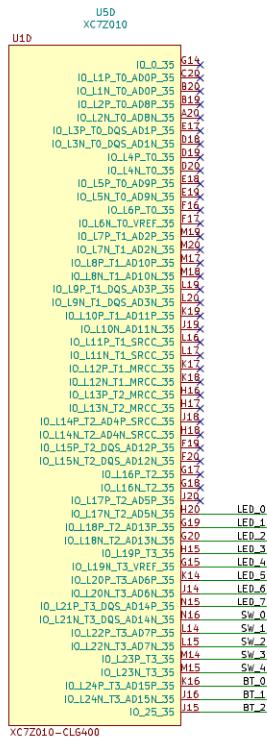


Figura 38 - banco 35 Zynq-7000

## Pines MIO

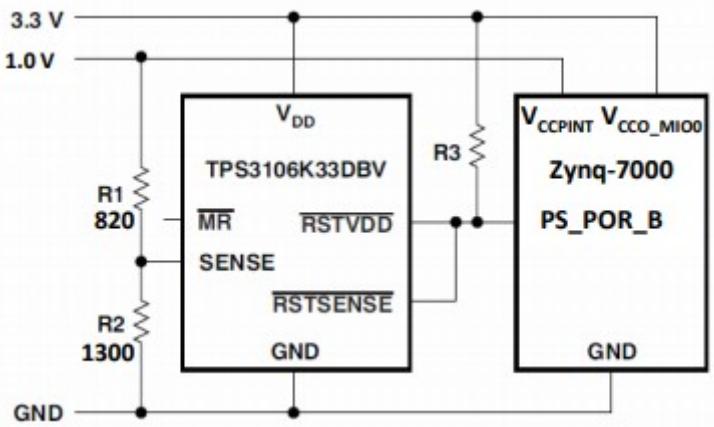
Los pines como ya se ha comentado en los apartados anteriores tienen múltiples funciones. Entonces, en como el enunciado pide que tenga una tarjeta SD y conexión por USB tipo C estas conexiones se realizan por estos pines.

Para ello Xilinx en el XC7Z010-CLG400 da dos bancos de trabajo para la conexión de pines MIO, estos bancos son el 500 y el 501.

El Banco 500 además de tener pines MIO también tiene dos pines de configuración de la parte PS. Estos pines son el C7 (**PS\_POR\_B\_500**) y el E7 (**PS\_CLK\_500**).

- El **PS\_POR\_B** sirve para retrasar el arranque del sistema, por lo que se necesita de un chip que permita retrasar el arranque. Para ello Xilinx entrega un documento en el que explica cómo se conecta este pin utilizando un TPS3106K33 de Texas Instrument<sup>25</sup>.

25 [https://www.xilinx.com/Attachment/AR65240\\_-\\_Example\\_PS\\_POR\\_B\\_Supervisor\\_Circuit.pdf](https://www.xilinx.com/Attachment/AR65240_-_Example_PS_POR_B_Supervisor_Circuit.pdf) (Última revisión :20-09-2021)

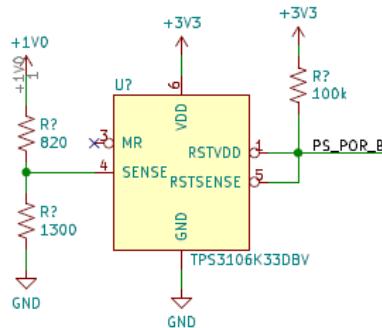


**Figura 39 - TPR3106K33DBV Zynq-7000**

En la Figura 39, se puede ver el tipo de conexión que se tiene que diseñar. Para ello se

conecta como en la Figura 40.

## delay RST



**Figura 40 - Conexión del PS\_POR\_B Zynq-7000**

- El pin **PS\_CLK** es el pin de conexión de reloj del sistema, por lo que este pin debe llevar conectado una señal de reloj de entre 30 y 60 MHz, como se especifica en el pinout. Por ello en nuestro caso se selecciona un oscilador de la familia ASE de 33MHz.

## 33MHz Oscillator

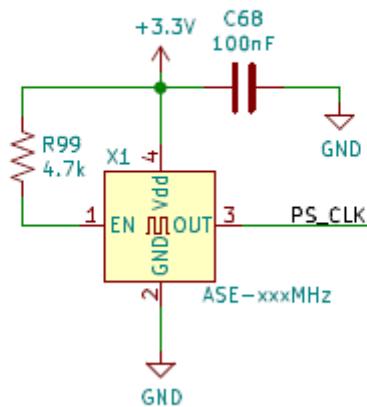


Figura 41 - oscilador de 33MHz Zynq-7000

Además de los pines de configuración el de banco 500 también se va a utilizar los pines que permiten conectar una Quad SPI Flash. Para la Quad SPI Flash se utiliza una memoria S25FL128S de 128Kb de memoria. Esta memoria va conectada a los pines de banco 500 que figuran en la Tabla 11.

## QUAD SPI FLASH

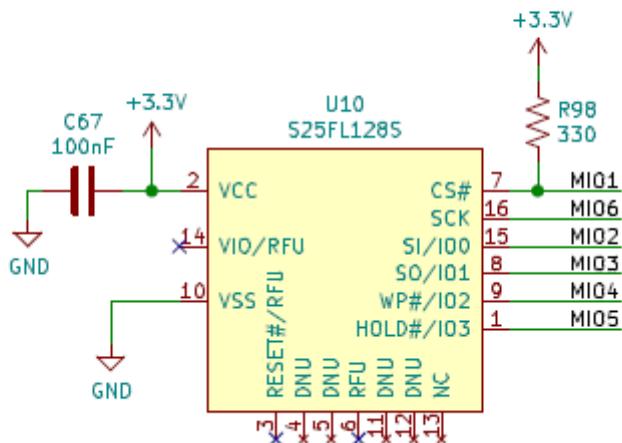


Figura 42 - Quad SPI Flash Zynq-7000

Una vez se tiene ya todo el diseño de los componentes que van unidos al banco 500, se diseña utilizando la Tabla 11, la conexión del XC7Z010.

De la Tabla 11 se elige usar el QUAD SPI0. De tal forma que los pines tienen la siguiente asignación: **MIO1** → **CS#**, **MIO2** → **SCK**, **MIO3** → **IO0**, **MIO4** → **IO2**, **MIO5** → **IO3**.

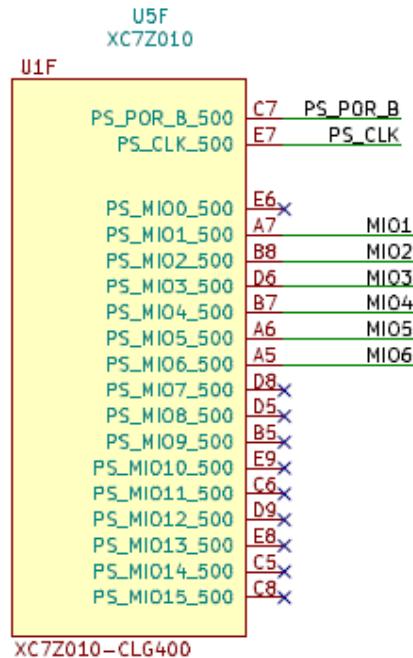


Figura 43 - banco 500 Zynq-7000

El banco 501 también tiene dos pines de configuración, el B110 (PS\_SRST\_B\_501) y el E11 (PS\_MIO\_VREF\_501)

- El pin **PS\_SRST\_B** es el pin de reset de la parte PS. Para su conexión se decide que haya un botón de reset que lo active. Este pin se activa a nivel bajo.

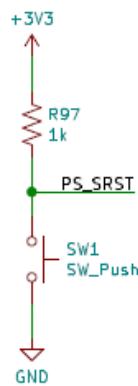


Figura 44 - reset parte PS Zynq-7000

- El pin **PS\_MIO\_VREF** provee de tensión a la parte de la interfaz RGMII, pero como en nuestro caso una interfaz RGMII se deja al aire. Esta interfaz es la que se utiliza cuando se conecta un dispositivo de

Ethernet en el sistema. El RGMII se tiene que alimentar a la mitad de la tensión de alimentación del banco.

Para el resto de pines del banco 501 se tiene que conectar la memoria SD y la comunicación serie del USB tipo C.

- Memoria SD

Para la conexión de la memoria SD se hace de manera directa con los pines MIO. Para saber los pines que se pueden utilizar se utiliza la Tabla 5.

## SD Connector

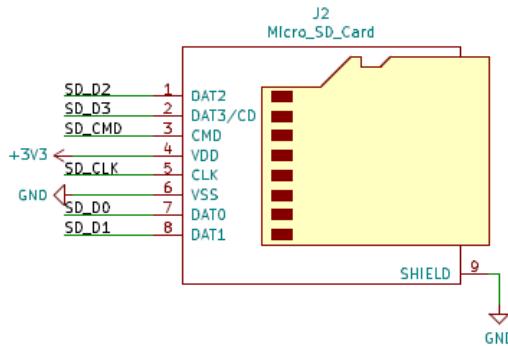


Figura 45 - Tarjeta SD Zynq-7000

- USB tipo C

Para la conexión con el puerto USB tipo C se tiene que usar un dispositivo que permita pasar los datos de RS232 a UART .Para ello se hace uso del dispositivo FT2232H que además requiere de una memoria EEPROM para funcionar, en este caso se utiliza la que recomienda el fabricante (93C46). Otra utilidad que tiene el FT2232H es que además también sirve para convertir de RS232 a JTAG, por lo que evitaría que se necesitasen pines específicos para programar el SoC, por lo que se podría programar por el puerto USB tipo C<sup>26</sup>.

---

26 Que se pueda cargar el programa no significa que se pueda llegar a debuggear el código que se le carga al SoC.

## JTAG – USB TIPO C

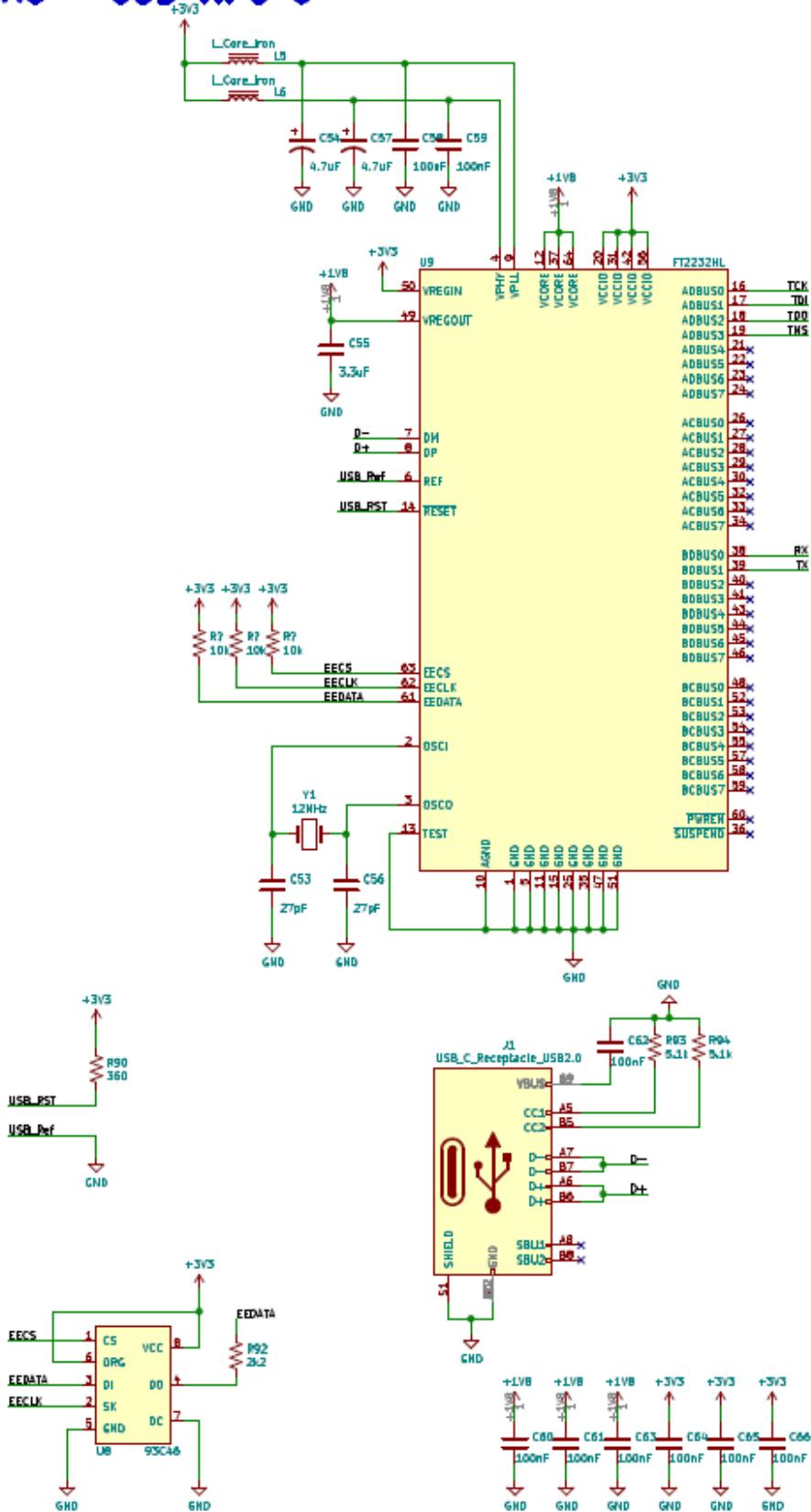


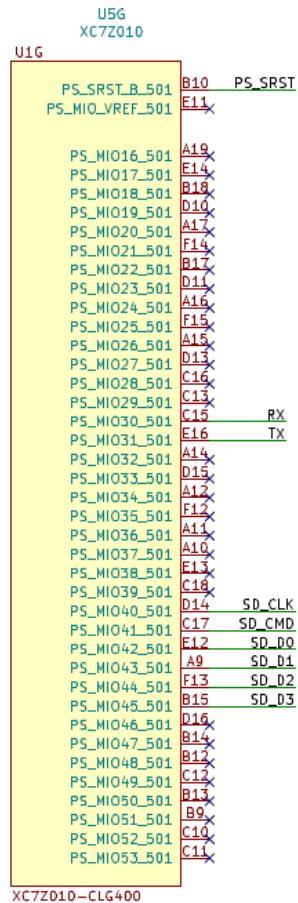
Figura 46 - USB tipo C Zynq-7000

Una vez se tiene el conexionado de los componentes se procede a la conexión de los componentes con el banco MIO.

Para ello se recurre a las tablas: Tabla 5 (SDIO) y Tabla 2 (UART0).

De la Tabla 5 se elige que se utilice la conexión de SDIO0 para el pin 40 (CLK), 41(CMD), 42(D0), 43(D1), 44(D2) y 45(D3).

De la Tabla 2 se elige que se utilice la conexión de UART0 de los pines 30 (RX) y 31(TX).

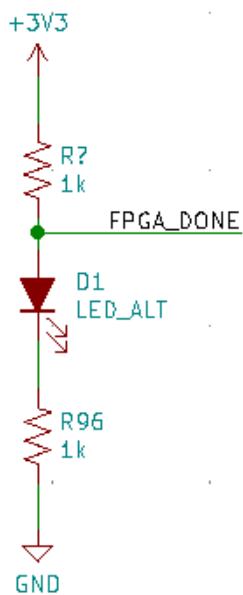


**Figura 47 - conexión banco 501 Zynq-7000**

## Pines de configuración

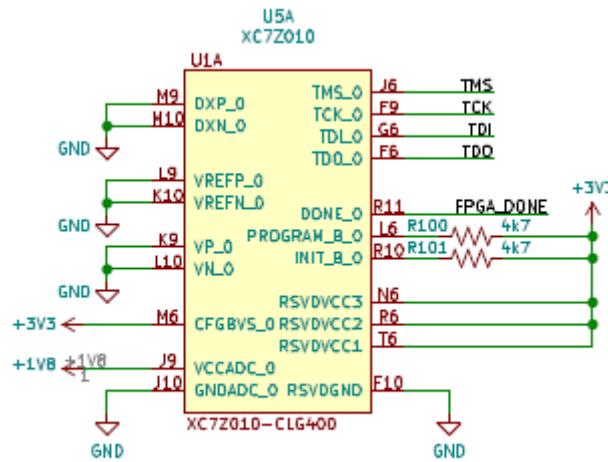
Una vez cumplidos todos los requisitos que se solicitan en el enunciado todavía queda un banco por conectar que es el banco de configuración. Este banco es el que contiene los pines de programación (JTAG) o lo pines de alimentación del ADC.

- Pines de JTAG: estos pines van conectados al FT2232H de la Figura 46 por el banco A, hasta los pines de JTAG del XC7Z010.
- Pines DXP y DXN: estos pines son los pines del diodo para la medición de temperatura, en nuestro caso no se utilizan, por lo que conectan a masa
- Pines VREFP y VREFN: son los pines de referencia del ADC. En nuestro caso no se utilizan, por lo que se conectan a masa
- Pines VP y VN: son los pines de referencia de los dopados P y N del chip. En nuestro caso no se utilizan, por lo que se conectan a masa.
- Pin CFGBVS: este pin es para la configuración del banco 0. En nuestro caso como la tensión está comprendida entre 2.5V y 3.3V tiene que estar conectado a la tensión de alimentación del banco 0, 3.3V.
- Pines VCCADC y GNDADC: estos pines son la tensión de alimentación y la referencia del ADC. En este ejemplo aunque no se utilizan los ADCs se recomienda mantenerlos alimentados, en este caso se alimenta a 1.8V.
- Pines RSVDVCC y RSVDGND: son pines reservados. Los pines RSVDVCC tienen que tener la misma alimentación del banco 0. Y RSVGND tiene que estar conectada a masa.
- Pines PROGRAM\_B e INIT\_B: ambos son pines activos a nivel bajo para la configuración del sistema. En nuestro caso estos pines se dejan a nivel alto.
- Pin DONE: este pin emite una señal a nivel alto cuando el sistema está configurado. En este caso se decide conectarlo a un led para tener el conocimiento de cuando el sistema está configurado. Este pin debe tener una resistencia de pull-up.



**Figura 48 - señal de configuración Zynq-7000**

Una vez se tiene todo el conocimiento de cómo van a ser las conexiones se procede a la conexión del SoC.



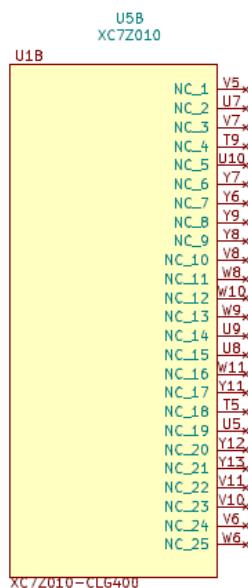
**Figura 49 - pines de configuración Zynq-7000**

### Otros pines

Aunque no se tengan que conectar también hay que hablar de los pines NC, que son pines que no tienen ningún tipo de conexión que se tienen que dejar al aire.

Que el XC7Z010-CLG400 tenga pines NC se debe a que no es el único encapsulado que contiene el XC7Z010 sino que también puede ir

encapsulado en el CLG225 que tiene menos pines para realizar las mismas funciones.



**Figura 50 - banco NC Zynq-7000**

### 3.3 Presupuesto

Para implementar el SoC diseñado en el apartado anterior se realiza la tarea de diseñar un presupuesto de los diferentes componentes.

Para ello se crea la Tabla 16, que contiene todos los precios y el distribuidor para la construcción del ejemplo.

Componente	Distribuidor	Precio unitario	Unidades	Precio total
<b>XC7Z010-CLG400<sup>27</sup></b>	Farnell	61,16€	1	61,16€
<b>TPS563201<sup>28</sup></b>	Farnell	1,14€	4	4,56€
<b>MT41K256M16T W-107 AIT:P<sup>29</sup></b>	Farnell	14,57€	2	29,14€
<b>NDS331N<sup>30</sup></b>	Farnell	0,603€	8	4,824€
<b>TPS3106K33DBVR<sup>31</sup></b>	Farnell	2,86€	1	2,86€
<b>ASE-33.333MHZ<sup>32</sup></b>	Farnell	1,8€	1	1,8€
<b>S25FL128S<sup>33</sup></b>	Farnell	4,14€	1	4,14€
<b>FT2232H<sup>34</sup></b>	Farnell	6,3€	1	6,3€
<b>Resistencias</b>	Farnell	0,122€	71	8,66€
<b>Condensadores</b>	Farnell	0,086€	68	5,85€
<b>Bobinas</b>	Farnell	0,22€	4	0,88€
<b>Led</b>	Farnell	0,17€	10	1,7€
<b>Switch</b>	Farnell	1,4€(pack de 8)	6	1,4€
<b>Botón</b>	Farnell	0,39€	4	1,56€
<b>Ferritas</b>	Farnell	0,24€	2	0,48€
<b>Cristal 12Mhz</b>	Farnell	0,68€	1	0,68€
<b>93C46</b>	Farnell	0,32€	1	0,32 €
<b>Valor Total</b>				136,31

**Tabla 16 - Presupuesto Zynq-7000**

El precio total asciende a **136,31 €<sup>35</sup>**

27 <https://es.farnell.com/xilinx/xc7z010-1clg400c/psoc-arm-cortex-a9-667mhz-bga/dp/2760128> (Última revisión :20-09-2021)

28 <https://es.farnell.com/texas-instruments/tps563201ddct/dc-dc-conv-sync-buck-580khz-sot/dp/3121824?st=tps563201> (Última revisión :20-09-2021)

29 <https://es.farnell.com/micron/mt41k256m16tw-107-ait-p/dram-ddr3l-4gbit-40-a-95-c/dp/3577571> (Última revisión :20-09-2021)

30 <https://es.farnell.com/on-semiconductor/nds331n/mosfet-n-ch-20v-1-3a-ssot3/dp/1839006?st=nds331> (Última revisión :20-09-2021)

31 <https://es.farnell.com/texas-instruments/tps3106k33dbvr/voltage-supervisor-2-941v-sot/dp/3008802?st=TPS3106K33DBVR> (Última revisión :20-09-2021)

32 <https://es.farnell.com/abracon/ase-33-333mhz-lc-t/osc-33-333mhz-3-2-x-2-5mm-lvcmos/dp/2467894?st=ASE-33.333MHZ-LC-T> (Última revisión :20-09-2021)

33 <https://es.farnell.com/cypress-semiconductor/s25fl128agmfv003/memoria-flash-128mbit-40-a-105/dp/3259909RL?st=s25fl128s> (Última revisión :20-09-2021)

34 <https://es.farnell.com/ftdi/ft2232h-56q-reel/puente-de-interfaz-usb-uart-fifo/dp/2535722?st=ft2232h> (Última revisión :20-09-2021)

35Algunos componentes están juntos bajo el mismo nombre en la tabla.

Además a este precio habría que añadirle el coste de fabricación de la PCB. Esta PCB suele ser multicapa<sup>36</sup> debido a que los SoCs y sus aplicaciones tienen que estar protegidos de radiaciones electromagnéticas, son muy sensibles a ellas y pueden generar errores. Por lo que el precio de este tipo de PCBs suele ser más alto.

---

36 Entre 10 y 22 capas para SoCs.

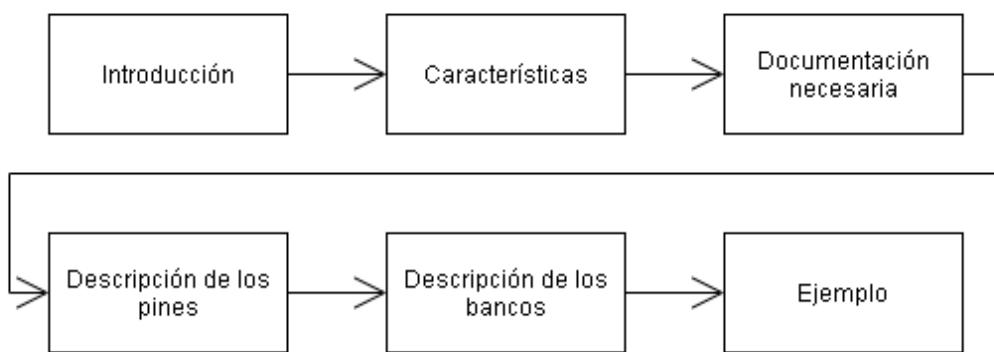
# Capítulo 4

## Zynq UltraScale+

### 4.1 Introducción

Este capítulo se va a dividir en las partes necesarias para hacer una explicación lo más completa sobre el diseño de SoCs basados en la Zynq-UltraScale+.

Primero se comienza describiendo las características de la Zynq-UltraScale+, después se comenta cuál es el modelo más idóneo que elegir con la información que da el fabricante. Con el modelo elegido se pasa a la búsqueda de la documentación que se requiere para el SoC y después se explica cada uno de los pines además se da la explicación de los bancos de pines más relevantes para el diseño. Una vez se ha explicado cada apartado necesario se propone un ejemplo que consta de un enunciado y de una explicación detallada de cómo realizar el diseño.



**Figura 2 - Diagrama de bloques (draw.io)**

## 4.2 Características

Los SoCs Zynq-UltraScale+ son los MPSoCs más avanzados y modernos de Xilinx debido a que incorporan sistemas de relativa complejidad en su interior, además de dos tipos de cores distintos junto con una GPU interna.

Estos MPSoC llevan incorporados los microprocesadores ARM Cortex-A53 y los microprocesadores en tiempo real ARM Cortex-R5F. Son microprocesadores de 64 bits.

Además, algunos modelos cuentan con el procesador gráfico Mali-400 MP2.

Estos MPSoCs están especializados en redes 5G, en la nueva generación de ADAS<sup>37</sup> y en IoT a nivel industrial.

De la familia de Zynq-UltraScale+ también salen los RFSoCs que son SoC que tienen una función específica para radiofrecuencia que el diseño se hace igual que las Zynq-UltraScale+ MPSoCs. Pero en este documento no se tratará la familia RFSoC.

Los Zynq-UltraScale+ tienen más configuraciones que las Zynq-7000, pero internamente funcionan igual. Los Zynq-UltraScale+ tienen un Processing System que también tiene pines de tipo MIO. Además cuentan con hardware programable, que está subdividido en dos partes: la parte HD y la parte PS.

Y a parte de los pines MIO también cuenta con varios tipos de bancos de pines que sirven para comunicaciones de alta frecuencia. Estos bancos son el GTR, el GTY y el GTH.

## 4.3 ¿Cuál elegir de todos los modelos?

Para la elección de modelos hay que basarse en la función que va a desempeñar el SoC.

Para realizar tareas de propósito general se utilizan la SoCs de tipo **CG**. Para realizar tareas con la utilización de una GPU se utilizan los SoCs de tipo **EG**. Y para realizar tareas de video se utilizan los SoCs de tipo **EV**.

Los MPSoCs también se diferencian por el número de puertas lógicas que poseen:

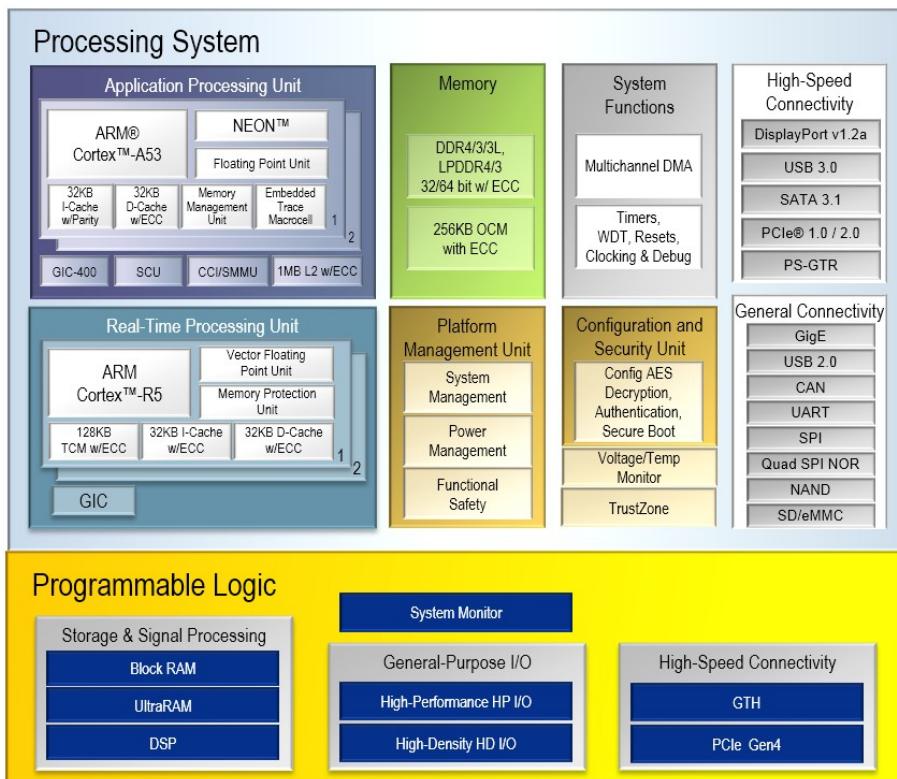
	CG Devices	EG Devices	EV Devices
Application Processor	Dual-core Arm® Cortex®-A53 MPCore™ up to <b>1.3GHz</b>	Quad-core Arm Cortex-A53 MPCore up to <b>1.5GHz</b>	Quad-core Arm Cortex-A53 MPCore up to <b>1.5GHz</b>
Real-Time Processor	Dual-core Arm Cortex-R5 MPCore up to <b>533MHz</b>	Dual-core ARM Cortex-R5 MPCore up to <b>600MHz</b>	Dual-core ARM Cortex-R5 MPCore up to <b>600MHz</b>
Graphics Processor		Mali™-400 MP2	Mali™-400 MP2
Video Codec			H.264 / H.265
Programmable Logic	81K–600K System Logic Cells	81K–1143K System Logic Cells	192K–504K System Logic Cells
Applications	<ul style="list-style-type: none"> <li>• Sensor Processing &amp; Fusion</li> <li>• Motor Control</li> <li>• Low-cost Ultrasound</li> <li>• Traffic Engineering</li> </ul>	<ul style="list-style-type: none"> <li>• Flight Navigation</li> <li>• Missile &amp; Munitions</li> <li>• Military Construction</li> <li>• Secure Solutions</li> <li>• Networking</li> <li>• Cloud Computing Security</li> <li>• Data Center</li> <li>• Machine Vision</li> <li>• Medical Endoscopy</li> </ul>	<ul style="list-style-type: none"> <li>• Situational Awareness</li> <li>• Surveillance/Reconnaissance</li> <li>• Smart Vision</li> <li>• Image Manipulation</li> <li>• Graphic Overlay</li> <li>• Human Machine Interface</li> <li>• Automotive ADAS</li> <li>• Video Processing</li> <li>• Interactive Display</li> </ul>

**Figura 51 - comparativa de Zynq-UltraScale+**

### MPSoCs de tipo CG

Los MPSoC de la clase CG además de tener aplicación general también se pueden utilizar para: procesado de sensores, control de motores, ultrasonidos de bajo coste o gestión de tráfico.

Los MPSoC de tipo CG contienen en su interior las diferentes partes que se ilustran en la Figura 52.



**Figura 52 - descripción de hardware de CG Zynq UltraScale+**

Todos los MPSoC contienen los mismos componentes, solo se diferencian en el número de puertas lógicas que poseen, siendo el ZU1CG el que menos puertas lógicas posee y el ZU9CG el que más puertas posee.

### Zynq® UltraScale+™ MPSoCs: CG Devices

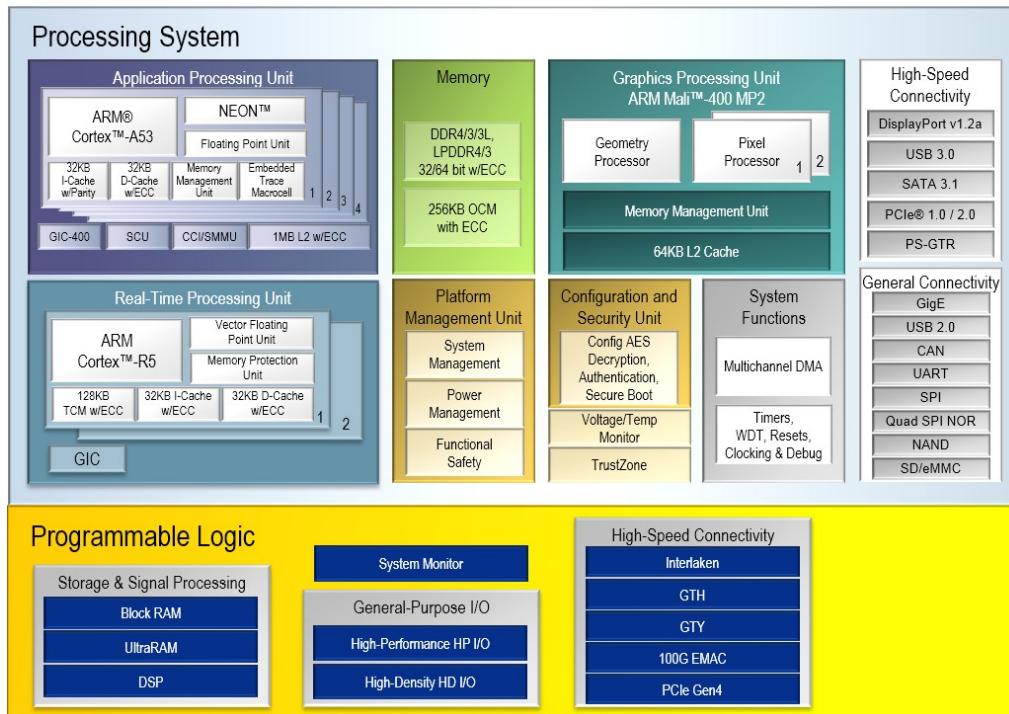
	Device Name <sup>[1]</sup>	ZU1CG	ZU2CG	ZU3CG	ZU4CG	ZU5CG	ZU6CG	ZU7CG	ZU9CG
Application Processor Unit (PS)	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core
	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC
Real-Time Processor Unit (PS)	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core	Processor Core
	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC	Memory w/ECC
External Memory	Dynamic Memory Interface	x16: DDR4 w/o ECC; x32/x64: DDR4, LPDDR4, DDR3, DDR3L, LPDDR3 w/ ECC	NAND, 2x Quad-SPI						
Connectivity	Static Memory Interfaces								
	High-Speed Connectivity	PoCle® Gen2 x4, 2x USB3.0, SATA 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet	2xUSB 2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO						
Integrated Block Functionality	General Connectivity								
	Power Management	Full / Low / PL / Battery Power Domains							
	Security	RSA, AES, and SHA							
\$ to PL Interface	AMS - System Monitor	10-bit, 1MSPS – Temperature and Voltage Monitor	12 x 32/64/128b AXI Ports						
Programmable Logic (PL)	System Logic Cells (K)	81	103	154	192	256	469	504	600
	CLB Flip-Flops (K)	74	94	141	176	234	429	461	548
	CLB LUTs (K)	37	47	71	88	117	215	230	274
Memory	Max. Distributed RAM (Mb)	1.0	1.2	1.8	2.6	3.5	6.9	6.2	8.8
	Total Block RAM (Mb)	3.8	5.3	7.6	4.5	5.1	25.1	11.0	32.1
Clocking	UltraRAM (Mb)	-	-	-	13.5	18.0	-	27.0	-
	Clock Management Tiles (CMTs)	3	3	3	4	4	4	8	4
	DSP Slices	216	240	360	728	1,248	1,973	1,728	2,520
Integrated IP	PCI Express® Gen 3x16	-	-	-	2	2	-	2	-
	150G Interlaken	-	-	-	-	-	-	-	-
	100G Ethernet MAC/PCS w/RS-FEC	-	-	-	-	-	-	-	-
Transceivers	AMS - System Monitor	1	1	1	1	1	1	1	1
	GTH 16.3Gb/s Transceivers	-	-	-	16	16	24	24	24
	GTy 32.75Gb/s Transceivers	-	-	-	-	-	-	-	-
Speed Grades	Extended <sup>[2]</sup>				-1-2 -2L				
	Industrial				-1-1L -2				

**Figura 53 - selection guide MPSoC clase CG Zynq UltraScale+**

## MPSoCs de tipo EG

Los MPSoC de la clase EG además de tener aplicación de sistemas con una GPU también se pueden utilizar para: navegación aérea, control de misiles y munición, construcción militar, soluciones de seguridad, trabajo en red, seguridad en computación en la nube, centros de datos, visión artificial o en endoscopias médicas.

Los MPSoC de tipo EG contienen en su interior las diferentes partes que se ilustran en la Figura 54.



Todos los MPSoC contienen los mismos componentes, solo se diferencian en el número de puertas lógicas que poseen, siendo el ZU1EG el que menos puertas lógicas posee y el ZU19EG el que más puertas posee.

Zynq® UltraScale+™ MPSoCs: EG Devices													
		Device Name <sup>(1)</sup>											
		ZU1EG	ZU2EG	ZU3EG	ZU4EG	ZU5EG	ZU6EG	ZU7EG	ZU9EG	ZU11EG	ZU15EG	ZU17EG	ZU19EG
Processor System (PS)	Application Processor Unit	Processor Core	<b>Quad-core Arm® Cortex-A53 MPCore™ up to 1.5GHz</b>										
	Real-Time Processor Unit	Memory w/ECC	L1 Cache 32KB / D per core, L2 Cache 1MB, on-chip Memory 256KB										
	Graphic & Video Acceleration	Processor Core	<b>Dual-core Arm Cortex-R5F MPCore™ up to 600MHz</b>										
	External Memory	Memory w/ECC	L1 Cache 32KB / D per core, Tightly Coupled Memory 128KB per core										
	Connectivity	Graphics Processing Unit	Mali™-400 MP2 up to 667MHz										
	Integrated Block Functionality	Memory	L2 Cache 64KB										
PS to PL Interface	Dynamic Memory Interface	x16: DDR4 w/o ECC; x32/x64: DDR4, LPDDR4, DDR3, LPDDR3 w/ ECC											
	Static Memory Interfaces	NAND, 2x Quad-SPI											
	High-Speed Connectivity	PCIe® Gen 2 x4, 2x USB3.0, SATA 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet											
	General Connectivity	2xUSB 2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO											
	Power Management	Full / Low / PL / Battery Power Domains											
	Security	RSA, AES, and SHA											
	AMS - System Monitor	10-bit, 1MSPS – Temperature and Voltage Monitor											
Programmable Logic (PL)	12 x 32/64/128b AXI Ports												
Programmable Functionality	System Logic Cells (K)	81	103	154	192	256	469	504	600	653	747	926	1,143
	CLB Flip-Flops (K)	74	94	141	176	234	429	461	548	597	682	847	1,045
	CLB LUTs (K)	37	47	71	88	117	215	230	274	299	341	423	523
Memory	Max. Distributed RAM (Mb)	1.0	1.2	1.8	2.6	3.5	6.9	6.2	8.8	9.1	11.3	8.0	9.8
	Total Block RAM (Mb)	3.8	5.3	7.6	4.5	5.1	25.1	11.0	32.1	21.1	26.2	28.0	34.6
	UltraRAM (Mb)	-	-	-	13.5	18.0	-	27.0	-	22.5	31.5	28.7	36.0
Clocking	Clock Management Tiles (CMTs)	3	3	3	4	4	4	8	4	8	4	11	11
	DSP Slices	216	240	360	728	1,248	1,973	1,728	2,520	2,928	3,528	1,590	1,968
Integrated IP	PCI Express® Gen 3x16	-	-	-	2	2	-	2	-	4	-	4	5
	15Gb Interlaken	-	-	-	-	-	-	-	-	1	-	2	4
	100G Ethernet MAC/PCS w/RS-FEC	-	-	-	-	-	-	-	-	2	-	2	4
	AMS - System Monitor	1	1	1	1	1	1	1	1	1	1	1	1
Transceivers	GTH 16.3Gb/s Transceivers	-	-	-	16	16	24	24	24	32	24	44	44
	GTY 32.7Gb/s Transceivers	-	-	-	-	-	-	-	-	16	-	28	28
Speed Grades	Extended <sup>(2)</sup>	-1 -2 -2L	-	-	-1 -2 -2L -3	-	-	-	-	-1 -2 -2L -3	-	-	-
	Industrial	-	-	-	-	-	-	-	-	-	-	-	-

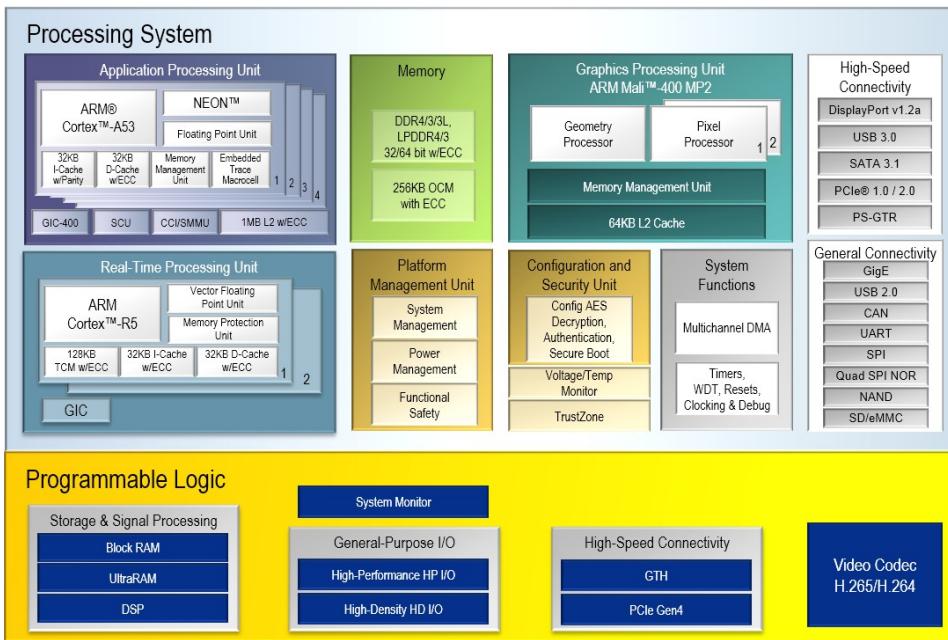
**Figura 55 - selection guide MPSoC clase EG Zynq UltraScale+**

### MPSOCs de tipo EV

Los MPSOC de la clase EV además de tener aplicación en tareas de video también se pueden utilizar para: análisis de situación, vigilancia y reconocimiento, visión inteligente, manipulación de imágenes, superposición de gráficos, HMI<sup>38</sup>, ADAS, procesado de video o reproducción de imágenes interactiva.

Los MPSOC de tipo EV contienen en su interior las diferentes partes que se ilustran en la Figura 56.

38 HMI: Human Machine Interface: es la interfaz en la que se muestra la situación actual de las máquinas, para la toma de decisiones por parte de un humano



**Figura 56 - descripción de hardware de EV Zynq UltraScale+**

Todos los MPSoC contienen los mismos componentes, solo se diferencian en el número de puertas lógicas que poseen, siendo el ZU4EV el que menos puertas lógicas posee y el ZU7EV el que más puertas posee.

Zynq® UltraScale+™ MPSoCs: EV Devices				
	Device Name <sup>(1)</sup>	ZU4EV	ZU5EV	ZU7EV
Application Processor Unit	Processor Core	Quad-core Arm® Cortex-A53 MPCore™ up to 1.5GHz		
	Memory w/ECC	L1 Cache 32KB I / D per core, L2 Cache 1MB, on-chip Memory 256KB		
Real-Time Processor Unit	Processor Core	Dual-core Arm Cortex-R5 MPCore™ up to 600MHz		
	Memory w/ECC	L1 Cache 32KB I / D per core, Tightly Coupled Memory 128KB per core		
Graphic & Video Acceleration	Graphics Processing Unit	Mali™-400 MP2 up to 667MHz		
	Memory	L2 Cache 64KB		
External Memory	Dynamic Memory Interface	x16: DDR4 w/o ECC; x32/x64: DDR4, LPDDR4, DDR3L, LPDDR3 w/ ECC		
	Static Memory Interfaces	NAND, 2x Quad-SPI		
Connectivity	High-Speed Connectivity	PCIe® Gen2 x4, 2x USB3.0, SATA 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet		
	General Connectivity	2xUSB 2.0, 2x SD/SPI, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO		
Integrated Block Functionality	Power Management	Full / Low P/LI Battery Power Domains		
	Security	RSA, AES, and SHA		
PS to PL Interface	AMS - System Monitor	10-bit, 1MSPS – Temperature and Voltage Monitor		
		12 x 32/64/128 AXI Ports		
Programmable Functionality (PL)	System Logic Cells (K)	192	256	504
	CLB Flip-Flops (K)	176	234	461
	CLB LUTs (K)	88	117	230
	Max. Distributed RAM (Mb)	2.6	3.5	6.2
	Total Block RAM (Mb)	4.5	5.1	11.0
Memory	UltraRAM (Mb)	13.5	18.0	27.0
	Clock Management Tiles (CMTs)	4	4	8
	DSP Slices	728	1,248	1,728
	Video Codec Unit (VCU)	1	1	1
	PCI Express® Gen 3x16	2	2	2
Clocking	150G Interlaken	-	-	-
	100G Ethernet MAC/PCS w/RS-FEC	-	-	-
	AMS - System Monitor	1	1	1
	GTH 16.3Gb/s Transceivers	16	16	24
	GTY 32.75Gb/s Transceivers	-	-	-
Transceivers	Extended <sup>(2)</sup>	-	-	-
	Industrial	-1 -2 -2L -3	-1L -2	-
Speed Grades				

**Figura 57 - selection guide MPSoC clase EV Zynq UltraScale+**

## 4.4 Documentación necesaria

Para el diseño de PCBs con SoCs de Xilinx no existe un solo documento si no que existen varios, y cada uno de ellos está referido a una parte específica del SoC, un parte a los pines, otra a la alimentación, otro es el Reference Manual, etc.

### Listado de documentos:

- **Pinout<sup>39</sup>.** El pinout es el documento en el que figuran el número de pines, los nombres de los pines, las huellas de los pines, etc. Se estima que hay alrededor de 106 pinout distintos para la Zynq-UltraScale+.

Para las Zynq-UltraScale+, Xilinx entrega un documento con la descripción de los pines, su modelo de bancos, los footprints (huellas de los componentes), como en la Figura 58.

También se puede recurrir a la página oficial de Xilinx en la que se publican todos los pinout en un ZIP, que contiene los pinouts en formato CSV y en formato TXT<sup>40</sup> (Figura 59).

Packages	Footprint Compatible Devices			
SBVA484	XCZU2CG XCZU2EG XAZU2EG Production	XCZU3CG XCZU3EG XAZU3EG Production		
SFRA484	XQZU3EG Production			
UBVA530	XCZU2CG XCZU2EG Production	XCZU3CG XCZU3EG Production		
SFVA625	XCZU2CG XCZU2EG XAZU2EG Production	XCZU3CG XCZU3EG XAZU3EG Production		
SFVC784	XCZU2CG XCZU2EG XAZU2EG Production	XCZU3CG XCZU3EG XAZU3EG Production	XCZU4CG XCZU4EG XCZU4EV XAZU4EV Production	XCZU5CG XCZUSEG XCZUSEV XAZUSEV Production
SFRC784	XQZU3EG Production	XQZUSEV Production		
FBVB900	XCZU4CG XCZU4EG XCZU4EV Production	XCZU5CG XCZUSEG XCZUSEV Production	XCZU7CG XCZU7EG XCZU7EV Production	XAZU7EV Production

**Figura 58 - ejemplo de tabla de enlace de pines Zynq UltraScale+**

39 Enlace: [https://www.xilinx.com/support/documentation/user\\_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf](https://www.xilinx.com/support/documentation/user_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf) (Última revisión :20-09-2021)

40 Enlace: <https://www.xilinx.com/support/package-pinout-files/zynq-ultrascale-plus-pkgs.html> (Última revisión :20-09-2021)

## Zynq UltraScale+ Package Device Pinout Files

**Figura 59 - pinout Zynq-UltraScale+****NOTA**

Las páginas con los pines en formato texto siguen el siguiente esquema:

[https://www.xilinx.com/content/dam/xilinx/support/packagefiles/zupackages/<nombre\\_del\\_pin><encapsulado>pkg.txt](https://www.xilinx.com/content/dam/xilinx/support/packagefiles/zupackages/<nombre_del_pin><encapsulado>pkg.txt)

En esta página aparece el pinout como en la Figura 60.

Pin	Pin Name	Memory	Byte Group	Bank	I/O Type	Super	Logic Region
N9	DXN	NA	NA	NA	NA	NA	NA
K10	VCCADC	NA	NA	NA	NA	NA	NA
K9	GNDADC	NA	NA	NA	NA	NA	NA
M10	DXP	NA	NA	NA	NA	NA	NA
M10	VREFP	NA	NA	NA	NA	NA	NA
L9	VREFN	NA	NA	NA	NA	NA	NA
L10	VP	NA	NA	NA	NA	NA	NA
M9	VN	NA	NA	NA	NA	NA	NA
T8	PUDC_B	NA	0	CONFIG	NA	NA	NA
T7	POR_OVERRIDE	NA	NA	NA	NA	NA	NA
A6	IO_L12N_ADN0_26	NA	26	HD	NA	NA	NA
B7	IO_L12P_ADP0_26	NA	26	HD	NA	NA	NA
B5	IO_L11N_ADN1_26	NA	26	HD	NA	NA	NA
B6	IO_L11P_ADP1_26	NA	26	HD	NA	NA	NA
A7	IO_L10N_ADN2_26	NA	26	HD	NA	NA	NA
A8	IO_L10P_ADP2_26	NA	26	HD	NA	NA	NA
A9	IO_L9N_ADN3_26	NA	26	HD	NA	NA	NA
B9	IO_L9P_ADP3_26	NA	26	HD	NA	NA	NA
C7	IO_L8N_HDGC_AD4N_26	NA	26	HD	NA	NA	NA
C8	IO_L8P_HDGC_AD4P_26	NA	26	HD	NA	NA	NA
C5	IO_L7N_HDGC_AD5N_26	NA	26	HD	NA	NA	NA
D5	IO_L7P_HDGC_AD5P_26	NA	26	HD	NA	NA	NA
D8	IO_L6N_HDGC_AD6N_26	NA	26	HD	NA	NA	NA
E8	IO_L6P_HDGC_AD6P_26	NA	26	HD	NA	NA	NA
D6	IO_L5N_HDGC_AD7N_26	NA	26	HD	NA	NA	NA
D7	IO_L5P_HDGC_AD7P_26	NA	26	HD	NA	NA	NA
F7	IO_L4N_ADN8_26	NA	26	HD	NA	NA	NA
F8	IO_L4P_ADP8_26	NA	26	HD	NA	NA	NA
E5	IO_L3N_ADN9_26	NA	26	HD	NA	NA	NA
E6	IO_L3P_ADP9_26	NA	26	HD	NA	NA	NA
F6	IO_L2N_ADI0N_26	NA	26	HD	NA	NA	NA
G7	IO_L2P_ADI0P_26	NA	26	HD	NA	NA	NA
G5	IO_L1N_ADI1N_26	NA	26	HD	NA	NA	NA
G6	IO_L1P_ADI1P_26	NA	26	HD	NA	NA	NA
A2	IO_T3U_N12_66	3U	66	HP	NA	NA	NA
A3	IO_L12N_T1U_N11_GC_66	1U	66	HP	NA	NA	NA
A4	IO_L12P_T1U_N10_GC_66	1U	66	HP	NA	NA	NA
B1	IO_L11N_T1U_N9_GC_66	1U	66	HP	NA	NA	NA
B2	IO_L11P_T1U_N8_GC_66	1U	66	HP	NA	NA	NA
B4	IO_T0U_N12_VRP_66	0U	66	HP	NA	NA	NA
C4	VREF_66	NA	66	HP	NA	NA	NA
C2	IO_L24N_T3U_N11_PERSTN0_65	3U	65	HP	NA	NA	NA
D2	IO_L24P_T3U_N10_PERSTN1_I2C_SDA_65	3U	65	HP	NA	NA	NA

**Figura 60 - formato de pinout de Zynq-UltraScale+**

Las partes más importantes de este documento son:

Primera columna: en la primera columna aparece el número del pin en formato BGA, por lo que el primer pin del SoC es el A1 que se ubica en arriba a la izquierda del componente.

Pin  
N9  
K10  
K9  
N10  
M10  
L9

**Figura 61 - primera columna Zynq-UltraScale+**

Segunda columna: en ella aparece el nombre del pin, por lo que se puede saber a qué parte del hardware pertenece.

B9	IO_L9P_AD3P_26
C7	IO_L8N_HDGC_AD4N_26
C8	IO_L8P_HDGC_AD4P_26
C5	IO_L7N_HDGC_AD5N_26
D5	IO_L7P_HDGC_AD5P_26
D8	IO_L6N_HDGC_AD6N_26
E8	IO_L6P_HDGC_AD6P_26
D6	IO_L5N_HDGC_AD7N_26

**Figura 62 - segunda columna Zynq-UltraScale+**

Cuarta columna: en ella aparece el banco al que pertenece el pin. Esto tiene importantes consideraciones para la alimentación y la utilización de los pines.

D7	IO_L5P_HDGC_AD7P_26	NA	26
F7	IO_L4N_AD8N_26	NA	26
F8	IO_L4P_AD8P_26	NA	26
E5	IO_L3N_AD9N_26	NA	26
E6	IO_L3P_AD9P_26	NA	26
F6	IO_L2N_AD10N_26	NA	26
G7	IO_L2P_AD10P_26	NA	26
G5	IO_L1N_AD11N_26	NA	26
G6	IO_L1P_AD11P_26	NA	26
A2	IO_T3U_N12_66	3U	66
A3	IO_L12N_T1U_N11_GC_66	1U	66
A4	IO_L12P_T1U_N10_GC_66	1U	66
B1	IO_L11N_T1U_N9_GC_66	1U	66

**Figura 63 - cuarta columna Zynq-UltraScale+**

Quinta columna: en ella figura el tipo de pin. Esta columna es muy importante debido a que el pin que se utilice puede estar alimentado a una tensión de 3.3V o de 1.8V.

- **CONFIG:** para configuración
- **HD** (max. 3.3V): pines de programación hardware
- **HP** (max. 1.8V): pines de programación harddware
- **PSMIO:** pines de tipo MIO
- **PSCONFIG:** pines de configuración de PS.
- **PSDDR:** pines de tipo DDR para la RAM
- **PSGTR:** pines de comunicación
- **PSGY:** pines de comunicación
- **PSGTX:** pines de comunicación.
- **ADC:** pines del ADC
- **DAC:** pines del DAC

D5	INIT_B_0	NA	0	NA	NA	CONFIG
L7	TDI_0	NA	0	NA	NA	CONFIG
L8	TDO_0	NA	0	NA	NA	CONFIG
G4	RSVDVCC1	NA	0	NA	NA	CONFIG
F6	CFGBVS_0	NA	0	NA	NA	CONFIG
K6	PROGRAM_B_0	NA	0	NA	NA	CONFIG
L9	TMS_0	NA	0	NA	NA	CONFIG
G11	IO_L1P_T0_34	0	34	NA	NA	HR
H12	IO_L1N_T0_34	0	34	NA	NA	HR
G12	IO_L2P_T0_34	0	34	NA	NA	HR

**Figura 64 - Séptima columna Zynq-UltraScale+**

- **Alimentación y temporización<sup>41</sup>**. En este fichero figuran las tensiones de alimentación de las Zynq-UltraScale+. Gracias a este fichero se pueden saber cuáles son las tensiones máximas que acepta el sistema.
- **Reference Manual<sup>42</sup>**. El Reference Manual incorpora toda la información necesaria para hacer funcionar el SoC. Desde los registros de funcionamiento hasta el procedimiento para arrancar cada parte.
- **PCB design<sup>43</sup>**. Este documento incorpora toda la información para el diseño del layout de la PCB que requiere del SoC.
- **Datasheet y esquemáticos de placas de Xilinx<sup>44</sup>**. Xilinx para comercializar los SoCs crea kits de utilización. Y como información de estos kits publica datasheet y esquemáticos muy detallados de cómo van conectados los SoCs. Estos datasheets y esquemáticos pueden ser utilizados como ejemplos de referencia.

---

41 Enlace: [https://www.xilinx.com/support/documentation/data\\_sheets/ds925-zynq-ultrascale-plus.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds925-zynq-ultrascale-plus.pdf) (Última revisión :20-09-2021)

42 Enlace: [https://www.xilinx.com/support/documentation/user\\_guides/ug1085-zynq-ultrascale-trm.pdf](https://www.xilinx.com/support/documentation/user_guides/ug1085-zynq-ultrascale-trm.pdf) (Última revisión :20-09-2021)

43 Enlace: [https://www.xilinx.com/support/documentation/user\\_guides/ug583-ultrascale-pcb-design.pdf](https://www.xilinx.com/support/documentation/user_guides/ug583-ultrascale-pcb-design.pdf) (Última revisión :20-09-2021)

44 Enlaces de los ejemplos (Última revisión :20-09-2021):

[https://www.xilinx.com/support/documentation/boards\\_and\\_kits/zcu111/ug1271-zcu111-eval-bd.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/zcu111/ug1271-zcu111-eval-bd.pdf)

[https://www.xilinx.com/support/documentation/boards\\_and\\_kits/zcu1275/ug1285-zcu1275-char-bd.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/zcu1275/ug1285-zcu1275-char-bd.pdf)

[https://www.xilinx.com/support/documentation/boards\\_and\\_kits/zcu106/ug1244-zcu106-eval-bd.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/zcu106/ug1244-zcu106-eval-bd.pdf)

[https://www.xilinx.com/support/documentation/boards\\_and\\_kits/zcu102/ug1182-zcu102-eval-bd.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/zcu102/ug1182-zcu102-eval-bd.pdf)

## 4.5 Definición de pines

En este apartado se van a describir los tipos de pines de la Zynq-UltraScale+. Las definiciones originales están en el documento de pinout de las Zynq-UltraScale+<sup>45</sup>.

### User I/O Pins

***IO\_[1-24][P/N]\_T[0-3][U/L]\_N[0-12]\_[multi-función]\_[número de banco]*** /

***IO\_T[0-3][U/L]\_N[0-12]\_[multi-función]\_[número de banco]*** : son los pines programación de la parte hardware. Estos pines se caracterizan porque son pines diferenciales.

### User I/O Multi-Functions Pins

***GC/HDGC*** : son pines de acceso directo al reloj global. Los pines GC además tienen acceso al MMCMs<sup>46</sup> y a los PLL.

***VRP*** : este pin es para la referencia de tensión de DCI para transistores de tipo P

***DBC/QBC*** : son pines que trasladan los relojes a las fuentes de alimentación síncronas de los pines E/S.

***PERSTN[0-1]*** : pin de reset por defecto para un bloque integrado de PCI Express.

### Configuration Pins

***PUDC\_B*** : entrada a nivel bajo que habilita las resistencias internas de pull-up durante la configuración. A '0' las resistencias están habilitadas. A '1' las resistencias están deshabilitadas. PUDC\_B está alimentada por VCCAUX.

***POR\_OVERRIDE*** : este pin anula el retardo de arranque del reset. A '0' se obtiene un retraso en el arranque, se recomienda esta configuración. A '1' se activa el arranque rápido.

***PS\_DONE*** : Activo a nivel alto. Indica si se ha completado la configuración de manera satisfactoria.

***PS\_ERROR\_OUT*** : pin de indicación de un fallo en el PS.

---

45 [https://www.xilinx.com/support/documentation/user\\_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf](https://www.xilinx.com/support/documentation/user_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf) (Última revisión :20-09-2021)

46 MMCM: Mixed-Mode Clock Manager, se utiliza para generar relojes en función de la fase y la frecuencia del reloj de entrada

***PS\_ERROR\_STATUS*** : pin de error de estatus en el PS.

***PS\_INIT\_B*** : pin indicador de inicialización completa. Activo a nivel alto.

***PS\_JTAG\_TCK*** : pin de reloj de JTAG

***PS\_JTAG\_TDI*** : pin de entrada de datos de JTAG

***PS\_JTAG\_TDO*** : pin de salida de datos de JTAG

***PS\_JTAG\_TMS*** : pin de selección de modo de JTAG

***PS\_MODE*** : pin de modo de selección de los pines MIO

***PS\_PADI*** : entrada del cristal oscilador

***PS\_PADO*** : salida del cristal oscilador

***PS POR\_B*** : pin de supervisión. Sirve para mantener un reset al arranque del sistema. Se recomienda que sea la entrada de un circuito que genere el Reset.

***PS\_PROG\_B*** : pin que sirve para el reseteo de la configuración del bloque.

***PS\_REF\_CLK*** : reloj de referencia del sistema. Debe de estar entre 27 y 60 MHz.

***PS\_SRST\_B*** : pin de reset del sistema, usando durante el debugeo. Cuando está a '0' fuerza al PS a entrar en la secuencia del reset.

## Power/Ground Pins

***GND*** : masa del sistema.

***RSVDGND*** : pines reservados que tienen que estar conectados a masa.

***RSVD*** : pines reservados. Se tienen que dejar al aire.

***VCCINT*** : pines de alimentación interna de PL.

***VCCINT\_IO*** : pines de alimentación de los bancos de entradas.

***VCCINT\_VCU*** : pines de alimentación para la unidad de codec de video. Solo para dispositivos EV. Este pin tiene que tener alimentación propia, no compartida con otras partes.

***VCCAUX*** : pines de alimentación de los circuitos auxiliares.

***VCCAUX\_IO*** : alimentación auxiliar de los pines de los bancos de I/O.

***VCCBRAM*** : pines de alimentación para los bloques de la lógica de la RAM.

***VCO\_[número de banco]*** : pines de alimentación de los drivers de salida

***VREF\_[número de banco]***: referencia de tensión de los pines de entrada.

***VCCADC*** : tensión analógica de alimentación del monitor del sistema.

***GNDADC*** : masa analógica de alimentación del monitor del sistema.

**VCC\_PSADC** : tensión de alimentación del PS ADC

**GND\_PSADC** : masa de alimentación del PS ADC

**VCC\_PSAUX** : voltaje de alimentación del circuito auxiliar de PS

**VCC\_PSBATT** : voltaje de alimentación de la batería. Cuando no se utiliza se conecta a GND.

**VCC\_PSDDR\_PLL** : tensión de alimentación del PLL de la DDR.

**VCC\_PSPLL** : tensión de alimentación del PLL (DPLL, RPLL, APLL, VPLL, IOPLL)

**VCC\_PSINTFP** : tensión de alimentación del dominio full-power PS

**VCC\_PSINTFP\_DDR** : tensión de alimentación interna de la DDR

**VCC\_PSINTLP** : tensión de alimentación del dominio low-power PS

**VCCO\_PSIO[0:3]\_[500:503]** : son los pines de alimentación de los pines PS I/O

**VCCO\_PSDDR** : tensión de alimentación del controlador de E/S de la DDR

### PS MIO Pins

**PS\_MIO** : pines multiplexados de entrada/salida, se configuran desde el PS. Pueden tener la configuración de la interfaz SPI, Quad-SPI, NAND, USB, Ethernet, SDIO, UART y GPIO.

### PS DDR Pins

**PS\_DDR\_DQ** : pines de datos de la DRAM

**PS\_DDR\_DQS\_P** : pines de datos diferenciales positivos de la DRAM

**PS\_DDR\_DQS\_N** : pines de datos diferenciales negativos de la DRAM

**PS\_DDR\_ALERT\_N** : pin de alerta de la DRAM

**PS\_DDR\_ACT\_N** : pin de activación de comandos de la DRAM

**PS\_DDR\_A** : pines de dirección de la DRAM

**PS\_DDR\_BA** : pines de bancos de dirección de la DRAM

**PS\_DDR\_BG** : pines de grupos de bancos de la DRAM

**PS\_DDR\_CK\_N** : pin diferencial negativo de reloj de la DRAM

**PS\_DDR\_CK** : pin diferencial positivo de reloj de la DRAM

**PS\_DDR\_CKE** : pin de habilitación de reloj de la DRAM

**PS\_DDR\_CS** : pin de selección de chip de la DRAM

**PS\_DDR\_DM** : pin de máscara de datos de la DRAM

**PS\_DDR\_ODT** : pin de la terminación de control de la DRAM

**PS\_DDR\_PARITY** : pin de paridad de la DRAM

**PS\_DDR\_RAM\_RST\_N** : pin de reset de la DRAM. Activo a nivel bajo

**PS\_DDR\_ZQ** : pin de calibración.

### System Monitor Pins

**AD[0:15][P/N]** : entradas analógicas diferenciales auxiliares

**VREFP** : entrada de referencia de tensión

**VREFN** : masa de referencia de tensión

**VP** : entrada analógica diferencial positiva dedicada para System Monitor

**VN** : entrada analógica diferencial negativa dedicada para System Monitor

**I2C\_SCLK** : entrada reloj serie de I2C.

**I2C\_SDA** : entrada de datos serie de I2C.

**SMBALERT** : señal de interrupción de PMBus. Cuando está a nivel bajo indica que el sistema falla. Se limpia mediante comandos PMBus,

### Multi-gigabit Serial Transceiver Pins

**MGTHRX[P/N][0:3]\_[número GT]** : entradas diferenciales de los receptores de GTH .

**MGTHTX[P/N][0:3]\_[número GT]** : entradas diferenciales de los transmisores de GTH.

**MGTYRX[P/N][0:3]\_[número GT]** : entradas diferenciales de los receptores de GTY.

**MGTYTX[P/N][0:3]\_[número GT]** : entradas diferenciales de los transmisores de GTY.

**MGTRRX[P/N][0:3]\_[número GT]** : entradas diferenciales de los receptores de PS-GTR.

**MGTRTX[P/N][0:3]\_[número GT]** : entradas diferenciales de los trasmisores de PS-GTR

**MGTAVCC\_[L/R][N/S]** : pin de alimentación analógica de los receptores y transmisores de los circuitos internos para GTH o para GTY.

**MGTRAVCC** : pin de alimentación analógica de los receptores y transmisores de los circuitos internos para PS-GTR.

**MGTAVTT\_[L/R][N/S]** : pin de alimentación analógica del transmisor y del receptor de la terminación de los circuitos para GTH o para GTY.

**MGTAVCCAUX\_[L/R][N/S]** : tensión de alimentación auxiliar de QPLL(Quad PLL).

**PS\_MGTRAVTT** : pin de alimentación analógica para la transmisión y la recepción de la terminación de circuitos para PS-GTR.

**MGTREFCLK[0:1][P/N]** : pines configurables como pin de entrada de reloj o como recuperación de pines de salida RX para GTY o para GTH.

**PS\_MGTREFCLK[0:3][P/N]** : reloj diferencial de referencia para PS-GTR.

**MGTAVTTRCAL\_[L/R][N/S]** : alimentación en corriente para las resistencias del circuito de calibración.

**MGTRREF\_[L/R][N/S]** : pin de calibración de resistencias para las resistencias de calibración del circuito de salida para GTY o para GTH

**PS\_MGTRREF**: pin de calibración de resistencias para las resistencias de calibración del circuito de salida para PS-GTR

### Zynq-UltraScale+ RFSoC Dedicated Pins

**VCCSDFEC** : alimentación de los bloques FEC

**VCCINT\_AMS** : alimentación digital para DDC

**ADC\_AVCC** : alimentación del CORE ADC y del PLL

**ADC\_AVCCAUX** : entrada de alimentación del buffer y el PLL

**ADC\_GND** : masa analógica del ADC

**ADC\_SUB\_GND** : masa digital del ADC

**ADC\_CLK\_[P/ N]** : referencia de reloj externo para PLL o para muestreo directo del ADC.

**VCM01/VCM23** :tensión en modo común del ADC.

**ADC\_VIN\_[0:3]\_[P/N]** :señal de entrada analógica del ADC

**ADC\_REXT** :resistencia externa del ADC

**DAC\_AVCC** :alimentación del CORE DAC y el PLL

**DAC\_AVCCAUX** : alimentación del DAC y el PLL

**DAC\_AVTT** : tensión de terminación de las resistencias de 50Ω.

**DAC\_GND** : masa analógica del DAC

**DAC\_SUB\_GND** : masa digital del DAC

**DAC\_CLK\_[P/N]** : referencia externa de reloj para PLL o para muestreo directo del DAC

**SYSREF\_[P/N]** : referencia externa de reloj/disparador para la sincronización de la conversión de datos.

**DAC\_VOUT[0:3]\_[P/N]** : salidas analógicas de los DACs

**DAC\_REXT** : resistencia externa del DAC

### Others Dedicated Pins

**DXN** : cátodo del diodo sensor de temperatura. Cuando no se usa se tiene que conectar a GND.

**DXP** : ánodo del diodo sensor de temperatura. Cuando no se usa se tiene que conectar a GND.

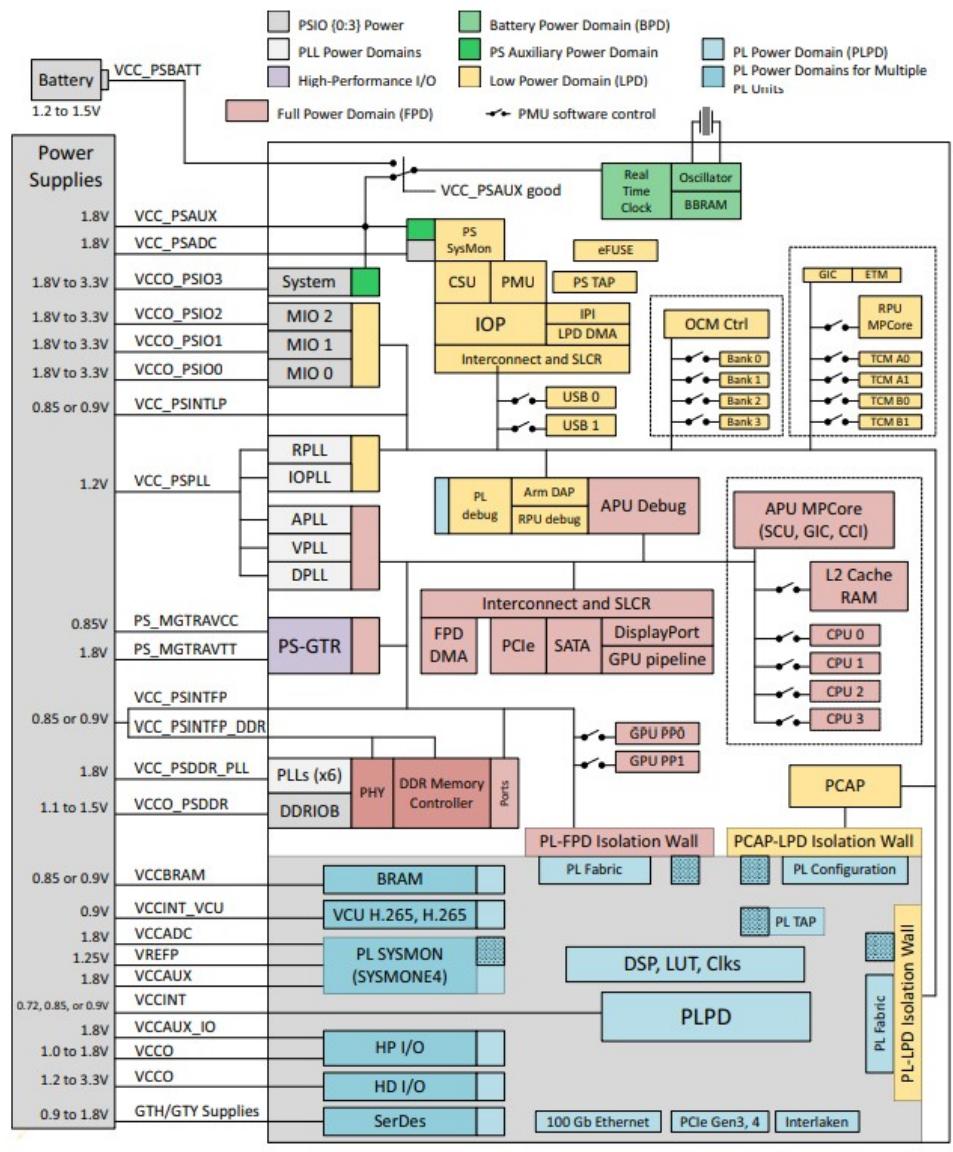
## 4.6 Bancos de pines

En este apartado se van a explicar los diferentes tipos de bancos que tiene la Zynq-UltraScale+. Estos bancos son muy variados y muchos de ellos son importantes para entender la forma de programar los SoCs.

### Banco de pines de alimentación

El banco de pines de alimentación es el banco de pines que entrega alimentación o una referencia a las diferentes partes del sistema.

En el caso de las Zynq-UltraScale+, Xilinx no entrega una tabla como en las Zynq-7000 con todas las alimentaciones, En este caso entrega una figura en el Reference Manual.



**Figura 65 - Distribución de alimentaciones Zynq UltraScale+**

Para un mejor entendimiento se realiza utilizando el documento de alimentaciones que entrega el fabricante la Tabla 17.

Tipo	Nombre del pin	Tensión nominal	Descripción del pin
PS Power	V <sub>CC_PSINTFP</sub>	0.850V *	Tensión de alimentación del dominio full-power PS
	V <sub>CC_PSINTLP</sub>	0.850V *	Tensión de alimentación del dominio low-power PS
	V <sub>CC_PSAUX</sub>	1.8V	Tensión de alimentación del circuito auxiliar de PS
	V <sub>CC_PSINTFP_DDR</sub>	0.850V *	Tensión de alimentación interna de la DDR
	V <sub>CC_PSADC</sub>	1.8V	Tensión de alimentación del PS ADC
	V <sub>CC_PSPLL</sub>	1.2V	Tensión de alimentación del PLL
	V <sub>PS_MGTRAVCC</sub>	0.850V	Tensión de alimentación analógica de los receptores y transmisores de los circuitos internos para PS-GTR.
	V <sub>PS_MGTRAVTT</sub>	1.8V	Tensión de alimentación analógica del transmisor y del receptor de la terminación de los circuitos para GTH o para GTY.
	V <sub>CCO_PSDDR</sub>	1.06V a 1.575V	Tensión de alimentación del controlador de E/S de la DDR
	V <sub>CC_PSDDR_PLL</sub>	1.8V	Tensión de alimentación del PLL de la DDR.
PL Power	V <sub>CCO_PSO</sub>	1.710V a 3.465V	Tensión de alimentación de PS I/O (pines MIO)
	V <sub>CC_PSBATT</sub>	1.2V a 1.5V	Voltaje de alimentación de la batería
	V <sub>CCINT</sub>	0.850V *	Tensión de alimentación interna de PL.
	V <sub>CCINT_IO</sub>	0.850V	Tensión de alimentación de los bancos de entradas.
	V <sub>CCBRAM</sub>	0.850V a 0.9V	Tensión de alimentación para los bloques de la lógica de la RAM.
	V <sub>CCAUX</sub>	1.140V a 3.4V	Tensión de alimentación de los circuitos auxiliares.
	V <sub>CCO</sub>	1.0V a 1.8V	Tensión de alimentación de los drivers de salida de HP
GTH/GTY	V <sub>CCO</sub>	1.2V a 3.3V	Tensión de alimentación de los drivers de salida de HD
	V <sub>CCAUX_IO</sub>	1.8V	Tensión de alimentación de los circuitos auxiliares.
	V <sub>MGTAVCC</sub>	0.9V	Tensión de alimentación analógica de los receptores y transmisores de los circuitos internos para PS-GTR.
	V <sub>MGTAVTT</sub>	1.2V	Tensión de alimentación analógica del transmisor y del receptor de la terminación de los circuitos para GTH o para GTY.
VCU	V <sub>MGTVCCAUX</sub>	1.8V	Tensión de alimentación auxiliar de QPLL
	V <sub>MGTAVTRCAL</sub>	1.2V	Tensión de alimentación para las resistencias del circuito de calibración.
PL System Monitor	V <sub>CCINT_VCU</sub>	0.9V	Tensión de alimentación para la unidad de codec de video.
PL System Monitor	V <sub>CCADC</sub>	1.8V	Tensión analógica de alimentación del monitor del sistema.
	V <sub>REFP</sub>	1.250V	Referencia de tensión del sistema

**Tabla 17 - Tabla de alimentaciones Zynq UltraScale+**

\* La tensión de estos pines puede variar dependiendo del Speed Grade.

## Banco hardware

Este banco lo constituyen todos los pines que se pueden programar mediante hardware.

Todos estos pines son diferenciales y además suelen llevar una aplicación específica para otros propósitos, como sistemas para la configuración de relojes externos, entradas de ADC o configuraciones para el arranque.

Los pines de hardware se dividen en dos tipos de pines: los HD (*High-Density*) y los HP(*High-Performance*).

Los pines HD tienen una tensión máxima de alimentación de 3.3V.

Los pines HP tienen una tensión máxima de alimentación de 1.8V.

## Banco MIO

Este banco lo constituyen aquellos pines que tienen múltiples formas de configuración, por ejemplo, pueden ser pines de comunicación serie o de pines de comunicación SPI.

Estos pines solo se pueden configurar mediante el Processing System.

Para conocer las diferentes configuraciones de los pines hay que recurrir a una tabla que da el fabricante en el Reference Manual del SoC.



- SPI

	<b>SPI1</b>	<b>SPI0</b>										
<b>MOSI</b>	11	5	23	17	37	31	49	43	63	57	75	69
<b>MISO</b>	10	4	18	16	36	30	48	42	62	56	74	68
<b>CK</b>	6	0	22	12	32	26	44	38	58	52	70	64
<b>SS0</b>	9	3	21	15	35	29	47	41	61	55	73	67
<b>SS1</b>	8	2	20	14	34	28	46	40	60	54	72	66
<b>SS2</b>	7	1	19	13	33	27	45	39	59	53	71	65

Tabla 20 - SPI Zynq UltraScale+

- SDIO

	<b>SD0</b>	<b>SD0</b>	<b>SD1</b>	<b>SD0</b>	<b>SD1</b>
<b>CLK_OUT</b>	22	38	51	64	76
<b>CMD_IO</b>	21	40	50	66	75
<b>BUS_POW</b>	23	49	43	75	70
<b>CD_N</b>	24	39	45	65	77
<b>WP</b>	25	50	44	76	69
<b>DATA_IO0</b>	13	41	46	67	71
<b>DATA_IO1</b>	14	42	47	68	72
<b>DATA_IO2</b>	15	43	48	69	73
<b>DATA_IO3</b>	16	44	49	70	74
<b>DATA_IO4</b>	17	45	39	71	-
<b>DATA_IO5</b>	18	46	40	72	-
<b>DATA_IO6</b>	19	47	41	73	-
<b>DATA_IO7</b>	20	48	42	74	-

Tabla 21 - SDIO Zynq UltraScale+

NOTA: para SD 3.0 los pines **DATA\_IO4**, **DATA\_IO5**, **DATA\_IO6** y **DATA\_IO7** se corresponden con los pines **SEL**, **DIR\_CMD**, **DIR\_0** y **DIR\_1\_3**.

- CAN0

<b>RX</b>	2	6	10	14	18	22	26	30	34	38	42	46	50	54	58	62	66	70	74
<b>TX</b>	3	7	11	15	19	23	27	31	35	39	43	47	51	55	59	63	67	71	75

Tabla 22- CAN0 Zynq UltraScale+

- CAN1

RX	1	5	9	13	17	21	25	29	33	37	41	45	49	53	57	61	65	69	73
TX	0	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64	68	72

Tabla 23 - CAN Zynq UltraScale+

- I2C0

SCL	2	6	10	14	18	22	26	30	34	38	42	46	50	54	58	62	66	70	74
SDA	3	7	11	15	19	23	27	31	35	39	43	47	51	55	59	63	67	71	75

Tabla 24 - I2C0 Zynq UltraScale+

- I2C1

SDA	1	5	9	13	17	21	25	29	33	37	41	45	49	53	57	61	65	69	73
SCL	0	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64	68	72

Tabla 25 - I2C1 Zynq UltraScale+

- QUAD SPI

<b>SCLK_OUT</b>	<b>0</b>
<b>IO1</b>	<b>1</b>
<b>IO2</b>	<b>2</b>
<b>IO3</b>	<b>3</b>
<b>SI_MIO</b>	<b>4</b>
<b>N_SS_OUT</b>	<b>5</b>
<b>CLK_FOR_LPBK</b>	<b>6</b>
<b>N_SS_OUT</b>	<b>7</b>
<b>UPPER_IO0</b>	<b>8</b>
<b>UPPER_IO1</b>	<b>9</b>
<b>UPPER_IO2</b>	<b>10</b>
<b>UPPER_IO3</b>	<b>11</b>
<b>SCLK_OUT_UPPER</b>	<b>12</b>

Tabla 26 - Quad SPI Zynq UltraScale+

- **USB**

	<b>USB0</b>	<b>USB1</b>
<b>CLK</b>	<b>52</b>	<b>64</b>
<b>DIR</b>	<b>53</b>	<b>65</b>
<b>STP</b>	<b>58</b>	<b>70</b>
<b>NXT</b>	<b>55</b>	<b>67</b>
<b>DATA0</b>	<b>56</b>	<b>68</b>
<b>DATA1</b>	<b>57</b>	<b>69</b>
<b>DATA2</b>	<b>54</b>	<b>66</b>
<b>DATA3</b>	<b>59</b>	<b>71</b>
<b>DATA4</b>	<b>60</b>	<b>72</b>
<b>DATA5</b>	<b>61</b>	<b>73</b>
<b>DATA6</b>	<b>62</b>	<b>74</b>
<b>DATA7</b>	<b>63</b>	<b>75</b>

**Tabla 27 - USB Zynq UltraScale+****Banco GTR**

El banco GTR provee de comunicación de alta velocidad para la comunicación entre MA<sup>47</sup>Cs de periféricos entre el SIOU<sup>48</sup> y los componentes externos del sistema.

Puede soportar comunicaciones de hasta 6Gb/s.

El PS-GTR solo provee de entradas y salidas para PCIe v2.0, USB 3.0, DisplayPort, GEM Ethernet y controladores SATA.

El propio sistema ya provee de la frecuencia propia para cada tipo de protocolo.

<b>Protocol</b>	<b>Reference Clock Frequency (MHz)</b>
PCIe v2.0 (multi-lane) Only the common clock architecture is supported.	100.0 MHz
SATA (multi-core)	125.0 MHz, 150.0 MHz
USB 3.0	26.0 MHz, 52.0 MHz, 100.0 MHz
DisplayPort (harmonic of 27.0 MHz)	27.0 MHz, 108.0 MHz, 135.0 MHz
GEM SGMII, 1000BASE-SX, or 1000BASE-LX	125.0 MHz

**Figura 67 - frecuencia de reloj de GTR Zynq UltraScale+**

47 MAC: Media Access Controllers

48 SIOU: Serial Input Output Unit

### Banco GTY<sup>49</sup>

Es un banco para pines de comunicación que soporta comunicaciones desde 500Mb/s hasta 32.75Gb/s.

### Banco GTX<sup>50</sup>

Es un banco para pines de comunicación que soporta comunicaciones desde 500Mb/s hasta 16.375Gb/s.

### Banco DDR

El banco DDR de las Zynq-UltraScale+ es compatible con las memorias de tipo DDR3, DDR4, LPDDR4 y LPDDR3. Lo cual es una mejora con respecto a las Zynq-7000 porque estas últimas solo son compatibles con memorias de tipo DDR3.

Para todas las configuraciones de memorias RAM Xilinx entrega en el documento del pinout de Zynq-UltraScale+ un extensísimo aparato en el que documenta todos los tipos posibles de conexión por cada memoria RAM<sup>51</sup>.

Las memorias RAM DDR4 tienen una tensión de alimentación de 1.2V mientras que las DDR3 tienen una tensión de 1.35V. Por eso la tensión de alimentación(VCCO\_PSDDR) del banco de las memorias RAM tiene una variación desde 1.06V hasta 1.575V.

---

49 Para más información:

[https://www.xilinx.com/support/documentation/user\\_guides/ug578-ultrascale-gty-transceivers.pdf](https://www.xilinx.com/support/documentation/user_guides/ug578-ultrascale-gty-transceivers.pdf) (Última revisión :20-09-2021)

50 Para más información:

[https://www.xilinx.com/support/documentation/user\\_guides/ug576-ultrascale-gth-transceivers.pdf](https://www.xilinx.com/support/documentation/user_guides/ug576-ultrascale-gth-transceivers.pdf) (Última revisión :20-09-2021)

51 [https://www.xilinx.com/support/documentation/user\\_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf](https://www.xilinx.com/support/documentation/user_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf) (Última revisión :20-09-2021)

# Capítulo 5

## Ejemplo Zynq-UltraScale+

Con todas las fuentes de información y detallado desglose se procede a diseñar un ejemplo para mejorar la comprensión de cada apartado y que todas las dudas puedan ser resueltas.

### 5.1 Enunciado

Se requiere de un SoC para aplicaciones generales que tenga al menos de 100k celdas lógicas. Este SoC deberá tener 8 leds, 5 switches y 3 botones. Además, tendrá comunicación serie por USB tipo C, 2Gb de memoria RAM, tarjeta SD y 512Mb de SPI Flash.

### 5.2 Solución<sup>52</sup>

Para la solución se opta por la solución que sobrepase el límite lo mínimo posible debido a la extrema complejidad que pueden llegar a tener estos sistemas de última generación.

#### Selección del SoC

Para la selección del SoC se recurre al *Selection Guide* del Zynq-UltraScale+. El único SoC que cumple con esos requisitos y además es el más barato es el ZU2CG. Como figura en la Figura 68, tiene 103k celdas y pertenece a la familia CG, que es la familia de las Zynq-UltraScale+ de propósito general.

---

52 Repositorio:

[https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/esquematico\\_Zynq-UltraScale/esquematico\\_Zynq-UltraScale](https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/esquematico_Zynq-UltraScale/esquematico_Zynq-UltraScale) (Última revisión :20-09-2021)

Device Name <sup>[1]</sup>	ZU1CG	ZU2CG	ZU3CG
Processor Core			Dual-core
Memory w/ECC			L1 Cache 32KB I
Processor Core			Dual-H
Memory w/ECC			L1 Cache 32KB I
Dynamic Memory Interface			x16: DDR4 w/o ECC
Static Memory Interfaces			
High-Speed Connectivity			PCIe® Gen2 x4, 2x U.2
General Connectivity			2xUSB 2.0, 2x SD/SDIO
Power Management			F
Security			
AMS - System Monitor			10-bit
System Logic Cells (K)	81	103	154
CLB Flip-Flops (K)	74	94	141
CLB LUTs (K)	37	47	71
Max. Distributed RAM (Mb)	1.0	1.2	1.8
Total Block RAM (Mb)	3.8	5.3	7.6
UltraRAM (Mb)	-	-	-
k Management Tiles (CMTs)	3	3	3
DSP Slices	216	240	360
PCI Express® Gen 3x16	-	-	-
150G Interlaken	-	-	-
Ethernet MAC/PCS w/RS-FEC	-	-	-
AMS - System Monitor	1	1	1
GTH 16.3Gb/s Transceivers	-	-	-
STY 32.75Gb/s Transceivers	-	-	-
Extended <sup>[2]</sup>			
Industrial			

Information section in [ZU2CG](#) Zynq UltraScale+ MPSoC Overview.  
Ordering Information section in [ZU2CG](#) Zynq UltraScale+ MPSoC Overview.

**Figura 68 - Selection guide ZU2CG Zynq UltraScale+**

Ahora el ZU2CG se tiene que elegir el número de pines que se desea que tenga el SoC. Para esta función se utiliza otra tabla que tiene el *Selection Guide* donde figura el tipo de encapsulado por cada SoC.

Como figura en la Figura 69 el ZU2CG tiene 4 tipos distintos de encapsulados: A484, A530, A635 y C784.

En nuestro caso para las pocas necesidades del sistema se utilizará el encapsulado A484.

Pkg	mm		
		ZU1CG	ZU2CG
A484	19		
A494	9.5x15		
A530	9.5x16		
A625	21		
C784	23		

**Figura 69 - Selection Guide package Zynq UltraScale+**

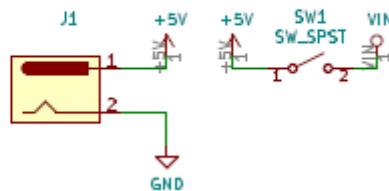
## Alimentaciones

Para las alimentaciones como ocurría en el ejemplo del Zynq-7000 hay que fijarse en la Figura 65 y en la Tabla 17. Con estos dos componentes se tiene claro que se van a necesitar las siguientes tensiones de alimentación.

- **0.85V:** para **VCC\_PSINTFP\_DDR, VCC\_PSINTLP, VCC\_PSINTFP, VCCINT, VCCBRAM, VCCINT\_IO** y **PS\_MGTRAVCC**.
- **1.2V:** para **VCC\_PSDDR\_PLL** y **VCCO\_PSDDR**
- **1.8V:** para **VREF, VCC\_PSPLL, VCC\_PSAUX, VCCAUX\_IO, VCC\_AUX, PS\_MGTRAVTT, VCCO, PS\_MGTRREF** y **VCCP\_PSIO** (banco MIO)
- **3.3V:** para **VCCO**(solo para el banco 26 que es el banco HD)

Conocidas las tensiones de operación ahora solos falta conocer la tensión de entrada. Para esta tensión se elige que la alimentación se haga por un Barrel Jack, como en la Figura 27, a +5V. Por lo que para las alimentaciones van a tener un DC-DC que reduzca la tensión de entrada.

### VOLTAGE INPUT



**Figura 70 - Entrada de alimentación Zynq UltraScale+**

Para el DC-DC se decide elegir el TPS563201, que es el mismo que en el ejemplo del Zynq-7000.



TPS563201, TPS563208  
SLVSD090 – DECEMBER 2015

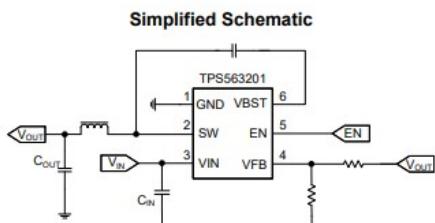
## TPS56320x 4.5-V to 17-V Input, 3-A Synchronous Step-Down Voltage Regulator in SOT-23

### 1 Features

- TPS563201 and TPS563208 3-A Converter Integrated 95-mΩ and 57-mΩ FETs
- D-CAP2™ Mode Control with fast transient response
- Input Voltage Range: 4.5 V to 17 V
- Output Voltage Range: 0.76 V to 7 V
- Pulse-skip mode (TPS563201) or Continuous Current Mode (TPS563208)
- 580-kHz Switching Frequency
- Low Shutdown Current Less than 10 µA
- 2% Feedback Voltage Accuracy (25 °C)
- Startup from Pre-Biased Output Voltage
- Cycle-by-Cycle Overcurrent Limit
- Hiccup-mode Overcurrent Protection
- Non-Latch UVLP and TSD Protections
- Fixed Soft Start: 1.0 ms

### 2 Applications

- Digital TV Power Supply
- High Definition Blu-ray™ Disc Players
- Networking Home Terminal
- Digital Set Top Box (STB)
- Surveillance



### 3 Description

The TPS563201 and TPS563208 are simple, easy-to-use, 3 A synchronous step-down converters in SOT-23 package.

The devices are optimized to operate with minimum external component counts and also optimized to achieve low standby current.

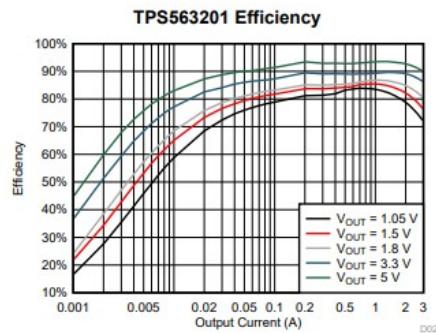
These switch mode power supply (SMPS) devices employ D-CAP2 mode control providing a fast transient response and supporting both low-equivalent series resistance (ESR) output capacitors such as specialty polymer and ultra-low ESR ceramic capacitors with no external compensation components.

TPS563201 operates in pulse skip mode, which maintains high efficiency during light load operation. The TPS563201 and TPS563208 are available in a 6-pin 1.6-mm × 2.9-mm SOT (DDC) package, and specified from a –40°C to 125°C junction temperature.

### Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
TPS563201	DDC (6)	1.60 mm × 2.90 mm
TPS563208		

(1) For all available packages, see the orderable addendum at the end of the data sheet.



**Figura 71 - datasheet TPS563201**

El TPS563201 cumple los requisitos de tensión de salida, por lo que es apto.

Para hacerlo funcionar, en el datasheet aparece la ecuación de funcionamiento del TPS563201 como DC/DC (Ecuación 6). Con esta ecuación se pretende generar las tensiones anteriormente descritas.

$$V_{out} = 0,768 \cdot \left(1 + \frac{R_1}{R_2}\right)$$

### Ecuación 6

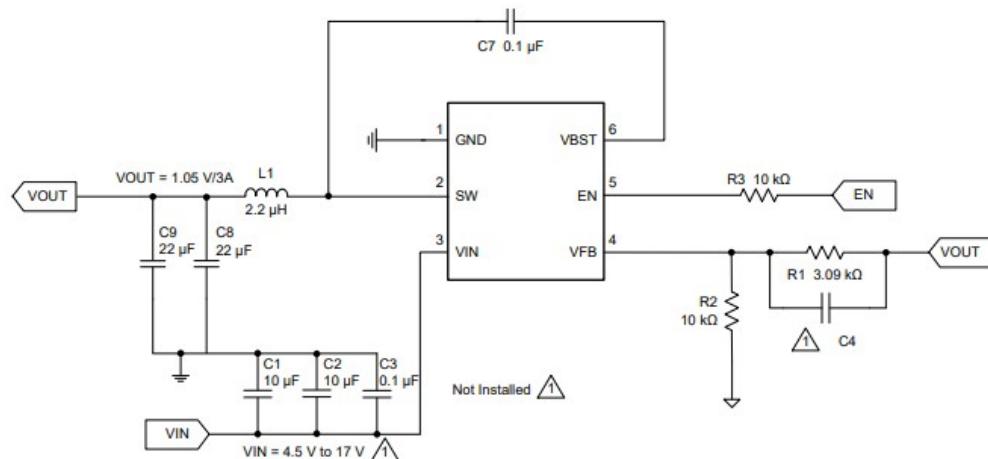


Figure 19. TPS563201 and TPS563208 1.05-V/3-A Reference Design

### Figura 72 - ejemplo de TPS563201 Zynq UltraScale+

Con todo lo anterior se procede a diseñar cada alimentación.

- **Alimentación de 1.0V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R1}{R2} \right) = 1.0V$$

### Ecuación 7

$$\frac{R1}{R2} = 0,33$$

$$R1 = 33k\Omega$$

$$R2 = 100k\Omega$$

Diseño de la alimentación en KiCad

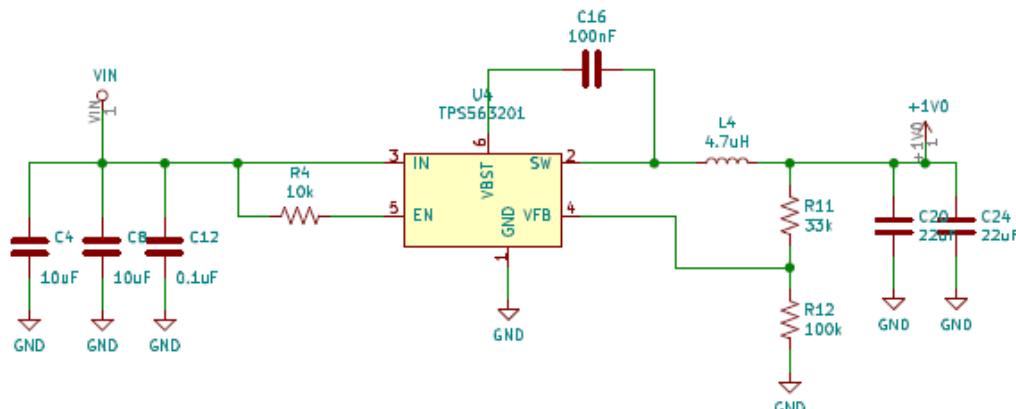


Figura 73 - alimentación de 1.0V Zynq UltraScale+

- **Alimentación de 1.8V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R1}{R2} \right) = 1.8V$$

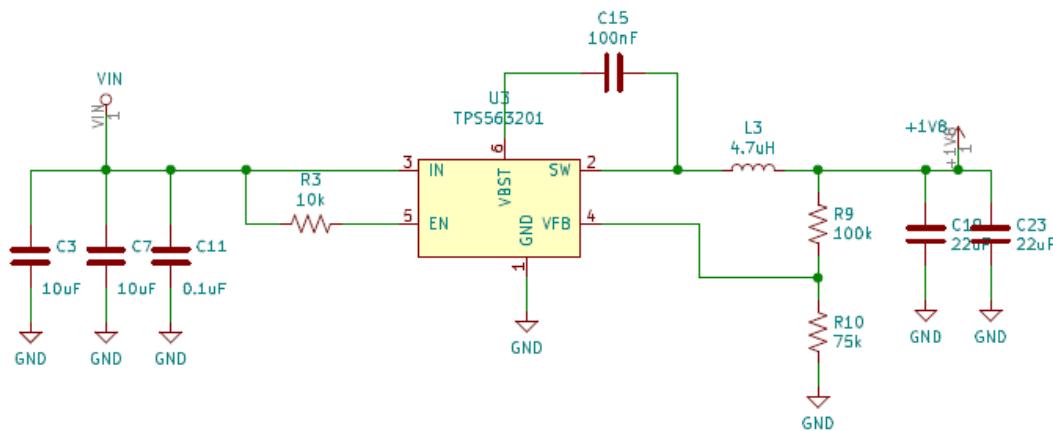
### Ecuación 8

$$\frac{R1}{R2} = 1,33$$

R1 = 100kΩ

R2 = 75kΩ

Diseño de la alimentación en KiCad



**Figura 74 - alimentación de 1,8V Zynq UltraScale+**

- **Alimentación de 1.2V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R1}{R2} \right) = 1.2V$$

### Ecuación 9

$$\frac{R1}{R2} = 0,56$$

R1 = 56kΩ

R2 = 100kΩ

Diseño de la alimentación en KiCad

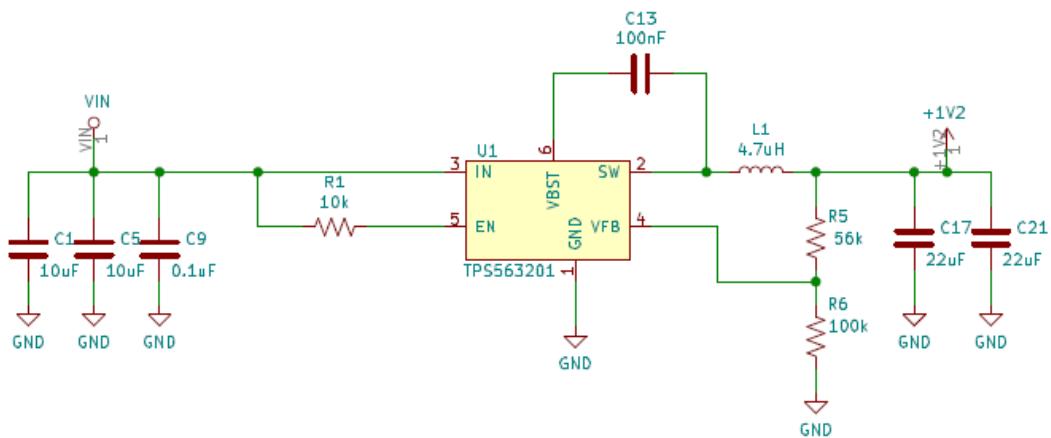


Figura 75 - alimentación de 1,35V Zynq-7000

- **Alimentación de 3,3V**

Aplicación de la Ecuación 1

$$V_{out} = 0,768 \cdot \left( 1 + \frac{R_1}{R_2} \right) = 3,3V$$

### Ecuación 10

$$\frac{R_1}{R_2} = 3,3$$

$$R_1 = 33k\Omega$$

$$R_2 = 10k\Omega$$

Diseño de la alimentación en KiCad

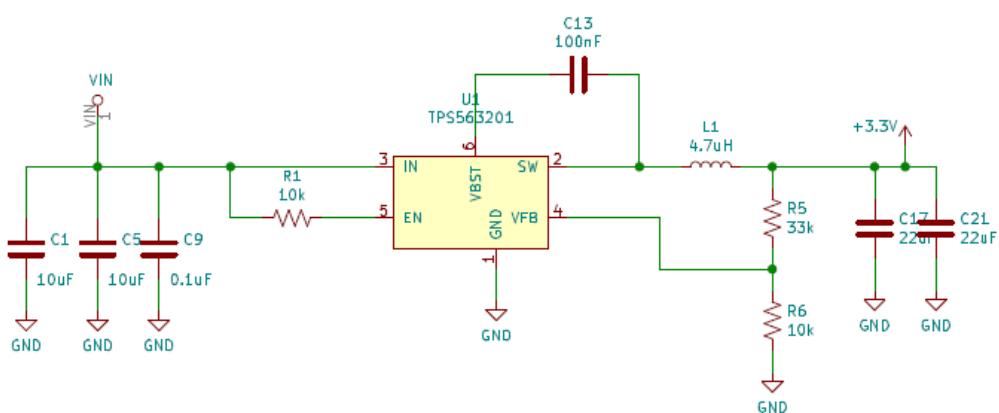
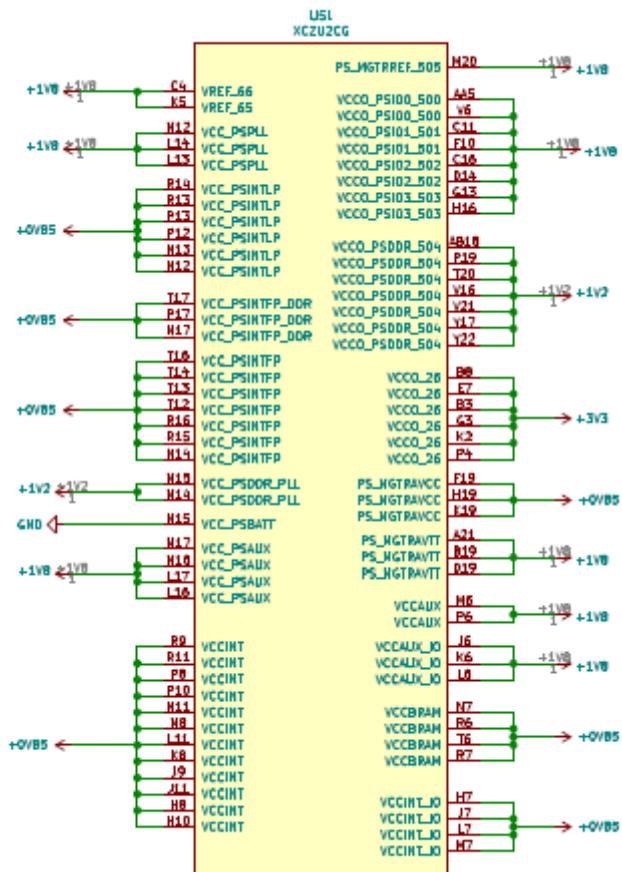


Figura 76 - alimentación de 1,8V Zynq UltraScale+

Una vez diseñadas las alimentaciones se procede a diseñar la conexión a los pines de alimentación del SoC.



**Figura 77 - conexión de alimentaciones Zynq UltraScale+**

Una vez se tiene todas las alimentaciones conectadas se pueden conectar las masas. Todas las masas tienen el mismo potencial por lo que se pueden conectar todas juntas a GND. Como en la Figura 78.

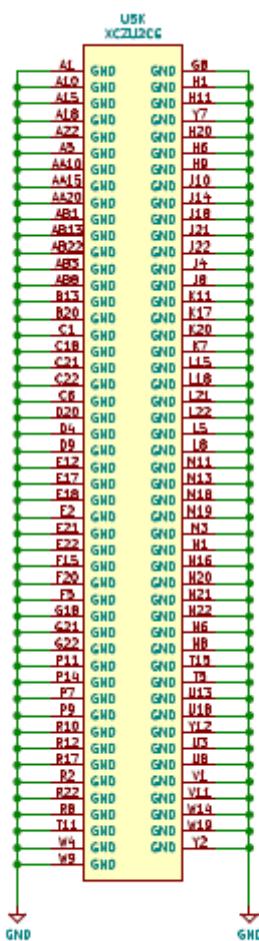
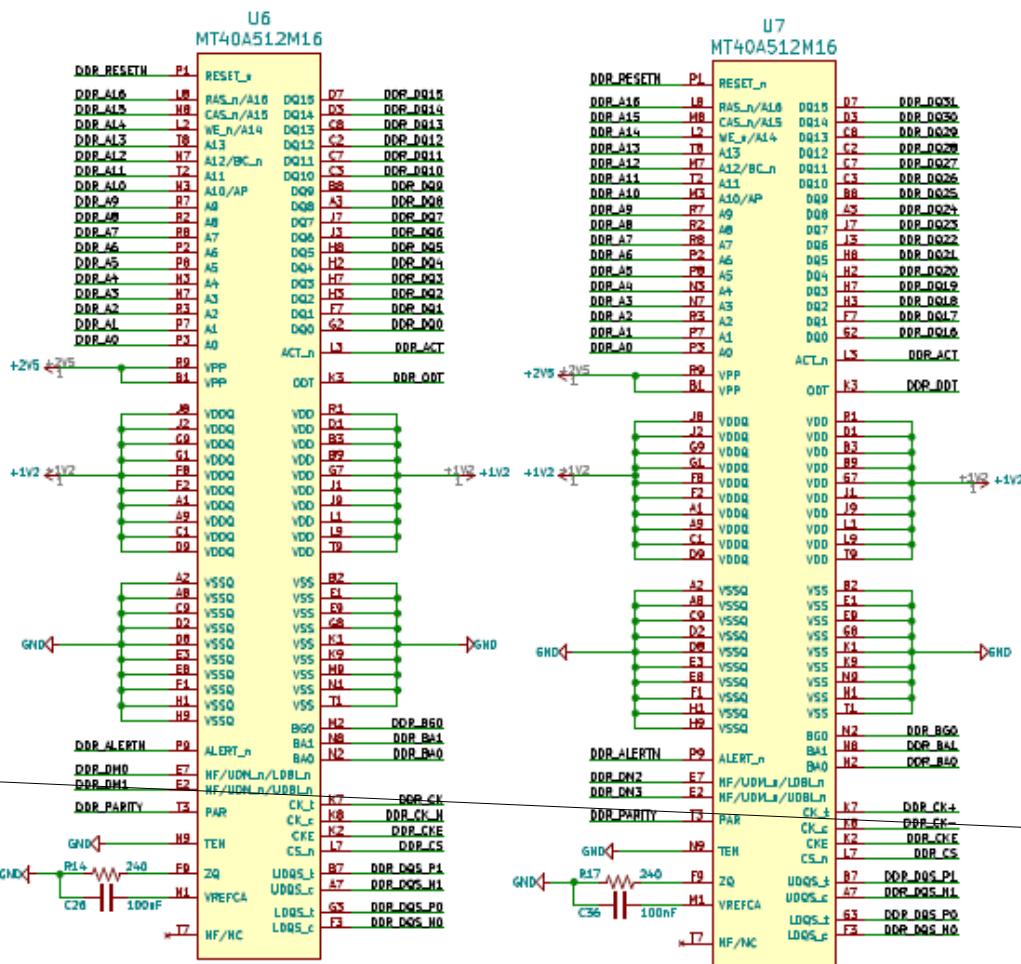


Figura 78 - GND Zynq UltraScale+

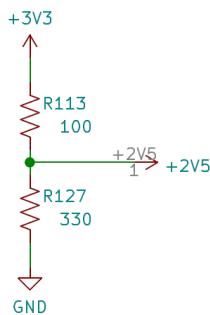
## Memoria RAM - DDR

Con el objetivo de conseguir los 2Gb de memoria RAM se recurre a las memorias *MT40A512M16* de Micron, son memorias DDR4 de 512Mb de direcciones y de 16 bits de datos. Conociendo que el SoC tiene solo acepta bloques de 8 bits las memorias se pueden recomponer para pasar de 512Mx16 a 1Gx8, por lo que para conseguir 2Gb se necesitan 2 pastillas.



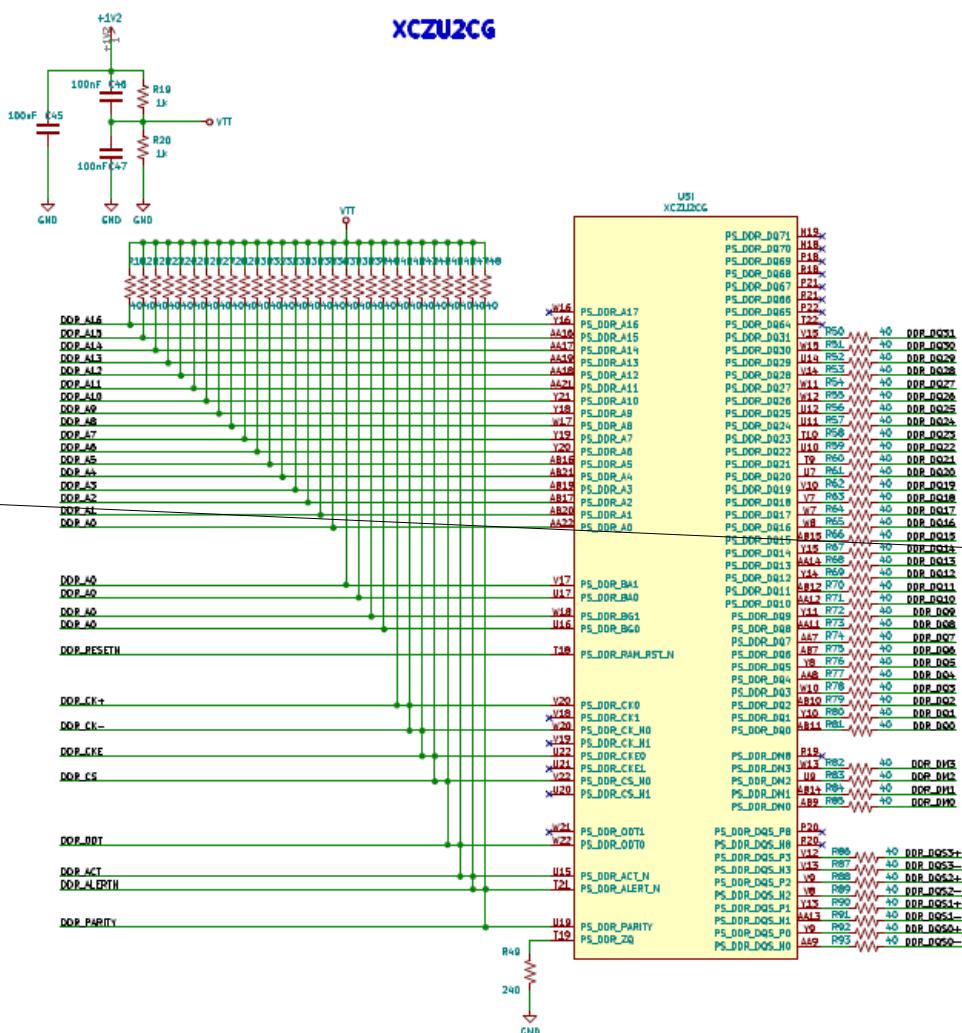
**Figura 79 - DDR4 Zynq UltraScale+**

Un inconveniente de las memorias DDR4 es que necesitan una alimentación extra de 2.5V para funcionar. Para ello utilizando la alimentación de 3.3V se utiliza un divisor resistivo con resistencias de 100Ω y 330Ω.



**Figura 80 - alimentación de 2.5V Zynq UltraScale+**

Con las memorias ya preparadas se conectan con el SoC como en la Figura 81. Para conseguir a la tensión de VTT, que es la mitad de VDD de la RAM, se utiliza un divisor resistivo de  $\frac{1}{2}$  utilizando resistencias de 1k.



**Figura 81 - banco DDR Zynq UltraScale+**

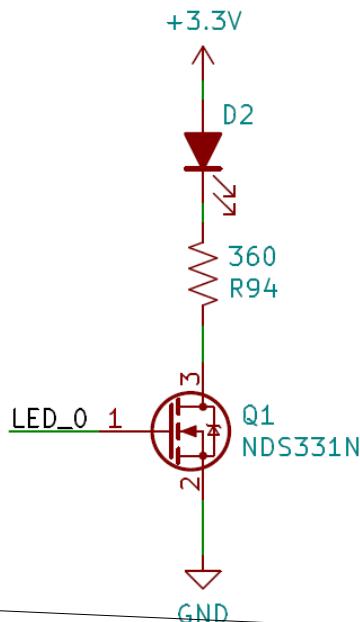
## Pines de configuración de hardware

En este apartado se van a describir el diseño de los 8 leds, 5 switches y 3 botones.

- **Leds**

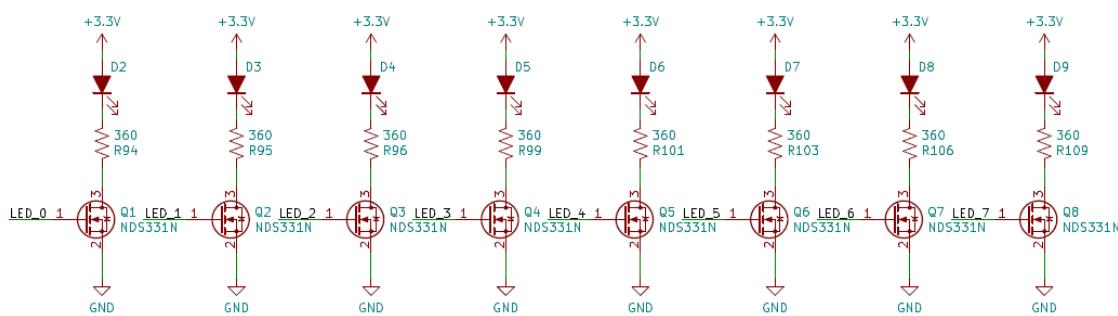
Para el diseño del sistema de encendido de los leds se opta por un sistema de conexión basado en un transistor MOSFET que haga de interruptor. El transistor elegido es el NDS331N.

La opción elegida para el que se encienda los leds es que sean activos a nivel alto por lo que todos siguen el esquema de la Figura 82.



**Figura 82 - led Zynq UltraScale+**

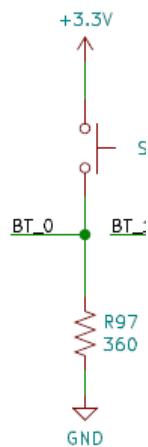
### LEDS



**Figura 83 - banco de leds Zynq UltraScale+**

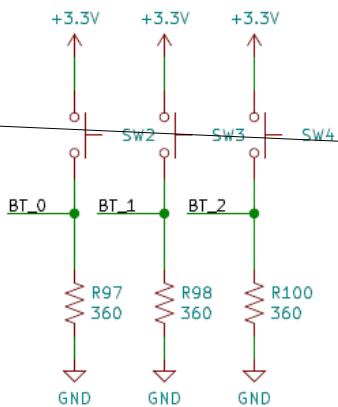
- **Botones**

Para los botones se decide porque se realice una lectura de nivel alto cuando el botón sea presionado.



**Figura 84 - botón Zynq UltraScale+**

## BUTTON

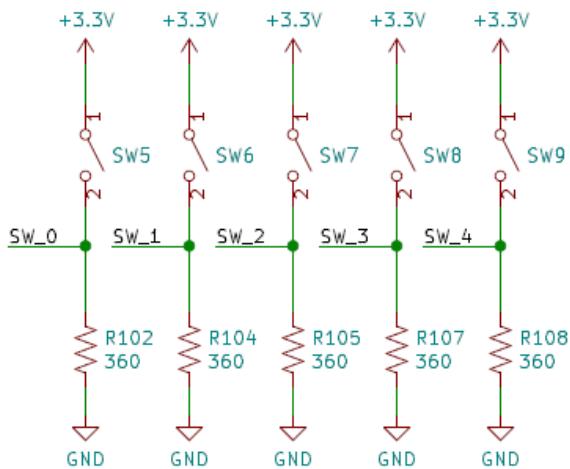


**Figura 85 - banco de botones Zynq UltraScale+**

- **Switches**

Para los switches se opta por la misma configuración que se ha realizado en los botones, por lo que los switches son activos a nivel alto.

# SWITCHES

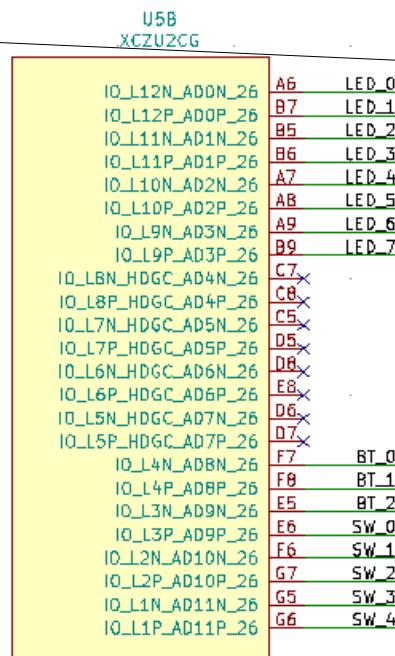


**Figura 86 - banco de switches Zynq UltraScale+**

Una vez se ha diseñado la configuración y el funcionamiento de los leds, botones y switches se diseña la conexión con el SoC.

Para ello el ZU2CG- SBVA484 tiene tres bancos hardware, el 26, 65 y 66. El banco 26 es un banco de tipo HD y el 65 y 66 son bancos HP.

Por lo que todas las conexiones debido a que están a 3.3V se va a utilizar el banco 26.



**Figura 87 - conexión banco 26 de hardware Zynq UltraScale+**

La conexión de los con el banco tienen los pines de las siguientes tablas.

- **LEDS:**

Nombre	PIN
Led 0	A6
Led 1	B7
Led 2	B5
Led 3	B6
Led 4	A7
Led 5	A8
Led 6	A9
Led 7	B9

**Tabla 28 - pines de los leds Zynq UltraScale+**

- **SWITCHES:**

Nombre	PIN
Switch 0	E6
Switch 1	F6
Switch 2	G7
Switch 3	G5
Switch 4	G6

**Tabla 29 - switches Zynq UltraScale+**

- **BOTONES:**

Nombre	PIN
Botón 0	F7
Botón 1	F8
Botón 2	E5

**Tabla 30 - botones Zynq UltraScale+**

Para el resto de bancos de pines se dejan al aire debido ya que no se requieren más componentes.

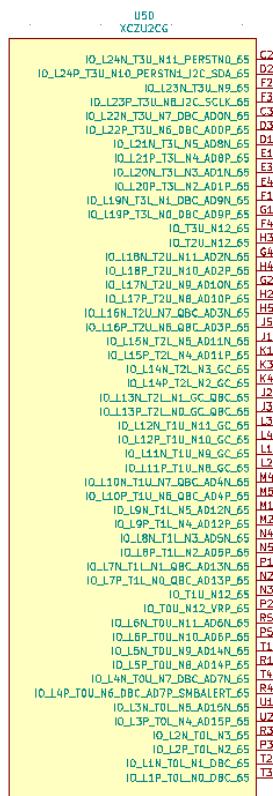


Figura 88 - banco 65 Zynq UltraScale+

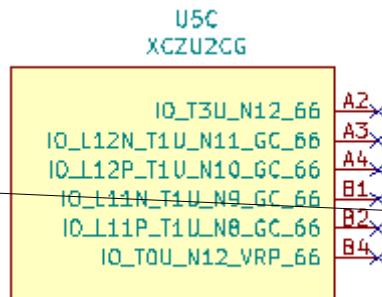


Figura 89 - banco 66 Zynq UltraScale+

### Pines MIO

Los bancos de pines MIO solo van a tener conectados la comunicación serie por el puerto USB tipo C.

Para la conexión con el puerto USB tipo C se tiene que usar un dispositivo que permita pasar los datos de *RS232* a *USB*. Para ello se hace uso del dispositivo *USB3320*. El *USB3320* es un dispositivo que permite comunicaciones USB 2.0.

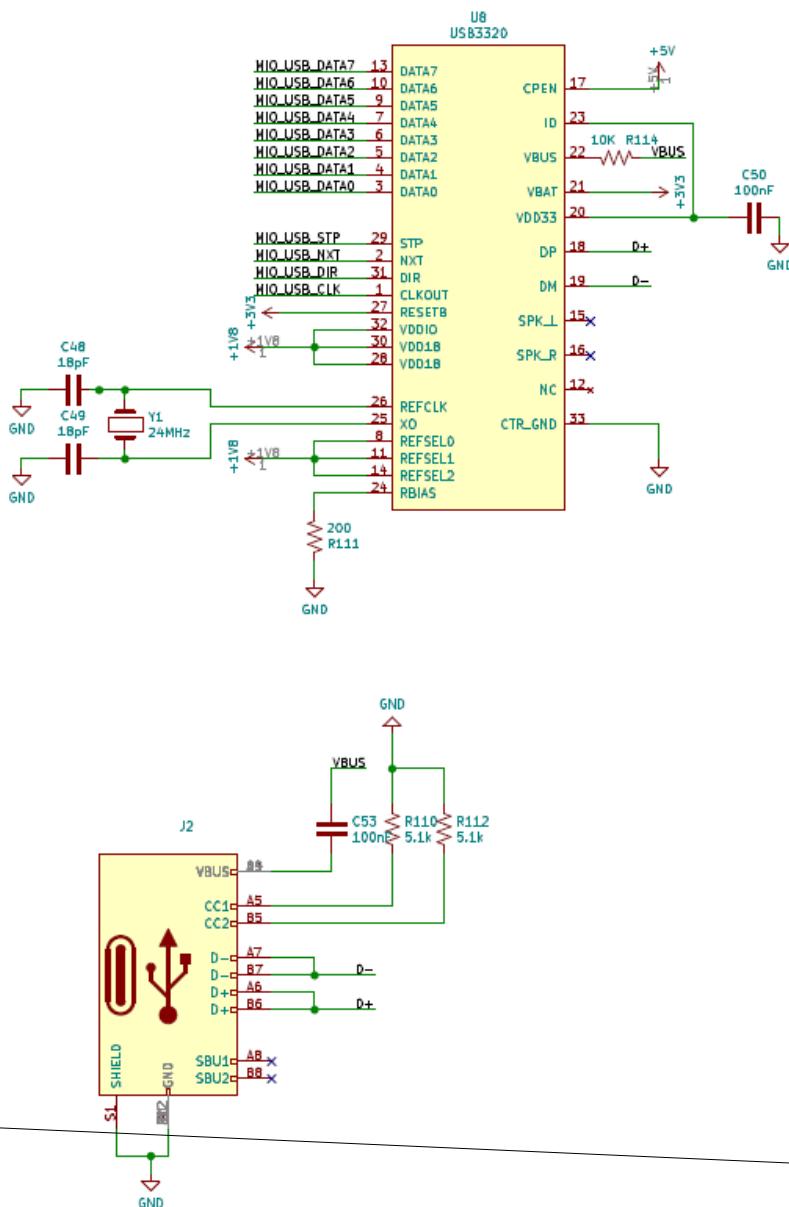


Figura 90 - USB tipo C Zynq UltraScale+

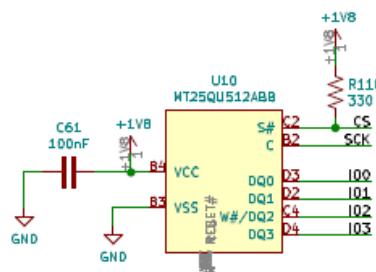
Para la conexión del USB tipo C con el SoC se utiliza la Tabla 27. Gracias a ella se decide colocar los pines del USB en el USB 0. Por lo que las conexiones con los pines MIO son las de la Figura 95:

- **CLK** → MIO52
- **DIR** → MIO 53
- **STP** → MIO58
- **NXT** → MIO55
- **DATA0** → MIO56
- **DATA1** → MIO57
- **DATA2** → MIO54
- **DATA3** → MIO59
- **DATA4** → MIO60
- **DATA5** → MIO61
- **DATA6** → MIO62

- DATA7 → MIO63

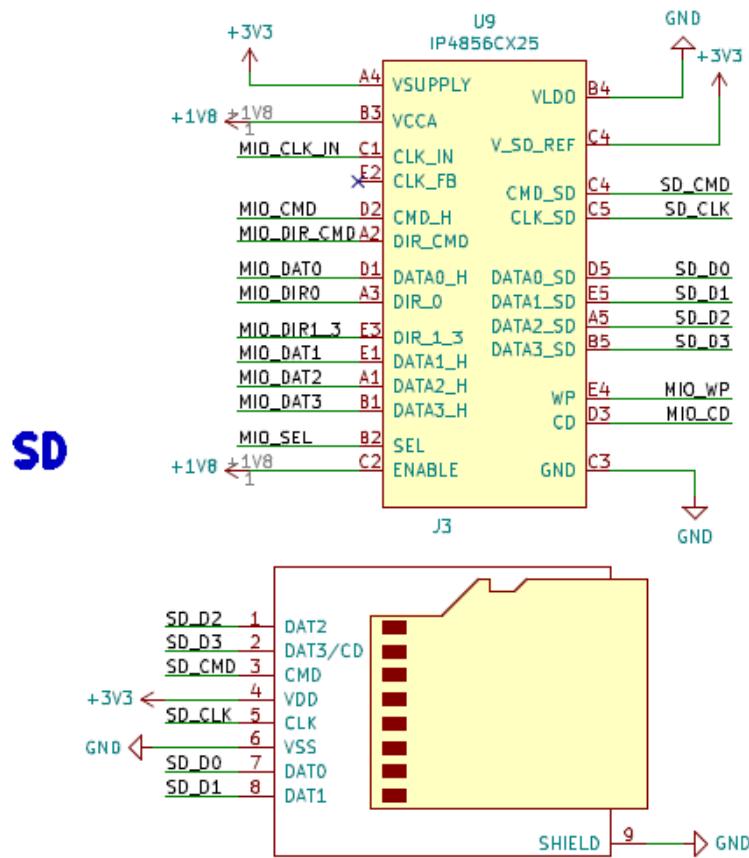
Para la conexión de 512Mb de SPI Flash se opta por utilizar una NOR Flash de *Micron*, la *MT25QU512ABB*. Para ello se conectan los pines de la forma de la Figura 91. Con la Flash conectada se decide que los pines vayan al primer banco de pines MIO. Por lo que la conexión sería la de la Tabla 26.

- **SCK** → MIO0
- **IO1** → MIO1
- **IO2** → MIO2
- **IO3** → MIO3
- **IO0** → MIO0
- **CS** → MIO5



**Figura 91 - SPI Flash Zynq-UltraScale+**

Para la conexión de la tarjeta SD se determina que se necesita un adaptador SD para 3.0 que además permita mitigar las interferencias. Para ello se elige el *IP4856CX25*. Este dispositivo también permite obtener señales de 1.8V a la salida.



**Figura 92 - SD-IP4856CX25 Zynq-UltraScale+**

Una vez se conecta el *IP4856CX25* se utiliza la Tabla 21 para determinar que pines utilizar. En nuestro caso se eligen los pines de SD1.

- **CLK** → MIO52
- **DIR\_CMD** → MIO40
- **DIR0** → MIO41
- **DIR1\_3** → MIO42
- **WP** → MIO44
- **CD** → MIO45
- **DAT0** → MIO46
- **DAT1** → MIO47
- **DAT2** → MIO48
- **DAT3** → MIO49
- **CMD** → MIO50
- **CLK\_IN** → MIO51

\* Algunos de los pines anteriores tienen la configuración de SD3.0 que se comentó en la nota de la Tabla 21.

Con la configuración anterior ahora se procede a conectar el SoC.

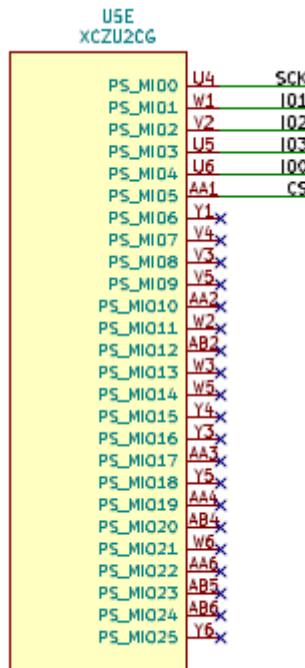


Figura 93 - conexión MIO I Zynq UltraScale+

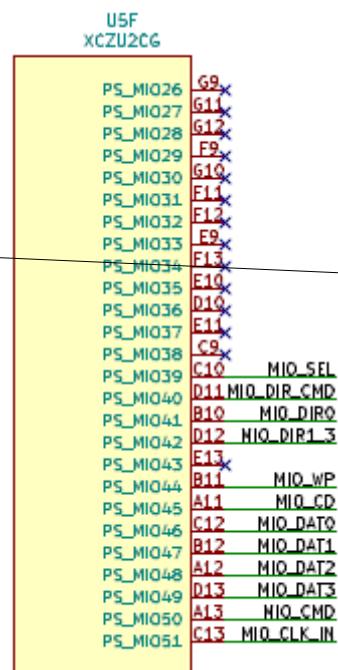
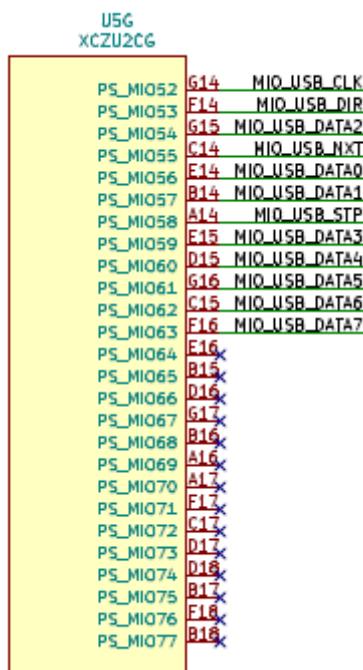


Figura 94 - conexión MIO II Zynq UltraScale+



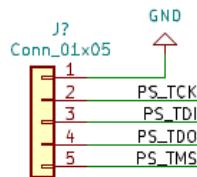
**Figura 95 - conexión MIO III Zynq UltraScale+**

### Pines de configuración

En este apartado se va a definir la conexión de todos los pines de configuración del ZU2CG.

- **PS\_DONE:** este pin emite una señal cuando el SoC ha terminado la carga. Se conecta a un led para conocer que ya está programado.
- **PS\_ERROR\_OUT:** este pin emite una señal de error si se produce un problema. Se conecta a un led.
- **PS\_ERROR\_STATUS:** pin de error de estatus en el PS. No se considera conectarlo a nada.
- **PS\_INIT\_B:** pin de inicialización completa, emite una señal a nivel alto cuando este inicializado. Este pin requiere de una resistencia de pull-up.
- **Pines JTAG:** estos pines son los de programación del sistema. En este caso se decide que la programación se haga de forma directa, por lo que los pines del SoC van a pines de salida. Además, también se tiene que añadir una referencia de GND para los pines. Véase Figura 96.

## JTAG



**Figura 96 - pines de JTAG Zynq UltraScale+**

- **Pines PS\_MODE:** estos pines definen el tipo de arranque de los pines. En nuestro caso fijándose en la Figura 97, se selecciona que el *boot mode* sea *PS\_JTAG*. Para ello todos los pines van a nivel bajo.

Table 11-1: Boot Modes

Boot Mode	Mode Pins [3:0]	Pin Location	Non-Secure	Secure	Signed	CSU Mode	Description
PS JTAG	0000	JTAG	Yes	No	No	Slave	PSJTAG interface, PS dedicated pins.
Quad-SPI (24b)	0001	MIO[12:0]	Yes	Yes	Yes	Master	24-bit addressing (QSPI24).
Quad-SPI (32b)	0010	MIO[12:0]	Yes	Yes	Yes	Master	32-bit addressing (QSPI32).
SD0 (2.0)	0011	MIO[25:13]	Yes	Yes	Yes	Master	SD 2.0.
NAND	0100	MIO[25:09]	Yes	Yes	Yes	Master	Requires 8-bit data bus width.
SD1 (2.0)	0101	MIO[51:46]	Yes	Yes	Yes	Master	SD 2.0.
eMMC (1.8V)	0110	MIO[22:13]	Yes	Yes	Yes	Master	eMMC version 4.5 at 1.8V.
USB0 (2.0)	0111	MIO[52:63]	Yes	Yes	Yes	Slave	USB 2.0 only.
PJTAG (MIO #0)	1000	MIO[29:26]	Yes	No	No	Slave	PJTAG connection 0 option.
PJTAG (MIO #1)	1001	MIO[15:12]	Yes	No	No	Slave	PJTAG connection 1 option.
SD1 LS (3.0)	1110	MIO[51:39]	Yes	Yes	Yes	Master	SD 3.0 with a required SD 3.0 compliant voltage level shifter.

**Figura 97 - tabla de arranque de Zynq UltraScale+**

- **PS\_PADI y PS\_PAD0:** estos pines son los pines que van conectados a un cristal en cuando el sistema utiliza el RTC(Real-Time Clock). En nuestro caso como no se utiliza el pin de entrada del cristal se conecta a masa y la salida de cristal se deja al aire.
- **PS POR\_B y PS\_SRST\_B:** este es el pin que permite retrasar el arranque del sistema y el de la parte PS. En este caso al tener los bancos alimentados a 1.8V el *TPS3106K33DV* que es el del ejemplo anterior en este caso no es válido. Para elegir el dispositivo se utiliza un ejemplo de placa que da el fabricante. El *MAX16025* que realiza la misma tarea. En el ejemplo que da el fabricante se conectan el *PS\_POR\_B* y el *PS\_SRST\_B*.

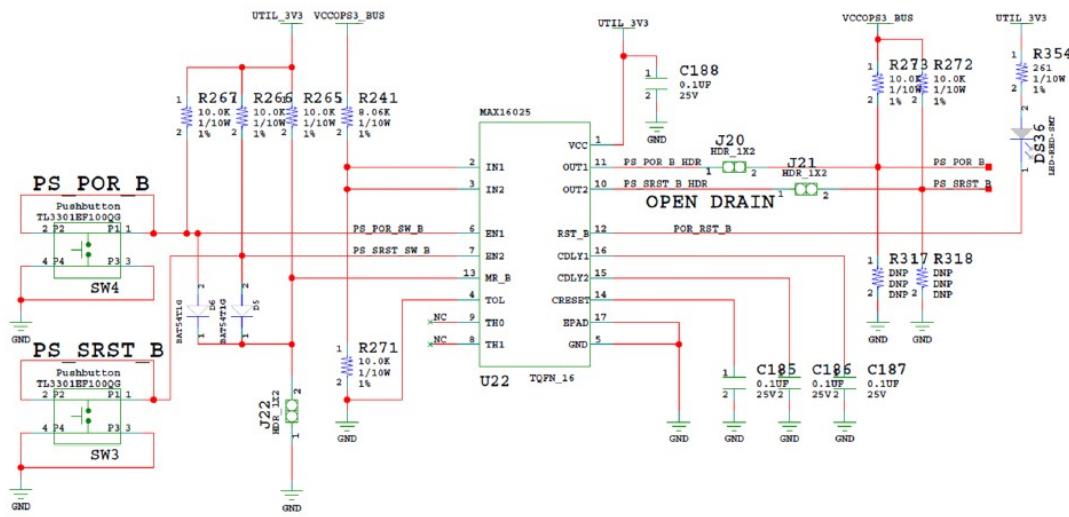


Figura 98 - MAX16025 Zynq UltraScale+

Pues este mismo esquema de conexión es el que se utiliza para la conexión del Zynq-UltraScale+.

## DELAY RST

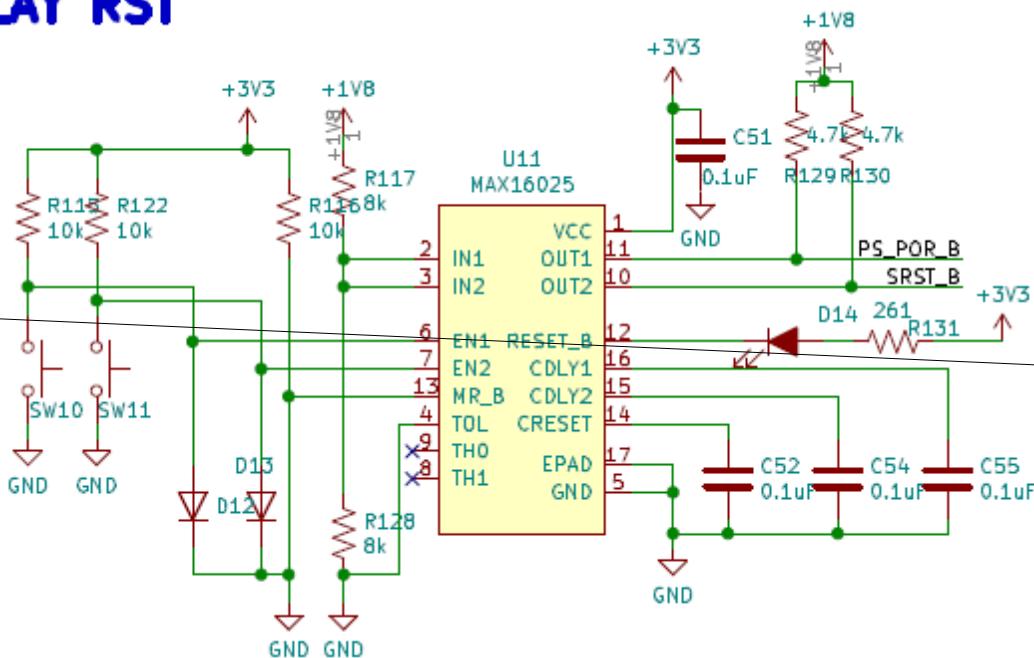
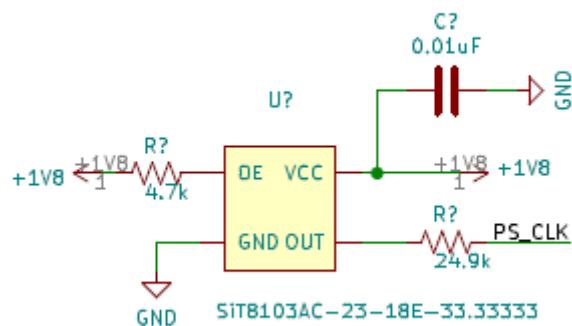


Figura 99 - TPS3106K33DBV Zynq UltraScale+

Se recurre a la activación por dos botones de activación a nivel bajo.

- **PS\_PROG\_B:** es la señal de reset del bloque de configuración. Requiere de tener una resistencia de pull-up.
- **PS\_REF\_CLK:** esta es la entrada de reloj del SoC. Tiene que tener una frecuencia en 30MHz y 60MHz. En nuestro caso se utiliza un oscilador de 33MHz que genera la señal de reloj.

## OSCILLATOR 33MHz



**Figura 100 - oscilador de 33MHz Zynq UltraScale+**

Con todas las consideraciones previas se realiza el diseño del sistema de la

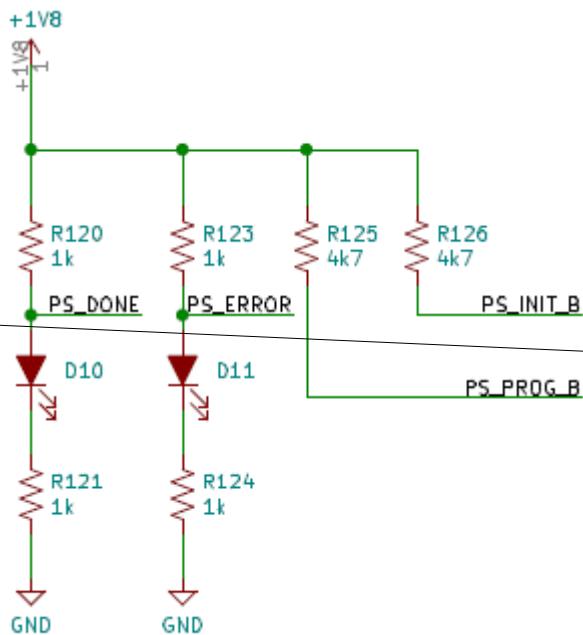
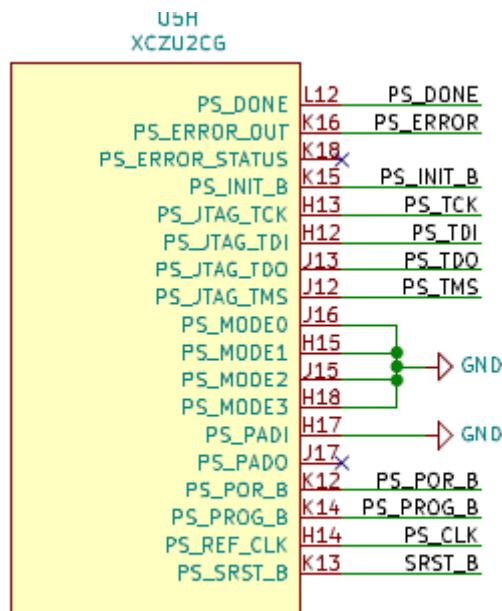


Figura 101

**Figura 101 - configuración Zynq UltraScale+**

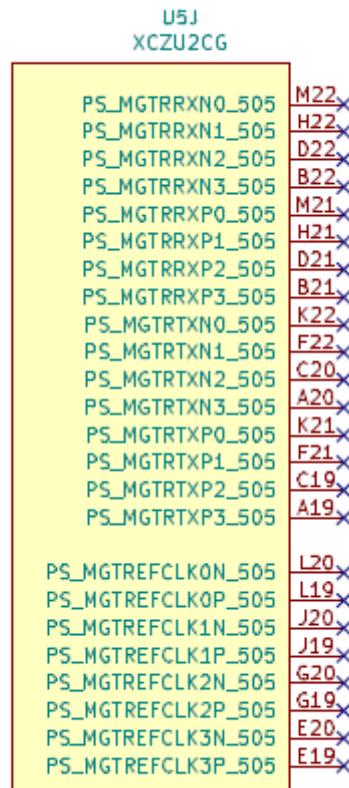
A partir de todo lo diseñado previamente se puede realizar la conexión del SoC.



**Figura 102 - conexión del banco de configuración Zynq UltraScale+**

### Otros pines

Debido a que en nuestro sistema no se va han a requerir comunicaciones de alta velocidad el bloque de pines GTR queda sin utilidad, por lo que todos los pines se dejan al aire. En caso de conectar cualquier cosa hay que tener en cuenta que este banco funciona a 1.8V.



**Figura 103 - banco de pines GTR Zynq UltraScale+**

## 5.3 Presupuesto

Para implementar el SoC diseñado en el apartado de Zynq-UltraScale+ se realiza un presupuesto.

Para ello se crea la Tabla 31, que contiene todos los precios y el distribuidor para la construcción del ejemplo.

Componente	Distribuidor	Precio unitario	Unidades	Precio total
<b>XCZU2CG-1SBVA484E<sup>53</sup></b>	Farnell	201,06€	1	201,06 €
<b>TPS563201<sup>54</sup></b>	Farnell	1,14€	4	4,56 €
<b>MT40A512M16<sup>55</sup></b>	Farnell	14,57€	2	29,14 €
<b>NDS331N<sup>56</sup></b>	Farnell	0,603€	8	4,824 €
<b>MAX16025TE+<sup>57</sup></b>	Farnell	5,36€	1	5,36 €
<b>ASE-33.333MHZ<sup>58</sup></b>	Farnell	1,8€	1	1,8 €
<b>MT25QU512ABB<sup>59</sup></b>	Farnell	12,53 €	1	12,53 €
<b>USB3320<sup>60</sup></b>	Farnell	6,3€	1	6,3 €
<b>IP4856CX25<sup>61</sup></b>	Avnet	0,65365\$	1	0,56 €
<b>Resistencias</b>	Farnell	0,122€	126	15,37 €
<b>Condensadores</b>	Farnell	0,086€	56	4,2 €
<b>Bobinas</b>	Farnell	0,22€	4	0,88 €
<b>Led</b>	Farnell	0,17€	12	2,04 €
<b>Switch</b>	Farnell	1,4€(pack de 8)	6	1,4 €
<b>Botón</b>	Farnell	0,39€	5	1,95 €
<b>Cristal 24Mhz</b>	Farnell	0,68€	1	0,68 €
<b>Valor Total</b>				292,65

**Tabla 31 - Presupuesto Zynq-UltraScale+**

53 <https://es.farnell.com/xilinx/xczu2cg-1sbva484e/mpsoc-arm-cortex-a53-1-3ghz-fcbga/dp/2760177?st=xczu2cg> (Última revisión :20-09-2021)

54 <https://es.farnell.com/texas-instruments/tps563201ddct/dc-dc-conv-sync-buck-580khz-sot/dp/3121824?st=tps563201> (Última revisión :20-09-2021)

55 <https://es.farnell.com/micron/mt40a512m16ly-062e-it-e/dram-ddr4-8gbit-40-a-95-c/dp/3577564?st=mt40a512m16> (Última revisión :20-09-2021)

56 <https://es.farnell.com/on-semiconductor/nds331n/mosfet-n-ch-20v-1-3a-ssot3/dp/1839006?st=nds331> (Última revisión :20-09-2021)

57 <https://es.farnell.com/maxim-integrated-products/max16025te/supervisor-mpu-doble-28v-tqfn/dp/2512274?st=Maxim%20MAX16025> (Última revisión :20-09-2021)

58 <https://es.farnell.com/abracon/ase-33-333mhz-lc-t/osc-33-333mhz-3-2-x-2-5mm-lvcmos/dp/2467894?st=ASE-33.333MHZ-LC-T> (Última revisión :20-09-2021)

59 <https://es.farnell.com/micron/mt25qu512abb8e12-0sit/memoria-flash-512mbit-40-a-85/dp/3577555?st=mt25qu512abb> (Última revisión :20-09-2021)

60 <https://es.farnell.com/microchip/usb3320c-ezk/ic-multi-freq-usb-2-0-ulpi-phy/dp/2292615?st=usb3320> (Última revisión :20-09-2021)

61 [https://www.avnet.com/shop/us/products/nexperia/ip4856cx25-cz-3074457345646620911?CMP=EMA\\_Octopart\\_inventoryfeed\\_VSE](https://www.avnet.com/shop/us/products/nexperia/ip4856cx25-cz-3074457345646620911?CMP=EMA_Octopart_inventoryfeed_VSE) (Última revisión :20-09-2021)

El precio total asciende a **292,65 €<sup>62</sup>**.

Además a este precio habría que añadirle el coste de fabricación de la PCB. Esta PCB suele ser multicapa<sup>63</sup> debido a que los SoCs y sus aplicaciones tienen que estar protegidos de radiaciones electromagnéticas, son muy sensibles a ellas y pueden generar errores. Por lo que el precio de este tipo de PCBs suele ser más alto.

---

62 Algunos componentes están juntos bajo el mismo nombre en la tabla  
63 Entre 10 y 22 capas

# Capítulo 6

## Ficheros de configuración

En este apartado se va a comentar la manera de escribir los ficheros que harán de plantilla en Vivado<sup>64</sup> (IDE de Xilinx) para reconocer el diseño que se ha creado, además también se describirá a forma de escribir los ficheros XDC.

Con esto se puede conseguir acelerar el proceso de diseño sin tener que estar repitiendo continuamente la configuración del Zynq.

El sistema se basa en 3 archivos para preconfigurar el sistema:

- **board.xml:** es el fichero que describe el nombre de la PCB, además también preconfigura el bloque Zynq.
- **preset.xml:** es el fichero que permite preconfigurar los bloques IP con los pines, botones y switches.
- **part0\_pins.xml:** este fichero permite preconfigurar las salidas de los pines hardware de los bloques, permitiendo así prescindir de un fichero de pines (XDC).

Todos estos ficheros se tienen que introducir en una carpeta en la figura el número de la versión de la placa y a su vez tiene que estar dentro de una carpeta con el nombre de la placa en la ubicación: ..\Xilinx\Vivado<versión de Vivado>\data\boards\board\_files.

Además, también se recomienda tener una figura de la PCB en formato JPG para que al arrancar Vivado sea más fácil identificar la PCB.

### 6.1 board.xml

El fichero *board.xml* es que describe la PCB para poder reconocer la plantilla en Vivado. Comienza con una declaración del bloque.

---

<sup>64</sup> <https://www.xilinx.com/products/design-tools/vivado.html> (Última revisión :20-09-2021)

```

<?xml version="1.0" encoding="UTF-8" standalone="no"?>
<board schema_version=<version> vendor=<fabricante/vendedor> name=<Nombre_Placa>" display_name=<nombre_que_ve> url=<url_pcb> preset_file="preset.xml">
  <images>
    <image name=<imagen> display_name=<nombre_imagen> sub_type="board">
      <description>descripción de la imagen</description>
    </image>
  </images>
  <compatible_board_revisions>
    <revision id="0">d</revision>
  </compatible_board_revisions>
  <file_version>`version`</file_version>
  <description>Version</description>

```

**Figura 104 - board.xml I**

En esta declaración se tienen que llenar los siguientes campos:

- **versión:** versión del documento
- **fabricante/vendedor:** nombre de fabricante o vendedor
- **nombre\_placa:** nombre de la placa
- **nombre\_que\_ve:** es el nombre que se mostrará como referencia
- **url\_pcb:** dirección de internet de la PCB
- **figura:** figura que se mostrará al arrancar. Tiene que estar en formato .jpg
- **nombre\_figura:** es el nombre de la figura, este nombre no se mostrará
- **descripción de la figura:** es la descripción de la figura.

\* El fichero "preset.xml" se declara en la inicialización.

Después de la inicialización viene la descripción de los componentes.

Para ello todo se engloba en una etiqueta llamada **<components>** de la que se descuelgan otras etiquetas tipo **<component>** en la que figuran descripciones de los bloques.

En la etiqueta **<component>** en la que figura la descripción del SoC se añaden dentro de una etiqueta **<interfaces>** otras etiquetas menores llamadas **<interface>** en la que tienen que ir descritos los bloques de pines para switches, leds, botones, etc, que se van a utilizar.

En la Figura 105, se puede ver cómo tiene que ser la estructura que tiene que ser.

- **nombre\_del\_componente:** nombre del componente, por norma general en este bloque que define la estructura se suele usar Part0
- **nombre\_que\_muestra:** es el nombre que se verá en el bloque
- **nombre\_exacto\_del\_SoC:** aquí tiene que venir el nombre exacto del SoC/FPGA que se va a utilizar con el pinout
- **vendedor:** nombre del vendedor
- **url:** url del vendedor
- **tipo master/slave:** este campo define el tipo de bloque, puede ser o master o slave.

- **nombre:** este es el campo del nombre que va a tener el bloque. Por ejemplo, si se va a poner leds para 2 bits, podría ponerse leds2\_bits. Importante: este nombre es que se va a tener que utilizar más adelante.
- **tipo:** aquí se hace referencia al bloque interfaz de Xilinx que se va a utilizar, en nuestro caso se utiliza el *xilinx.com:interface:gpio\_rtl:1.0* que es el que trabaja con los pines gpio
- **nombre:** aquí se recomienda utilizar el mismo nombre que se ha utilizado antes
- **nombre del preset:** este es el mismo nombre que se tiene que utilizar para definir este campo en el fichero preset.xml
- **nombre\_bloque\_IP:** aquí se tiene que utilizar el mismo nombre del bloque IP que va a contener el bloque utilizado
- **puerto\_lógico\_TRI\_I/TRI\_O:** este campo define el puerto lógico. Tiene varias opciones, en nuestro caso solo se utilizan *TRI\_I*, para definir pines de entrada, o *TRI\_O*, para definir pines de salida.
- **puerto\_fisico:** aquí se tiene que decir si el bloque es una entrada o una salida. Se utiliza el tipo *in, out, etc*
- **bits\_izda:** son los bits que se ubican en la zona izquierda
- **bits\_dcha:** son los bits que se ubican en la zona derecha
- **numero\_pin:** este número de pin es el número de pin que despeña el bloque
- **numero\_dado\_al\_pin:** es el nombre que tiene el pin en el fichero *part0\_pins.xml*

En la segunda etiqueta tiene que figurar la descripción que va a tener el bloque y el tipo que va a tener.

- **nombre:** el mismo utilizado en la pestaña interface que define los pines
- **nombre que se muestra:** se define el nombre que va a mostrar.
- **led/sw/push\_button:** en este apartado se define el tipo de función que va a desempeñar. Para los ejemplos anteriores se utiliza el tipo *led, sw, push\_button* y para el reloj *system\_clock*.

```

<components>
  <component name=<nombre_del_componente> display_name=<nombre que muestra> type=<fpga> part_name=<nombre exacto del SoC>
    pin_map_file=<part0_pins.xml> vendor=<vendedor> spec_url=<URL>>
    <description>FPGA part on the board.</description>

    <interface mode=<tipo master/slave> name=<nombre> type=<tipo> of_component=<nombre> preset_proc=<nombre del preset>>
      <preferred_ip>
        <preferred_ip vendor="xilinx.com" library="ip" name="<nombre del bloque IP>" order="0"/>
      </preferred_ip>
      <port_maps>
        <port_map logical_port=<puerto lógico TRI_I/TRI_O> physical_port=<puerto físico> dir=<in/out> left=<bits_izda> right=<bits_dcha>>
          <pin_maps>
            <pin_map port_index=<numero_pin> component_pin=<nombre dado al pin>/>
            ...
          </pin_maps>
        </port_map>
      </port_maps>
    </interface>

  </interfaces>

</component>

<component name=<nombre> display_name=<nombre que se muestra> type=<chip> sub_type=<led/sw/push_button> major_group="General Purpose Input or Output">
  <description><descripción del bloque></description>
</component>
</components>
```

**Figura 105 - board.xml II**

Ahora se define la etiqueta `<jtag_chains>`. Esta etiqueta se puede dejar tal cual.

```
<jtag_chains>
| <jtag_chain name="chain1">
| | <position name="0" component="part0"/>
| </jtag_chain>
</jtag_chains>
```

**Figura 106 - jtag\_chains board.xml III**

Y para finalizar se tiene que abrir una etiqueta de tipo `<connections>` en la que dentro tiene que tener otras etiquetas de tipo `<connection>` en la que se tiene que definir a que pines están unidos.

- **nombre:** este campo define el nombre de la conexión. Se suele utilizar el nombre `part0_<nombre_component2>`
- **nombre\_componente1:** nombre del primer componente. Se suele utilizar el nombre de `part0`
- **nombre\_componente2:** nombre del segundo componente. Se tiene que utilizar el nombre de la etiqueta interface de cada apartado
- **nombre\_conexión:** define el nombre de la conexión. Se suele utilizar el cómo nombre el `<nombre>_1`
- **numero\_inicio\_part0\_pins:** define el número de inicio de los pines en el fichero `part0_pins.xml`
- **numero\_final\_part0\_pins:** define el número final de los pines en el fichero `part0_pins.xml`
- **numero\_inicial:** define el número inicial del pin en que se ha utilizado en la etiqueta `<interface>`
- **numero\_final:** define el número final del pin en que se ha utilizado en la etiqueta `<interface>`

Para la definición de pines individuales, como por ejemplo relojes, se utilizan los mismos números en la definición.

```
<connections>

<connection name="<nombre>" component1="<nombre_component1>" component2="<nombre_component2>">
| <connection_map name="<nombre_conexión>" c1_st_index="<numero inicio part0_pins>" c1_end_index="<numero final part0_pins>" 
| | <c2_st_index="<numero_inicial>" c2_end_index="<numero_final>">/</c2_end_index>
| </connection_map>
</connection>
```

**Figura 107 - connections board.xml IV**

## 6.2 preset.xml

El fichero `preset.xml` permite preconfigurar los bloques IP del sistema.

Para ello se determinan varios parámetros a llenar.

- **configuración:** este campo determina la configuración previa del Zynq que Xilinx permite cargar.
- **nombre:** este es el mismo nombre que se da en el campo interface de board.xml
- **nombre\_GPIO:** es el nombre de los diferentes GPIO.
- **ancho:** es el ancho de bits de cada apartado
- **hab\_salidas:** es la habilitación de las salidas. A '1' se habilita.
- **hab\_entradas:** es la habilitación de las entradas. A '1' se habilita.
- **nombre\_reloj:** este es el mismo nombre que tiene el reloj en el fichero board.xml

```
<?xml version="1.0" encoding="UTF-8" standalone="no" ?>
<ip_presets schema="1.0">
<ip_preset preset_proc_name="ps7_preset">
    <ip vendor="xilinx.com" library="ip" name="processing_system7" version="">
        <user_parameters>
            | <user_parameter name="CONFIG.preset" value="<>configuracion>" />
        </user_parameters>
    </ip>
</ip_preset>
<ip_preset preset_proc_name="<nombre>">
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="<nombre_GPIO>">
        <user_parameters>
            | <user_parameter name="CONFIG.C_GPIO_WIDTH" value="<ancho>"/>
            | <user_parameter name="CONFIG.C_ALL_OUTPUTS" value="<hab_salidas>"/>
            | <user_parameter name="CONFIG.C_ALL_INPUTS" value="<hab_entradas>"/>
        </user_parameters>
    </ip>

    <ip_preset preset_proc_name="<nombre_reloj>">
        <ip vendor="xilinx.com" library="ip" name="clk_wiz" ip_interface="clk_ini">
            <user_parameters>
                | <user_parameter name="CONFIG.PRIM_IN_FREQ" value="<frecuencia>"/>
                | <user_parameter name="CONFIG.PRIM_SOURCE" value="Single-ended_clock_capable_pin"/>
            </user_parameters>
        </ip>
        <ip vendor="xilinx.com" library="ip" name="clk_wiz" ip_interface="clk_in2">
            <user_parameters>
                | <user_parameter name="CONFIG.USE_INCLK_SWITCHOVER" value="true"/>
                | <user_parameter name="CONFIG.SECONDARY_IN_FREQ" value="<frecuencia>"/>
            </user_parameters>
        </ip>
    </ip_preset>
</ip_presets>
```

**Figura 108 - preset.xml**

## 6.3 part0\_pins.xml

En este fichero se definen los pines con el nombre que va a tener en el fichero. Este nombre es el mismo que se tiene que utilizar para definir los pines en las etiquetas interface del fichero board.xml

Este fichero se compone de una etiqueta `<pins>` que dentro tiene otras etiquetas tipo `<pin>` que definen las estructura.

- **nombre\_SoC:** aquí tiene que estar el nombre exacto del SoC
- **Numero:** este es el número que se utilizará en el fichero board.xml
- **nombre\_pin:** este es el nombre que va a tener el pin. Tiene que ser el mismo que se utilice en las etiquetas interface
- **tensión del pin:** aquí tiene que figurar el tipo de funcionamiento del pin. Si el pin a 3.3V se suele utilizar el tipo LVCMOS33
- **numero pin:** este es el número del pin de salida del SoC

```
<?xml version="1.0" encoding="UTF-8" standalone="no"?>
<part_info part_name=<nombre_SoC>>
<pins>
    <pin index=<numero> name =<nombre pin> iostandard=<tensión del pin> loc=<numero pin>/>
</pins>
</part_info>
```

**Figura 109 - part0\_pins**

## 6.4 Ejemplo de configuración de plantillas

En este apartado se van a utilizar los ejemplos anteriores del documento para ilustrar cómo serían los ficheros para nuestro SoC.

### 6.4.1 Zynq-7000

Aquí se va a explicar los ficheros de la Zynq-7000

#### **board.xml**

En la Figura 110 se ilustra como quedaría el inicio del fichero.

```
<?xml version="1.0" encoding="UTF-8" standalone="no"?>
<board schema_version="2.0" vendor="TFG_UAH" name="Zynq-7000" display_name="Zynq7000" url="github.com/DRubio" preset_file="preset.xml">
    <images>
        <image name="imagen.jpg" display_name="Zynq" sub_type="board">
            <description>Zynq-7000 Board File Image</description>
        </image>
    </images>
    <compatible_board_revisions>
        <revision id="0">d</revision>
    </compatible_board_revisions>
    <file_version>1.0</file_version>
    <description>Version</description>
```

**Figura 110 - board.xml | Zynq-7000**

Una vez se tiene el inicio del fichero se pasa a definir los bloques `<component>`. En el `<component>` en el que figura la definición se puede ver que el nombre del SoC es el **xc7z010clg400-1**. En la Figura 111,

también se puede ver cómo están definidos los 8 leds, los 5 switches y los 3 botones.

```
<components>
<component name="part0" display_name="TFG Zynq7000" type="fpga" part_name="xc7z010clg400-1" pin_map_file="part0_pins.xml" vendor="TFG_UAH" spec_url="TFG_UAH">
  <description>FPGA part on the board</description>
</component>

<interface mode="master" name="leds_8bits" type="xilinx.com:interface:gpio_rtl:1.0" of_component="leds_8bits" preset_proc="leds_8bits_preset">
  <preferred_ips>
    <preferred_ip vendor="xilinx.com" library="ip" name="axi_gpio" order="0"/>
  </preferred_ips>
  <port_maps>
    <port_map logical_port="TRI_O" physical_port="leds_8bits_tri_o" dir="out" left="7" right="0">
      <pin_maps>
        <pin_map port_index="0" component_pin="leds_8bits_tri_o_0"/>
        <pin_map port_index="1" component_pin="leds_8bits_tri_o_1"/>
        <pin_map port_index="2" component_pin="leds_8bits_tri_o_2"/>
        <pin_map port_index="3" component_pin="leds_8bits_tri_o_3"/>
        <pin_map port_index="4" component_pin="leds_8bits_tri_o_4"/>
        <pin_map port_index="5" component_pin="leds_8bits_tri_o_5"/>
        <pin_map port_index="6" component_pin="leds_8bits_tri_o_6"/>
        <pin_map port_index="7" component_pin="leds_8bits_tri_o_7"/>
      </pin_maps>
    </port_map>
  </port_maps>
</interface>

<interface mode="master" name="sws_5bits" type="xilinx.com:interface:gpio_rtl:1.0" of_component="sws_5bits" preset_proc="sws_5bits_preset">
  <preferred_ips>
    <preferred_ip vendor="xilinx.com" library="ip" name="axi_gpio" order="0"/>
  </preferred_ips>
  <port_maps>
    <port_map logical_port="TRI_I" physical_port="sws_5bits_tri_i" dir="in" left="4" right="0">
      <pin_maps>
        <pin_map port_index="0" component_pin="sws_5bits_tri_i_0"/>
        <pin_map port_index="1" component_pin="sws_5bits_tri_i_1"/>
        <pin_map port_index="2" component_pin="sws_5bits_tri_i_2"/>
        <pin_map port_index="3" component_pin="sws_5bits_tri_i_3"/>
        <pin_map port_index="4" component_pin="sws_5bits_tri_i_4"/>
      </pin_maps>
    </port_map>
  </port_maps>
</interface>

<interfaces>
<interface mode="master" name="btms_3bits" type="xilinx.com:interface:gpio_rtl:1.0" of_component="btms_3bits" preset_proc="btms_3bits_preset">
  <preferred_ips>
    <preferred_ip vendor="xilinx.com" library="ip" name="axi_gpio" order="0"/>
  </preferred_ips>
  <port_maps>
    <port_map logical_port="TRI_I" physical_port="btms_3bits_tri_i" dir="in" left="2" right="0">
      <pin_maps>
        <pin_map port_index="0" component_pin="btms_3bits_tri_i_0"/>
        <pin_map port_index="1" component_pin="btms_3bits_tri_i_1"/>
        <pin_map port_index="2" component_pin="btms_3bits_tri_i_2"/>
      </pin_maps>
    </port_map>
  </port_maps>
</interface>
</interfaces>

```

**Figura 111 - board.xml II Zynq-7000**

Ahora se describen los pines. En la Figura 112, se puede ver como el nombre es el mismo que se utilizaba en las etiquetas *<interface>*.

```
<component name="sys_clock" display_name="System clock" type="chip" sub_type="system_clock" major_group="Clock Sources">
  <description>System Clock, 50 MHz</description>
</component>

<component name="btms_3bits" display_name="Push buttons" type="chip" sub_type="push_button" major_group="General Purpose Input or Output">
  <description>Push Buttons, , Active High</description>
</component>

<component name="leds_8bits" display_name="leds" type="chip" sub_type="led" major_group="General Purpose Input or Output">
  <description>Leds, , Active High</description>
</component>

<component name="sws_5bits" display_name="Push buttons" type="chip" sub_type="switch" major_group="General Purpose Input or Output">
  <description>Switches, , Active High</description>
</component>

</components>
```

**Figura 112 - board.xml III Zynq-7000**

Y para terminar se definen la etiqueta *<jtag\_chains>* y las conexiones.

La etiqueta `<jtag_chains>`, se copia literal de la explicación. Y la etiqueta `<connections>` contiene las conexiones en la que los nombres se corresponden con los nombres de los bloques que se utilizan. Los números se corresponden con los números que figuran en el fichero `part0_pins.xml`. El pin de reloj como es individual se repiten los números.

```

<jtag_chains>
  <jtag_chain name="chain1">
    | <position name="0" component="part0"/>
  </jtag_chain>
</jtag_chains>

<connections>

  <connection name="part0_sys_clock" component1="part0" component2="sys_clock">
    | <connection_map name="part0_sys_clock_1" c1_st_index="16" c1_end_index="16" c2_st_index="0" c2_end_index="0"/>
  </connection>

  <connection name="part0_btns_3bits" component1="part0" component2="btns_3bits">
    | <connection_map name="part0_btns_3bits_1" c1_st_index="0" c1_end_index="2" c2_st_index="0" c2_end_index="2"/>
  </connection>

  <connection name="part0_leds_8bits" component1="part0" component2="leds_8bits">
    | <connection_map name="part0_leds_8bits_1" c1_st_index="3" c1_end_index="10" c2_st_index="0" c2_end_index="7"/>
  </connection>

  <connection name="part0_sws_5bits" component1="part0" component2="sws_5bits">
    | <connection_map name="part0_sws_5bits_1" c1_st_index="11" c1_end_index="15" c2_st_index="0" c2_end_index="4"/>
  </connection>

```

**Figura 113 - board.xml IV Zynq-7000**

### ***preset.xml***

En este fichero sirve para preconfigurar los bloques IP.

Para el caso del ejemplo de la Zynq-7000 se tiene que preconfigurar el bloque Zynq. Para ello como se puede ver en la Figura 115 se preconfigura el **processing\_system7** que es el bloque Zynq. Para ello se usa el parámetro CONFIG.preset y se le indica que preconfiguración tiene que tener.<sup>65</sup>

Después se preconfigura todos los bloques **AXI\_GPIO** para que los 8 leds sean salidas del bloque con el nombre leds\_8bits. Se hace dos veces porque el bloque AXI\_GPIO puede tener hasta dos entradas/salidas.

Tal cual se ha hecho con el bloque **AXI\_GPIO**, se realiza la misma acción con el bloque **IOMODULE**<sup>66</sup> y el **MICROBLAZE\_MCS**<sup>67</sup>.

Lo siguiente que se hace es lo mismo que se ha hecho con los leds, pero con los switches (Figura 111) y los botones(Figura 112).

65 La preconfiguración del bloque Zynq se hace construyendo un fichero .tcl, que lo crea el propio bloque Vivado al guardar la configuración del bloque. El nombre de esta configuración es el que se tiene que activar en CONFIG.preset

66 El bloque IP IOMODULE permite obtener salidas o entradas de pines

67 El bloque MICROBLAZE\_MCS permite la activación del soft-core MICROBLAZE de Xilinx

*Soft-core:* es un microprocesador constituido por la programación de hardware de una FPGA

Y para terminar se configura el bloque de reloj **CLK\_WIZ**. Este bloque permite obtener hasta dos señales de reloj, que en nuestro caso está preconfigurado a 50 MHz. Para ello se le dice cuál es el reloj del archivo *board.xml*.

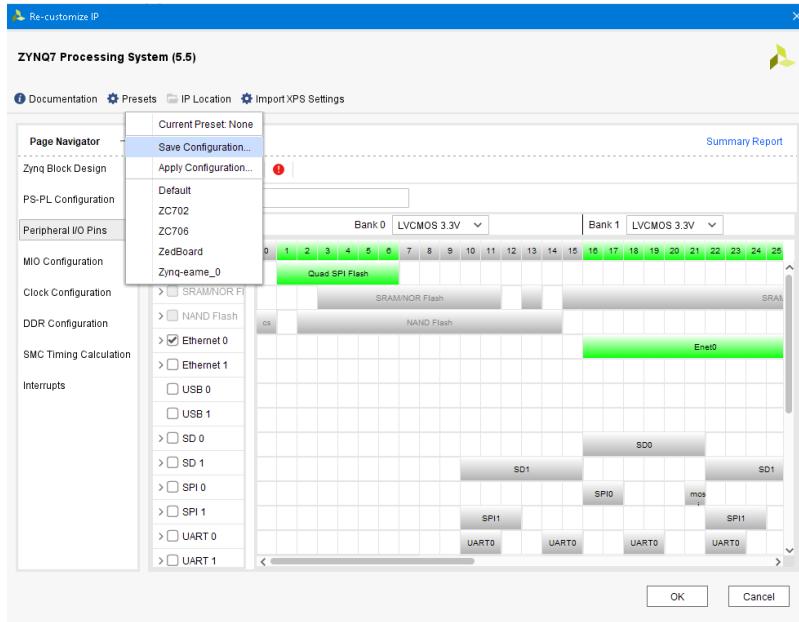


Figura 114 - configuración ZYNQ

```

<?xml version="1.0" encoding="UTF-8" standalone="no" ?>
<ip_presets schema="1.0">
<ip_preset preset_proc_name="ps7_preset">
    <ip vendor="xilinx.com" library="ip" name="processing_system7" version="*">
        <user_parameters>
            <user_parameter name="CONFIG.PRESET" value="Zynq-7000" />
        </user_parameters>
    </ip>
</ip_preset>
<ip_preset preset_proc_name="leds_8bits_preset ">
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_GPIO_WIDTH" value="8"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS" value="1"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_IS_DUAL" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_WIDTH" value="8"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS_2" value="1"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS_2" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iommodule" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO1" value="1"/>
            <user_parameter name="CONFIG.C_GPO1_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iommodule" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO2" value="1"/>
            <user_parameter name="CONFIG.C_GPO2_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iommodule" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO3" value="1"/>
            <user_parameter name="CONFIG.C_GPO3_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iommodule" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO4" value="1"/>
            <user_parameter name="CONFIG.C_GPO4_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO1" value="1"/>
            <user_parameter name="CONFIG.GPO1_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO2" value="1"/>
            <user_parameter name="CONFIG.GPO2_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO3" value="1"/>
            <user_parameter name="CONFIG.GPO3_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO4" value="1"/>
            <user_parameter name="CONFIG.GPO4_SIZE" value="8"/>
        </user_parameters>
    </ip>
</ip_preset>
```

Figura 115 - preset.xml Zynq-7000

```
<ip_preset preset_proc_name="sns_5bits_preset">
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_GPIO_WIDTH" value="5"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS" value="1"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_IS_DUAL" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_WIDTH" value="5"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS_2" value="1"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS_2" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO1" value="1"/>
            <user_parameter name="CONFIG.C_GPIO1_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO2" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO3" value="1"/>
            <user_parameter name="CONFIG.C_GPIO3_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO4" value="1"/>
            <user_parameter name="CONFIG.C_GPIO4_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO1" value="1"/>
            <user_parameter name="CONFIG.GPIO1_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO2" value="1"/>
            <user_parameter name="CONFIG.GPIO2_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO3" value="1"/>
            <user_parameter name="CONFIG.GPIO3_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO4" value="1"/>
            <user_parameter name="CONFIG.GPIO4_SIZE" value="5"/>
        </user_parameters>
    </ip>
</ip_preset>
```

Figura 116 - preset.xml II Zynq-7000

```

<ip_preset preset_proc_name="btms_3bits_preset">
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_GPIO_WIDTH" value="3"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS" value="1"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_IS_DUAL" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_WIDTH" value="3"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS_2" value="1"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS_2" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO1" value="1"/>
            <user_parameter name="CONFIG.C_GPIO1_SIZE" value="3"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO2" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_SIZE" value="3"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO3" value="1"/>
            <user_parameter name="CONFIG.C_GPIO3_SIZE" value="3"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO4" value="1"/>
            <user_parameter name="CONFIG.C_GPIO4_SIZE" value="3"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO1" value="1"/>
            <user_parameter name="CONFIG.GPIO1_SIZE" value="3"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO2" value="1"/>
            <user_parameter name="CONFIG.GPIO2_SIZE" value="3"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO3" value="1"/>
            <user_parameter name="CONFIG.GPIO3_SIZE" value="3"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO4" value="1"/>
            <user_parameter name="CONFIG.GPIO4_SIZE" value="3"/>
        </user_parameters>
    </ip>
</ip_preset>
```

Figura 117 - preset.xml III Zynq-7000

```

<ip_preset preset_proc_name="part0_sys_clock">
    <ip vendor="xilinx.com" library="ip" name="clk_wiz" ip_interface="clk_in1">
        <user_parameters>
            <user_parameter name="CONFIG.PRIM_IN_FREQ" value="50"/>
            <user_parameter name="CONFIG.PRIM_SOURCE" value="Single-ended_clock_capable_pin"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="clk_wiz" ip_interface="clk_in2">
        <user_parameters>
            <user_parameter name="CONFIG.USE_INCLK_SWITCHOVER" value="true"/>
            <user_parameter name="CONFIG.SECONDARY_IN_FREQ" value="50"/>
            <user_parameter name="CONFIG.SECONDARY_SOURCE" value="Single-ended_clock_capable_pin"/>
        </user_parameters>
    </ip>
</ip_presets>

```

**Figura 118 - preset.xml IV Zynq-7000**

### **part0\_pins.xml**

En este fichero se utilizan los pines del ejemplo de la Zynq-7000, por lo que son de ayuda las tablas hechas previamente: Tabla 13, Tabla 14 y Tabla 15.

Como se puede ver en la Figura 119, figuran los nombres que se han descrito en las etiquetas `<interface>` con la numeración que se ha utilizado. También figura el nombre del pin, para el que se usan las tablas creadas en el ejemplo anterior

```

<?xml version="1.0" encoding="UTF-8" standalone="no"?>
<part_info part_name="xc7z010clg400-1">
<pins>
    <pin index="0" name ="btms_3bits_tri_i_0" iostandard="LVCMOS33" loc="K16"/>
    <pin index="1" name ="btms_3bits_tri_i_1" iostandard="LVCMOS33" loc="J16"/>
    <pin index="2" name ="btms_3bits_tri_i_2" iostandard="LVCMOS33" loc="J15"/>

    <pin index="3" name ="leds_8bits_tri_o_0" iostandard="LVCMOS33" loc="H20"/>
    <pin index="4" name ="leds_8bits_tri_o_1" iostandard="LVCMOS33" loc="G19"/>
    <pin index="5" name ="leds_8bits_tri_o_2" iostandard="LVCMOS33" loc="G20"/>
    <pin index="6" name ="leds_8bits_tri_o_3" iostandard="LVCMOS33" loc="H15"/>
    <pin index="7" name ="leds_8bits_tri_o_4" iostandard="LVCMOS33" loc="G15"/>
    <pin index="8" name ="leds_8bits_tri_o_5" iostandard="LVCMOS33" loc="K14"/>
    <pin index="9" name ="leds_8bits_tri_o_6" iostandard="LVCMOS33" loc="J14"/>
    <pin index="10" name ="leds_8bits_tri_o_7" iostandard="LVCMOS33" loc="N15"/>

    <pin index="11" name ="sws_5bits_tri_i_0" iostandard="LVCMOS33" loc="N16"/>
    <pin index="12" name ="sws_5bits_tri_i_1" iostandard="LVCMOS33" loc="L14"/>
    <pin index="13" name ="sws_5bits_tri_i_2" iostandard="LVCMOS33" loc="L15"/>
    <pin index="14" name ="sws_5bits_tri_i_3" iostandard="LVCMOS33" loc="M14"/>
    <pin index="15" name ="sws_5bits_tri_i_4" iostandard="LVCMOS33" loc="M15"/>

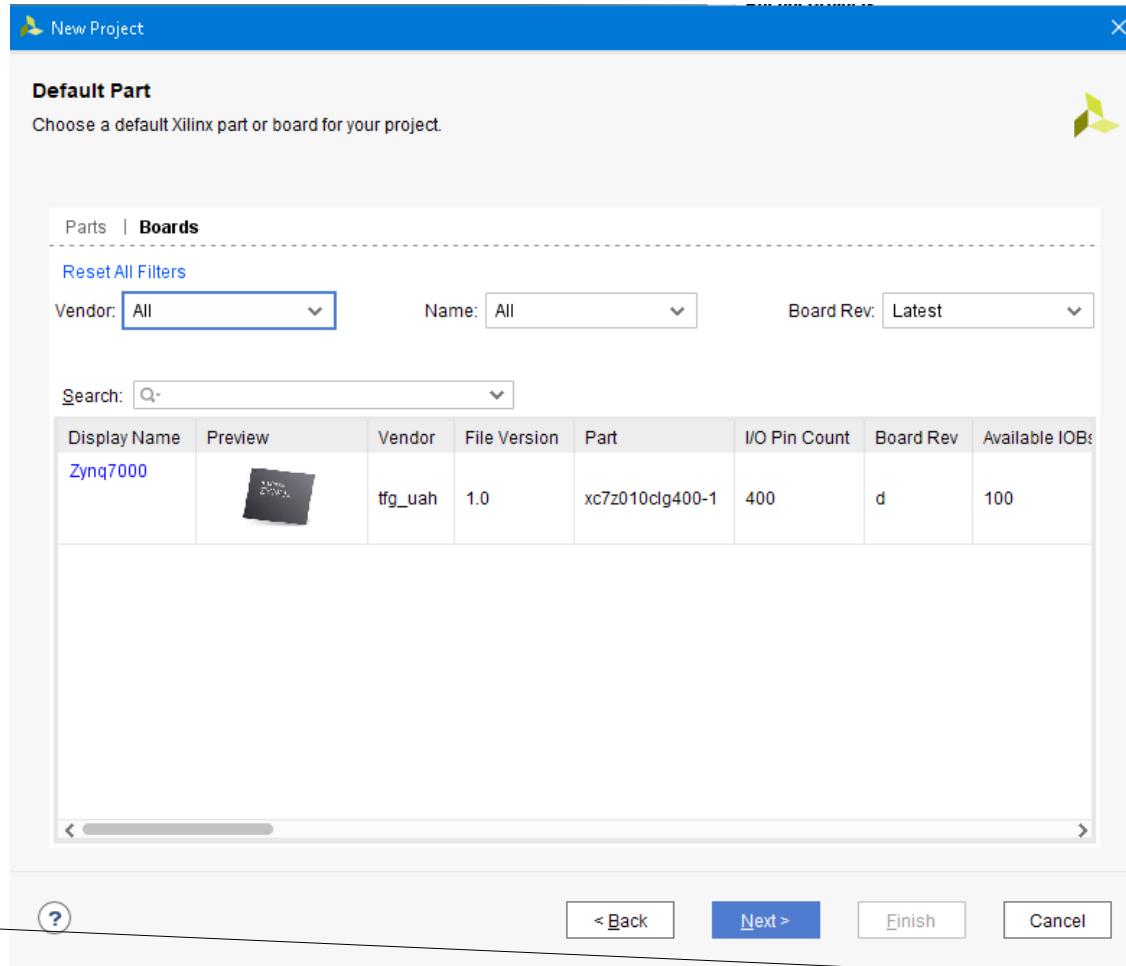
</pins>
</pins>
</part_info>

```

**Figura 119 - part0\_pins Zynq-7000**

Una vez se tiene todos los ficheros creados al arrancar tiene que quedar el SoC disponible para utilizarlo.

Para que la configuración del Zynq entre en funcionamiento se necesita actualizar el sistema después de introducirlo en el diagrama.



**Figura 120 - Vivado Zynq-7000**

## 6.4.2 Zynq-UltraScale+

En este apartado se va a utilizar el ejemplo anterior del Zynq-UltraScale+ para ilustrar cómo se realizan los ficheros de configuración.

### **board.xml**

En el documento board.xml figura la inicialización que aparecerá al elegir la PCB.

```
<?xml version="1.0" encoding="UTF-8" standalone="no"?>
<board schema_version="2.0" vendor="TFG_UAH" name="Zynq UltraScale+" display_name="Zynq UltraScale+" url="github.com/DRubio" preset_file="preset.xml">
  <images>
    <image name="Imagen.jpg" display_name="Zynq" sub_type="board">
      <description>Zynq UltraScale+ Board File Image</description>
    </image>
  </images>
  <compatible_board_revisions>
    <revision id="0">d</revision>
  </compatible_board_revisions>
  <file_version>1.0</file_version>
  <description>Version</description>
</components>
```

**Figura 121 - board.xml I Zynq UltraScale+**

Una vez se tiene el inicio del fichero se pasa a definir los bloques *<component>*. En el *<component>* en el que figura la definición se puede ver que el nombre del SoC es el **xczu2cg-sbva484-1-e**. En la Figura 122, también se puede ver cómo están definidos los 8 leds, los 5 switches y los 3 botones.

```
<component name="part0" display_name="TFG Zynq UltraScale+" type="fpga" part_name="xczu2cg-sbva484-1-e" pin_map_file="part0_pins.xml" vendor="TFG_UAH" spec_url="TFG_UAH">
  <description>FPGA part on the board</description>
  <interface mode="master" name="leds_8bits" type="xilinx.com:interface:gpio_rtl:1.0" of_component="leds_8bits" preset_proc="leds_8bits_preset">
    <preferred_ip>
      <preferred_ip vendor="xilinx.com" library="ip" name="axi_gpio" order="0"/>
    </preferred_ip>
    <port_maps>
      <port_map logical_port="TRI_O" physical_port="leds_8bits_tri_o" dir="out" left="7" right="0">
        <pin_maps>
          <pin_map port_index="0" component_pin="leds_8bits_tri_o_0"/>
          <pin_map port_index="1" component_pin="leds_8bits_tri_o_1"/>
          <pin_map port_index="2" component_pin="leds_8bits_tri_o_2"/>
          <pin_map port_index="3" component_pin="leds_8bits_tri_o_3"/>
          <pin_map port_index="4" component_pin="leds_8bits_tri_o_4"/>
          <pin_map port_index="5" component_pin="leds_8bits_tri_o_5"/>
          <pin_map port_index="6" component_pin="leds_8bits_tri_o_6"/>
          <pin_map port_index="7" component_pin="leds_8bits_tri_o_7"/>
        </pin_maps>
      </port_map>
    </port_maps>
  </interface>
  <interface mode="master" name="sws_5bits" type="xilinx.com:interface:gpio_rtl:1.0" of_component="sws_5bits" preset_proc="sws_5bits_preset">
    <preferred_ip>
      <preferred_ip vendor="xilinx.com" library="ip" name="axi_gpio" order="0"/>
    </preferred_ip>
    <port_maps>
      <port_map logical_port="TRI_I" physical_port="sws_5bits_tri_i" dir="in" left="4" right="0">
        <pin_maps>
          <pin_map port_index="0" component_pin="sws_5bits_tri_i_0"/>
          <pin_map port_index="1" component_pin="sws_5bits_tri_i_1"/>
          <pin_map port_index="2" component_pin="sws_5bits_tri_i_2"/>
          <pin_map port_index="3" component_pin="sws_5bits_tri_i_3"/>
          <pin_map port_index="4" component_pin="sws_5bits_tri_i_4"/>
        </pin_maps>
      </port_map>
    </port_maps>
  </interface>
  <interfaces>
    <interface mode="master" name="btms_3bits" type="xilinx.com:interface:gpio_rtl:1.0" of_component="btms_3bits" preset_proc="btms_3bits_preset">
      <preferred_ip>
        <preferred_ip vendor="xilinx.com" library="ip" name="axi_gpio" order="0"/>
      </preferred_ip>
      <port_maps>
        <port_map logical_port="TRI_I" physical_port="btms_3bits_tri_i" dir="out" left="2" right="0">
          <pin_maps>
            <pin_map port_index="0" component_pin="btms_3bits_tri_i_0"/>
            <pin_map port_index="1" component_pin="btms_3bits_tri_i_1"/>
            <pin_map port_index="2" component_pin="btms_3bits_tri_i_2"/>
          </pin_maps>
        </port_map>
      </port_maps>
    </interface>
  </interfaces>
</component>
```

**Figura 122 - board.xml II Zynq UltraScale+**

Ahora se describen los pines. En la Figura 123, se puede ver como el nombre es el mismo que se utilizaba en las etiquetas *<interface>*.

```

</component>

<component name="sys_clock" display_name="System clock" type="chip" sub_type="system_clock" major_group="Clock Sources">
| <description>System Clock, 50 MHz</description>
</component>

<component name="btms_3bits" display_name="Push buttons" type="chip" sub_type="push_button" major_group="General Purpose Input or Output">
| <description>Push Buttons, , Active High</description>
</component>

<component name="leds_8bits" display_name="leds" type="chip" sub_type="led" major_group="General Purpose Input or Output">
| <description>Leds, , Active High</description>
</component>

<component name="sws_5bits" display_name="Push buttons" type="chip" sub_type="switch" major_group="General Purpose Input or Output">
| <description>Switches, , Active High</description>
</component>

</components>

```

**Figura 123 - board.xml III Zynq UltraScale+**

Y para terminar se definen la etiqueta *<jtag\_chains>* y las conexiones.

La etiqueta *<jtag\_chains>*, se copia literal de la explicación. Y la etiqueta *<connections>* contiene las conexiones en la que los nombres se corresponden con los nombres de los bloques que se utilizan. Los números se corresponden con los números que figuran en el fichero *part0\_pins.xml*. El pin de reloj como es individual se repiten los números.

```

<jtag_chains>
| <jtag_chain name="chain1">
| | <position name="0" component="part0"/>
| </jtag_chain>
</jtag_chains>

<connections>
| <connection name="part0_sys_clock" component1="part0" component2="sys_clock">
| | <connection_map name="part0_sys_clock_1" c1_st_index="16" c1_end_index="16" c2_st_index="0" c2_end_index="0"/>
| </connection>

| <connection name="part0_btms_3bits" component1="part0" component2="btms_3bits">
| | <connection_map name="part0_btms_3bits_1" c1_st_index="0" c1_end_index="2" c2_st_index="0" c2_end_index="2"/>
| </connection>

| <connection name="part0_leds_8bits" component1="part0" component2="leds_8bits">
| | <connection_map name="part0_leds_8bits_1" c1_st_index="3" c1_end_index="10" c2_st_index="0" c2_end_index="7"/>
| </connection>

| <connection name="part0_sws_5bits" component1="part0" component2="sws_5bits">
| | <connection_map name="part0_sws_5bits_1" c1_st_index="11" c1_end_index="15" c2_st_index="0" c2_end_index="4"/>
| </connection>

| </connections>
</board>

```

**Figura 124 - board.xml IV Zynq UltraScale+**

### **preset.xml**

En este fichero sirve para preconfigurar los bloques IP.

Para el caso del ejemplo de la Zynq-UltraScale+ se tiene que preconfigurar el bloque Zynq-UltraScale+. Para ello como se puede ver en la Figura 126 se preconfigura el **zynq\_ultra\_ps\_e** que es el bloque Zynq-UltraScale+. Para ello se usa el parámetro CONFIG.preset y se le indica que preconfiguración tiene que tener.<sup>68</sup>

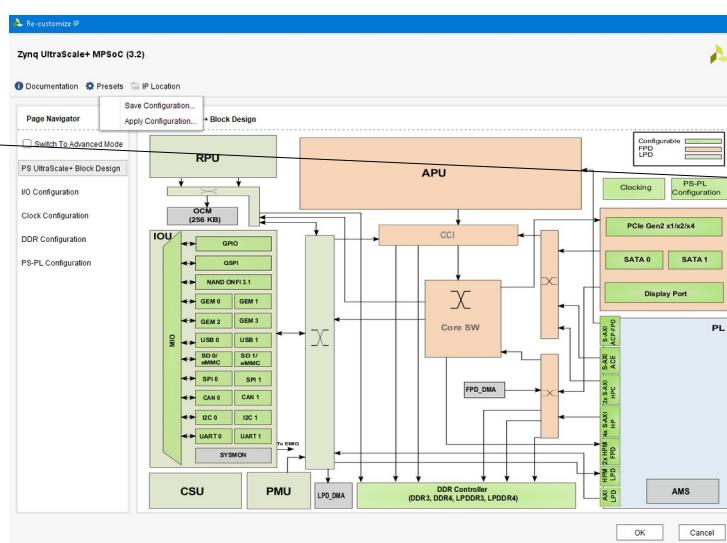
Después se preconfigura todos los bloques **AXI\_GPIO** para que los 8 leds sean salidas del bloque con el nombre **leds\_8bits**. Se hace dos veces porque el bloque **AXI\_GPIO** puede tener hasta dos entradas/salidas.

Tal cual se ha hecho con el bloque **AXI\_GPIO**, se realiza la misma acción con el bloque

#### **IOMODULE** y el **MICROBLAZE\_MCS**.

Lo siguiente que se hace es lo mismo que se ha hecho con los leds, pero con los switches (Figura 127) y los botones(Figura 128).

Y para terminar se configura el bloque de reloj **CLK\_WIZ**. Este bloque permite obtener hasta dos señales de reloj, que en nuestro caso está preconfigurado a 50 MHz. Para ello se le dice cuál es el reloj del archivo *board.xml*.



**Figura 125 - configuración Zynq UltraScale+**

<sup>68</sup> La preconfiguración del bloque Zynq UltraScale+ se hace construyendo un fichero .tcl, que lo crea el propio bloque Vivado al guardar la configuración del bloque. El nombre de esta configuración es el que se tiene que activar en CONFIG.preset.

```
<?xml version="1.0" encoding="UTF-8" standalone="no" ?>
<ip_presets schema="1.0">
<ip_preset preset_proc_name="ps7_preset">
    <ip vendor="xilinx.com" library="ip" name="zyng_ultra_ps_e" version="*"/>
        <user_parameters>
            <user_parameter name="CONFIG.preset" value="Zynq_UltraScale" />
        </user_parameters>
    </ip>
</ip_preset>
<ip_preset preset_proc_name="leds_8bits_preset">
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO">
        <user_parameters>
            <user_parameter name="CONFIG.C_GPIO_WIDTH" value="8"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS" value="1"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_IS_DUAL" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_WIDTH" value="8"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS_2" value="1"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS_2" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO1" value="1"/>
            <user_parameter name="CONFIG.C_GPO1_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO2" value="1"/>
            <user_parameter name="CONFIG.C_GPO2_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO3" value="1"/>
            <user_parameter name="CONFIG.C_GPO3_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPO4" value="1"/>
            <user_parameter name="CONFIG.C_GPO4_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO1" value="1"/>
            <user_parameter name="CONFIG.GPO1_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO2" value="1"/>
            <user_parameter name="CONFIG.GPO2_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO3" value="1"/>
            <user_parameter name="CONFIG.GPO3_SIZE" value="8"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPO4" value="1"/>
            <user_parameter name="CONFIG.GPO4_SIZE" value="8"/>
        </user_parameters>
    </ip>
</ip_preset>
```

Figura 126 - preset.xml | Zynq UltraScale+

```
<ip_preset preset_proc_name="sws_5bits_preset">
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO">
        <user_parameters>
            <user_parameter name="CONFIG.C_GPIO_WIDTH" value="5"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS" value="1"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_IS_DUAL" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_WIDTH" value="5"/>
            <user_parameter name="CONFIG.C_ALL_INPUTS_2" value="1"/>
            <user_parameter name="CONFIG.C_ALL_OUTPUTS_2" value="0"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO1" value="1"/>
            <user_parameter name="CONFIG.C_GPIO1_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO2" value="1"/>
            <user_parameter name="CONFIG.C_GPIO2_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO3" value="1"/>
            <user_parameter name="CONFIG.C_GPIO3_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.C_USE_GPIO4" value="1"/>
            <user_parameter name="CONFIG.C_GPIO4_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO1">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO1" value="1"/>
            <user_parameter name="CONFIG.GPIO1_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO2">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO2" value="1"/>
            <user_parameter name="CONFIG.GPIO2_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO3">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO3" value="1"/>
            <user_parameter name="CONFIG.GPIO3_SIZE" value="5"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO4">
        <user_parameters>
            <user_parameter name="CONFIG.USE_GPIO4" value="1"/>
            <user_parameter name="CONFIG.GPIO4_SIZE" value="5"/>
        </user_parameters>
    </ip>
</ip_preset>
```

Figura 127 - preset.xml II Zynq UltraScale+

```

<ip_preset preset_proc_name="bt_ns_3bits_preset">
  <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO">
    <user_parameters>
      <user_parameter name="CONFIG.C_GPIO_WIDTH" value="3"/>
      <user_parameter name="CONFIG.C_ALL_INPUTS" value="1"/>
      <user_parameter name="CONFIG.C_ALL_OUTPUTS" value="0"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="axi_gpio" ip_interface="GPIO2">
    <user_parameters>
      <user_parameter name="CONFIG.C_IS_DUAL" value="1"/>
      <user_parameter name="CONFIG.C_GPIO2_WIDTH" value="3"/>
      <user_parameter name="CONFIG.C_ALL_INPUTS_2" value="1"/>
      <user_parameter name="CONFIG.C_ALL_OUTPUTS_2" value="0"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO1">
    <user_parameters>
      <user_parameter name="CONFIG.C_USE_GPI1" value="1"/>
      <user_parameter name="CONFIG.C_GPI1_SIZE" value="3"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO2">
    <user_parameters>
      <user_parameter name="CONFIG.C_USE_GPI2" value="1"/>
      <user_parameter name="CONFIG.C_GPI2_SIZE" value="3"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO3">
    <user_parameters>
      <user_parameter name="CONFIG.C_USE_GPI3" value="1"/>
      <user_parameter name="CONFIG.C_GPI3_SIZE" value="3"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="iomodule" ip_interface="GPIO4">
    <user_parameters>
      <user_parameter name="CONFIG.C_USE_GPI4" value="1"/>
      <user_parameter name="CONFIG.C_GPI4_SIZE" value="3"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO1">
    <user_parameters>
      <user_parameter name="CONFIG.USE_GPI1" value="1"/>
      <user_parameter name="CONFIG.GPI1_SIZE" value="3"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO2">
    <user_parameters>
      <user_parameter name="CONFIG.USE_GPI2" value="1"/>
      <user_parameter name="CONFIG.GPI2_SIZE" value="3"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO3">
    <user_parameters>
      <user_parameter name="CONFIG.USE_GPI3" value="1"/>
      <user_parameter name="CONFIG.GPI3_SIZE" value="3"/>
    </user_parameters>
  </ip>
  <ip vendor="xilinx.com" library="ip" name="microblaze_mcs" ip_interface="GPIO4">
    <user_parameters>
      <user_parameter name="CONFIG.USE_GPI4" value="1"/>
      <user_parameter name="CONFIG.GPI4_SIZE" value="3"/>
    </user_parameters>
  </ip>
</ip_preset>
```

**Figura 128 - preset.xml III Zynq UltraScale+**

```

<ip_preset preset_proc_name="sys_clock_preset">
    <ip vendor="xilinx.com" library="ip" name="clk_wiz" ip_interface="clk_in1">
        <user_parameters>
            <user_parameter name="CONFIG.PRIM_IN_FREQ" value="50"/>
            <user_parameter name="CONFIG.PRIM_SOURCE" value="Single-ended_clock_capable_pin"/>
        </user_parameters>
    </ip>
    <ip vendor="xilinx.com" library="ip" name="clk_wiz" ip_interface="clk_in2">
        <user_parameters>
            <user_parameter name="CONFIG.USE_INCLK_SWITCHOVER" value="true"/>
            <user_parameter name="CONFIG.SECONDARY_IN_FREQ" value="50"/>
            <user_parameter name="CONFIG.SECONDARY_SOURCE" value="Single-ended_clock_capable_pin"/>
        </user_parameters>
    </ip>
</ip_preset>
</ip_presets>

```

**Figura 129 - preset.xml IV Zynq UltraScale+**

### ***part0\_pins.xml***

En este fichero se utilizan los pines del ejemplo de la Zynq-UltraScale+, por lo que son de ayuda las tablas hechas previamente: Tabla 28, Tabla 29 y la Tabla 30.

Como se puede ver en la Figura 117, figuran los nombres que se han descrito en las etiquetas <interface> con la numeración que se ha utilizado. También figura el nombre del pin, para el que se usan las tablas creadas en el ejemplo anterior

```

<?xml version="1.0" encoding="UTF-8" standalone="no"?>
<part_info part_name="xczu2cg-sbva484-1-e">
<pins>
    <pin index="0" name ="btms_3bits_tri_i_0" iostandard="LVCMS33" loc="F7"/>
    <pin index="1" name ="btms_3bits_tri_i_1" iostandard="LVCMS33" loc="F8"/>
    <pin index="2" name ="btms_3bits_tri_i_2" iostandard="LVCMS33" loc="E5"/>

    <pin index="3" name ="leds_8bits_tri_o_0" iostandard="LVCMS33" loc="A6"/>
    <pin index="4" name ="leds_8bits_tri_o_1" iostandard="LVCMS33" loc="B7"/>
    <pin index="5" name ="leds_8bits_tri_o_2" iostandard="LVCMS33" loc="B5"/>
    <pin index="6" name ="leds_8bits_tri_o_3" iostandard="LVCMS33" loc="B6"/>
    <pin index="7" name ="leds_8bits_tri_o_4" iostandard="LVCMS33" loc="A7"/>
    <pin index="8" name ="leds_8bits_tri_o_5" iostandard="LVCMS33" loc="A8"/>
    <pin index="9" name ="leds_8bits_tri_o_6" iostandard="LVCMS33" loc="A9"/>
    <pin index="10" name ="leds_8bits_tri_o_7" iostandard="LVCMS33" loc="B9"/>

    <pin index="11" name ="sws_5bits_tri_i_0" iostandard="LVCMS33" loc="N16"/>
    <pin index="12" name ="sws_5bits_tri_i_1" iostandard="LVCMS33" loc="L14"/>
    <pin index="13" name ="sws_5bits_tri_i_2" iostandard="LVCMS33" loc="L15"/>
    <pin index="14" name ="sws_5bits_tri_i_3" iostandard="LVCMS33" loc="M14"/>
    <pin index="15" name ="sws_5bits_tri_i_4" iostandard="LVCMS33" loc="M15"/>

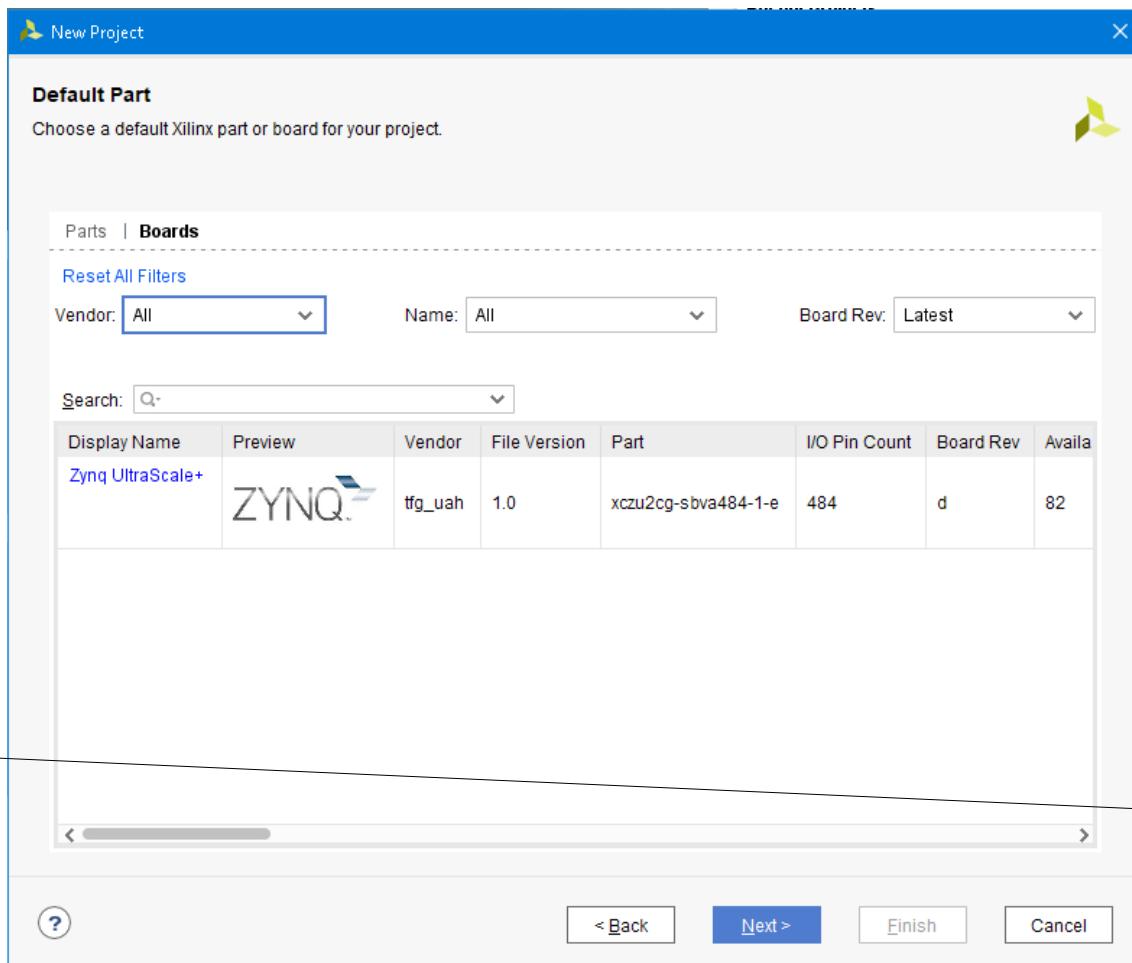
</pins>
</part_info>

```

**Figura 130 - part0\_pins.xml Zynq UltraScale+**

Una vez se tiene todos los ficheros creados al arrancar tiene que quedar el SoC disponible para utilizarlo.

Para que la configuración del Zynq-UltraScale+ entre en funcionamiento se necesita actualizar el sistema después de introducirlo en el diagrama.



**Figura 131 - Vivado Zynq UltraScale+**

Los ficheros de los ejemplos están en un repositorio de GitHub<sup>69</sup>

<sup>69</sup> [https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/Ficheros\\_configuracion](https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/Ficheros_configuracion) (Última revisión :20-09-2021)

## 6.5 Ficheros XDC

En caso de que no se quiera usar los bloques IP de Xilinx, para programar los pines hardware se puede utilizar un fichero XDC que contenga las conexiones con el número de pin y el banco de alimentación.

Para la construcción de estos ficheros se sigue el siguiente esquema para hacer la conexión.

```
set_property -dict { PACKAGE_PIN <nombre del pin> IOSTANDARD
<Banco de alimentación> } [get_ports <nombre del puerto>];
```

Este esquema se puede seguir con todos y cada uno de los pines. Ahora para que se vislumbre mejor se va a crear los ficheros XDC de los ejemplos anteriores.

Todos los ejemplos están precedidos por el carácter '#' que significa que están comentados, para utilizarlos se tiene que eliminar el carácter.

### Ejemplo XDC de Zynq-7000

El fichero XDC del ejemplo de la Zynq-7000 es el siguiente:

```
#LEDS
#set_property -dict { PACKAGE_PIN H20 IOSTANDARD LVCMOS33 } [get_ports {LED[0]}];
#set_property -dict { PACKAGE_PIN G19 IOSTANDARD LVCMOS33 } [get_ports {LED[1]}];
#set_property -dict { PACKAGE_PIN G20 IOSTANDARD LVCMOS33 } [get_ports {LED[2]}];
#set_property -dict { PACKAGE_PIN H15 IOSTANDARD LVCMOS33 } [get_ports {LED[3]}];
#set_property -dict { PACKAGE_PIN G15 IOSTANDARD LVCMOS33 } [get_ports {LED[4]}];
#set_property -dict { PACKAGE_PIN K14 IOSTANDARD LVCMOS33 } [get_ports {LED[5]}];
#set_property -dict { PACKAGE_PIN J14 IOSTANDARD LVCMOS33 } [get_ports {LED[6]}];
#set_property -dict { PACKAGE_PIN N15 IOSTANDARD LVCMOS33 } [get_ports {LED[7]}];

#SWITCHES
#set_property -dict { PACKAGE_PIN N16 IOSTANDARD LVCMOS33 } [get_ports {SW[0]}];
#set_property -dict { PACKAGE_PIN L14 IOSTANDARD LVCMOS33 } [get_ports {SW[1]}];
#set_property -dict { PACKAGE_PIN L15 IOSTANDARD LVCMOS33 } [get_ports {SW[2]}];
#set_property -dict { PACKAGE_PIN M14 IOSTANDARD LVCMOS33 } [get_ports {SW[3]}];
#set_property -dict { PACKAGE_PIN M15 IOSTANDARD LVCMOS33 } [get_ports {SW[4]}];

#BOTONES
#set_property -dict { PACKAGE_PIN K16 IOSTANDARD LVCMOS33 } [get_ports {BT[0]}];
#set_property -dict { PACKAGE_PIN J16 IOSTANDARD LVCMOS33 } [get_ports {BT[1]}];
#set_property -dict { PACKAGE_PIN J15 IOSTANDARD LVCMOS33 } [get_ports {BT[2]}];
```

Los apartados LED, SW y BT representan las señales de salida. Por lo que se tendrían que cambiar por los nombres de las señales de salida.

## Ejemplo XDC de Zynq-UltraScale+

El fichero XDC del ejemplo de la Zynq-UltraScale+ es el siguiente:

```
#LEDS
#set_property -dict { PACKAGE_PIN A6 IOSTANDARD LVCMOS33 } [get_ports {LED[0]}];
#set_property -dict { PACKAGE_PIN B7 IOSTANDARD LVCMOS33 } [get_ports {LED[1]}];
#set_property -dict { PACKAGE_PIN B5 IOSTANDARD LVCMOS33 } [get_ports {LED[2]}];
#set_property -dict { PACKAGE_PIN B6 IOSTANDARD LVCMOS33 } [get_ports {LED[3]}];
#set_property -dict { PACKAGE_PIN A7 IOSTANDARD LVCMOS33 } [get_ports {LED[4]}];
#set_property -dict { PACKAGE_PIN A8 IOSTANDARD LVCMOS33 } [get_ports {LED[5]}];
#set_property -dict { PACKAGE_PIN A9 IOSTANDARD LVCMOS33 } [get_ports {LED[6]}];
#set_property -dict { PACKAGE_PIN B9 IOSTANDARD LVCMOS33 } [get_ports {LED[7]}];

#SWITCHES
#set_property -dict { PACKAGE_PIN E6 IOSTANDARD LVCMOS33 } [get_ports {SW[0]}];
#set_property -dict { PACKAGE_PIN F6 IOSTANDARD LVCMOS33 } [get_ports {SW[1]}];
#set_property -dict { PACKAGE_PIN G7 IOSTANDARD LVCMOS33 } [get_ports {SW[2]}];
#set_property -dict { PACKAGE_PIN G5 IOSTANDARD LVCMOS33 } [get_ports {SW[3]}];
#set_property -dict { PACKAGE_PIN G6 IOSTANDARD LVCMOS33 } [get_ports {SW[4]}];

#BOTONES
#set_property -dict { PACKAGE_PIN F7 IOSTANDARD LVCMOS33 } [get_ports {BT[0]}];
#set_property -dict { PACKAGE_PIN F8 IOSTANDARD LVCMOS33 } [get_ports {BT[1]}];
#set_property -dict { PACKAGE_PIN E5 IOSTANDARD LVCMOS33 } [get_ports {BT[2]}];
```

Los apartados LED, SW y BT representan las señales de salida. Por lo que se tendrían que cambiar por los nombres de las señales de salida.

# Capítulo 7

## Conclusiones y líneas futuras

A lo largo de todo el documento se ha ido desglosando todas las partes necesarias para el diseño de un SoC de Xilinx. Comenzando primero por la búsqueda y localización de la documentación, cosa extremadamente importante debido a la falta en mucho s casos de un ejemplo fácil de entender. Después se ha descrito todos los pines con la utilidad específica que tienen para después describir el funcionamiento del bloque de pines y la función que tienen. Con toda la documentación recogida y explicada se ha procedido a explicar un ejemplo con todo tipo de detalles para no dejar ninguna duda sobre cómo se conectan los SoCs. Y con el ejemplo desarrollado se han diseñado los ficheros que para despreocuparse lo máximo sobre qué pines van en qué sitio o de configurar la memoria RAM que lleva el SoC.

Como se comentó en el inicio del documento, los SoCs tienen unas aplicaciones muy amplias que permiten desarrollar proyectos muy avanzados.

Los Zynq-7000 están más limitados pero siguen teniendo su nicho de mercado debido a que para aquellas aplicaciones en las que un Zynq-UltraScale+ sea demasiado un Zynq-7000 puede valer perfectamente.

Los Zynq-UltraScale+ es de lo más avanzado que hay en el mercado, por lo que para aplicaciones potentes o muy críticas tiene un nicho de mercado.

Como futuras mejoras que se le puede añadir está la incorporación de otros protocolos de comunicación, como el protocolo CAN , o la incorporación de la transferencia de datos vía Ethernet. Además, de la incorporación de la adaptación para la transmisión vía HDMI.

Otra mejora que se le puede realizar es el diseño del layout de los ejemplos que podría aportar una base técnica que permita a lector tener una referencia de diseño avanzada.

Con este documento se espera haber documentado lo máximo posible cómo diseñar un SoC y haber ayudado a que cualquier persona que lo lea tenga un entendimiento mayor sobre cómo son los SoCs.

## Referencias

- [1] Enlace de referencia para Cortex A53: <https://developer.arm.com/ip-products/processors/cortex-a/cortex-a53> (Última revisión :20-09-2021)
- [2] Enlace de referencia para el Cortex A9: <https://developer.arm.com/ip-products/processors/cortex-a/cortex-a9> (Última revisión :20-09-2021)
- [3] Enlace de referencia para Zynq UltraScale+:  
<https://www.xilinx.com/products/silicon-devices/soc/zynq-ultrascale-mpsoc.html> (Última revisión :20-09-2021)
- [4] Enlace de referencia para Zynq-7000:  
<https://www.xilinx.com/products/silicon-devices/soc/zynq-7000.html> (Última revisión :20-09-2021)
- [5] Enlace GPU Mali: <https://developer.arm.com/ip-products/graphics-and-multimedia/mali-gpus/mali-400-gpu> (Última revisión :20-09-2021)

### Zynq-7000

- [6] Enlace de Reference Manual la Zynq-7000:  
[https://www.xilinx.com/support/documentation/user\\_guides/ug585-Zynq-7000-TRM.pdf](https://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf) (Última revisión :20-09-2021)
- [7] Enlace de referencia para el pinout de la Zynq-7000:  
[https://www.xilinx.com/support/documentation/user\\_guides/ug865-Zynq-7000-Pkg-Pinout.pdf](https://www.xilinx.com/support/documentation/user_guides/ug865-Zynq-7000-Pkg-Pinout.pdf) (Última revisión :20-09-2021)
- [8] Enlace de los documentos de pines de la Zynq-7000:  
<https://www.xilinx.com/support/package-pinout-files/Zynq-7000-pkgs.html> (Última revisión :20-09-2021)
- [9] Selection guide de la Zynq-7000:  
<https://www.xilinx.com/support/documentation/selection-guides/zynq-7000-product-selection-guide.pdf> (Última revisión :20-09-2021)
- [10] Enlace de alimentaciones de la Zynq-7000:  
[https://www.xilinx.com/support/documentation/data\\_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf) (Última revisión :20-09-2021)

### Zynq-UltraScale+

- [11] Enlace PCB design Zynq-UltraScale+:  
[https://www.xilinx.com/support/documentation/user\\_guides/ug933-Zynq-7000-PCB.pdf](https://www.xilinx.com/support/documentation/user_guides/ug933-Zynq-7000-PCB.pdf) (Última revisión :20-09-2021)
- [12] Enlace de Reference Manual de la Zynq-UltraScale+:  
[https://www.xilinx.com/support/documentation/user\\_guides/ug1085-zynq-ultrascale-trm.pdf](https://www.xilinx.com/support/documentation/user_guides/ug1085-zynq-ultrascale-trm.pdf) (Última revisión :20-09-2021)
- [13] Enlace de referencia para el pinout de la Zynq-UltraScale+  
[https://www.xilinx.com/support/documentation/user\\_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf](https://www.xilinx.com/support/documentation/user_guides/ug1075-zynq-ultrascale-pkg-pinout.pdf) (Última revisión :20-09-2021)

[14] Enlace de los documentos de pines de la Zynq-UltraScale+:  
<https://www.xilinx.com/support/package-pinout-files/zynq-ultrascale-plus-pkgs.html> (Última revisión :20-09-2021)

[15] Selection guide de la Zynq-UltraScale+:  
<https://www.xilinx.com/support/documentation/selection-guides/zynq-ultrascale-plus-product-selection-guide.pdf> (Última revisión :20-09-2021)

[16] Enlace de alimentaciones de la Zynq-UltraScale+:  
[https://www.xilinx.com/support/documentation/data\\_sheets/ds925-zynq-ultrascale-plus.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds925-zynq-ultrascale-plus.pdf) (Última revisión :20-09-2021)

[17] Enlace PCB design Zynq-UltraScale+:  
[https://www.xilinx.com/support/documentation/user\\_guides/ug583-ultrascale-pcb-design.pdf](https://www.xilinx.com/support/documentation/user_guides/ug583-ultrascale-pcb-design.pdf) (Última revisión :20-09-2021)

## Otras partes

[18] Ejemplo de conexión del pin POR\_B:  
[https://www.xilinx.com/Attachment/AR65240\\_-Example\\_PS\\_POR\\_B\\_Supervisor\\_Circuit.pdf](https://www.xilinx.com/Attachment/AR65240_-Example_PS_POR_B_Supervisor_Circuit.pdf) (Última revisión :20-09-2021)

[19] Enlace de documentación del banco GTY:  
[https://www.xilinx.com/support/documentation/user\\_guides/ug578-ultrascale-gty-transceivers.pdf](https://www.xilinx.com/support/documentation/user_guides/ug578-ultrascale-gty-transceivers.pdf) (Última revisión :20-09-2021)

[20] Enlace de documentación del banco GTH:  
[https://www.xilinx.com/support/documentation/user\\_guides/ug576-ultrascale-gth-transceivers.pdf](https://www.xilinx.com/support/documentation/user_guides/ug576-ultrascale-gth-transceivers.pdf) (Última revisión :20-09-2021)

# Anexo

En el siguiente anexo se documentan todos los formatos de pines necesarios para poder diseñar el layout de todos los formatos de los pines de los SoCs de la Zynq-7000 y de los Zynq-UltraScale+. Además, también se documentan los pinout de las memorias RAM y sus planos de diseño en sus diferentes formatos para conseguir que el lector tenga esa documentación a mano para diseñar un esquemático o un layout, además, cuál es forma tridimensional.

## Índice

<b>ANEXO.....</b>	<b>154</b>
<b>Anexo 1 - Encapsulados Zynq-7000.....</b>	<b>156</b>
CLG225.....	156
CLG400.....	157
CLG484.....	158
SBG485/SBV485.....	159
FBGG484/FBV484.....	161
FBG676/FBV676.....	163
FFG676/FFV676.....	166
FFG676/FFV676.....	167
FFG900.....	168
FFG900/FFV900.....	169
FFG1156/FFV1156.....	170
RB484.....	171
RF676/RFG676.....	172
RF900.....	173
RF1156.....	174
<b>Anexo 2 - Encapsulados Zynq-UltraScale+.....</b>	<b>175</b>
SBVA484.....	175
SFRA484.....	176
UBVA530.....	177
SFVA625.....	178
SFRC784.....	179
SFVC784.....	180
FBVB900.....	181
FFRB900.....	183
FFRB900/FFRC900.....	184
FFVC900.....	185
FFRB1156.....	186
FFVB1156.....	187
FFRC1156.....	188
FFVC1156.....	189
FFRD1156.....	190
FFRE1156.....	191
FFVD1156.....	192

FFVE1156.....	193
FSVE1156.....	194
FFRB1517.....	195
FFVB1517/FFVF1517.....	196
FFRG1517.....	197
FFVG1517.....	198
FSVG1517.....	199
FFVC1760/FFVD1760.....	200
FFRC1760.....	201
FFVF1760/FFVH1760.....	202
FFRF1760.....	203
FSVF1760/FSVH1760.....	204
FFVE1924.....	205
<b>Anexo 3- Pinout relevantes.....</b>	<b>206</b>
DDR3 UDIMM.....	206
DDR3 SODIMM.....	208
DDR4 UDIMM.....	210
DDR4 SODIMM.....	212
M.2 Type 2280 NAND Flash SSD.....	214

## Anexo 1 - Encapsulados Zynq-7000

En este anexo se va a documentar los diferentes formatos de encapsulados de la Zynq-7000 para que cualquiera que los necesite pueda disponer de ellos de forma rápida.

### CLG225

#### **CLG225 Wire-Bond Chip-Scale BGA (XC7Z007S, XC7Z010, and XA7Z010) (0.8 mm Pitch)**

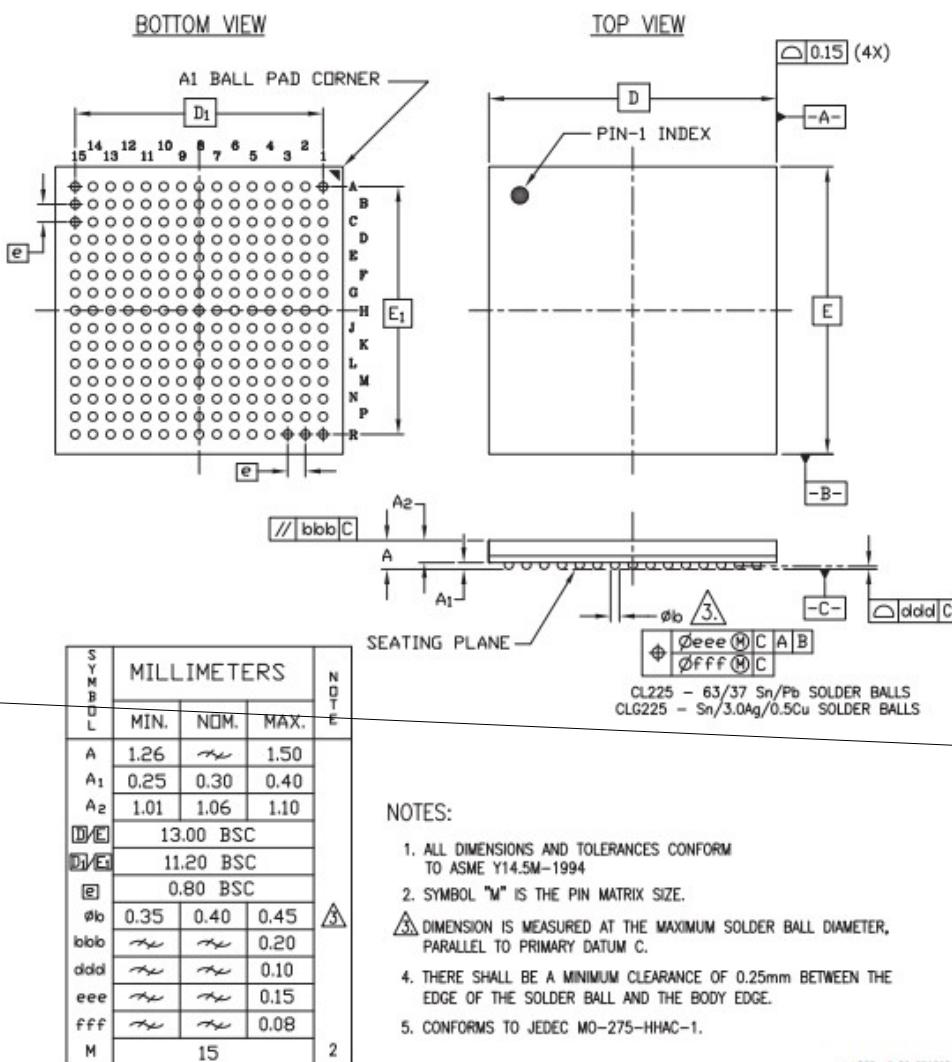


Figure 4-1: CLG225 Wire-Bond Chip-Scale BGA Package Specifications for XC7Z007S, XC7Z010, and XA7Z010

**Figura 132- CLG225**

CLG400

**CLG400 (XC7Z007S, XC7Z010, XA7Z010, XC7Z014S, XC7Z020, and XA7Z020) and CL400 (XQ7Z020) Wire-Bond Chip-Scale BGA (0.8 mm Pitch)**

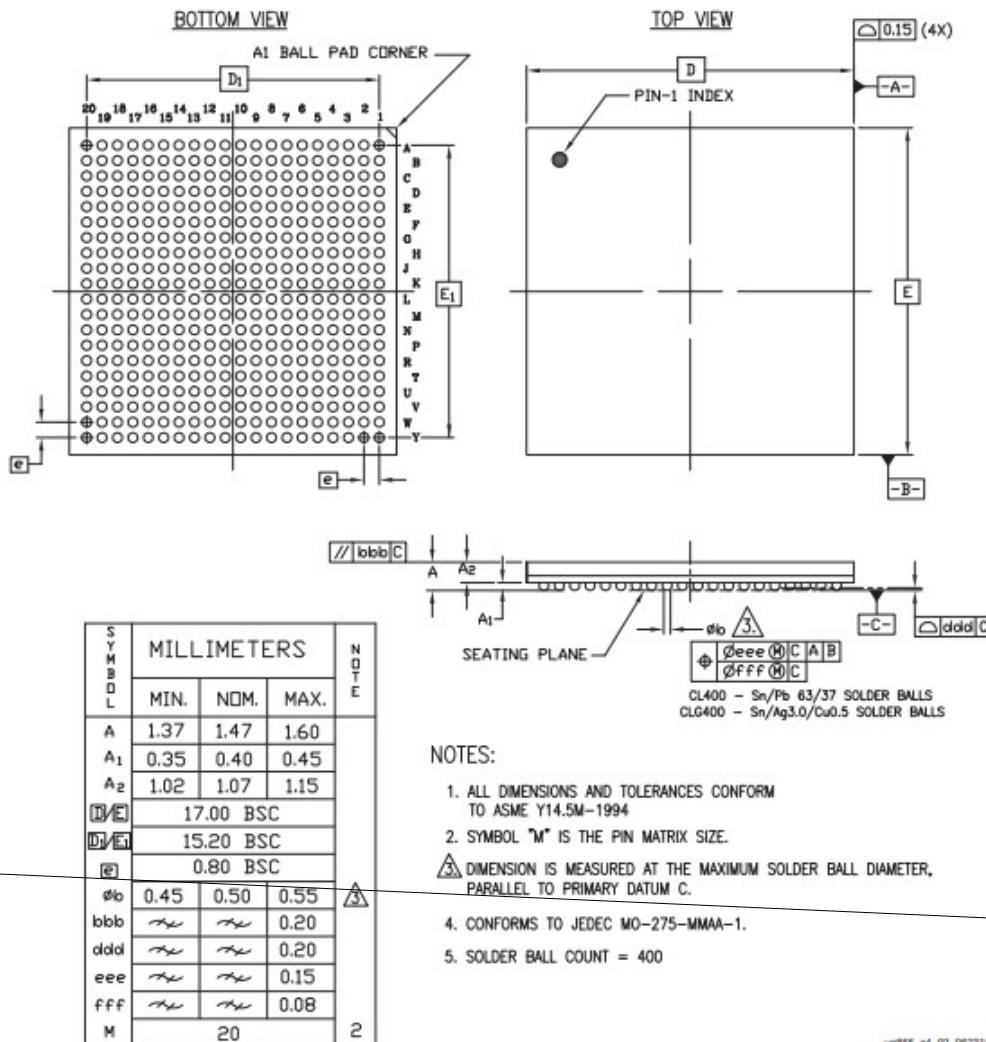


Figure 4-2: CLG400 (XC7Z007S, XC7Z010, XA7Z010, XC7Z014S, XC7Z020, and XA7Z020) and CL400 (XQ7Z020) Wire-Bond Chip-Scale BGA Package Specifications

**Figura 133- CLG400**

CLG484

**CLG484 (XC7Z014S, XC7Z020, XA7Z020), CL484 (XQ7Z020) and CLG485 (XC7Z012S and XC7Z015)  
Wire-Bond Chip-Scale BGA (0.8 mm Pitch)**

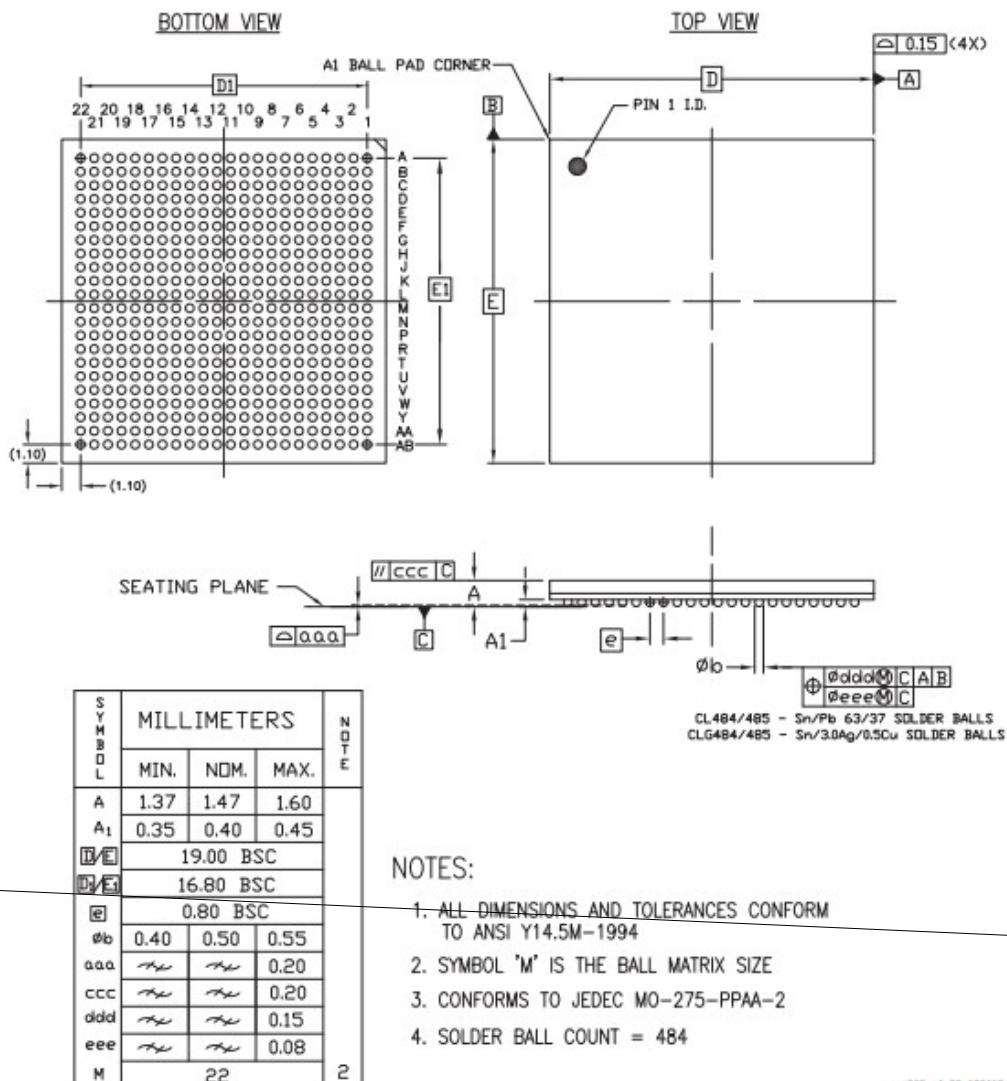


Figure 4-3: CLG484 (XC7Z014S, XC7Z020, and XA7Z020), CL484 (XQ7Z020), and CLG485 (XC7Z012S and XC7Z015) Wire-Bond Chip-Scale BGA Package Specifications

**Figura 134- CLG484**

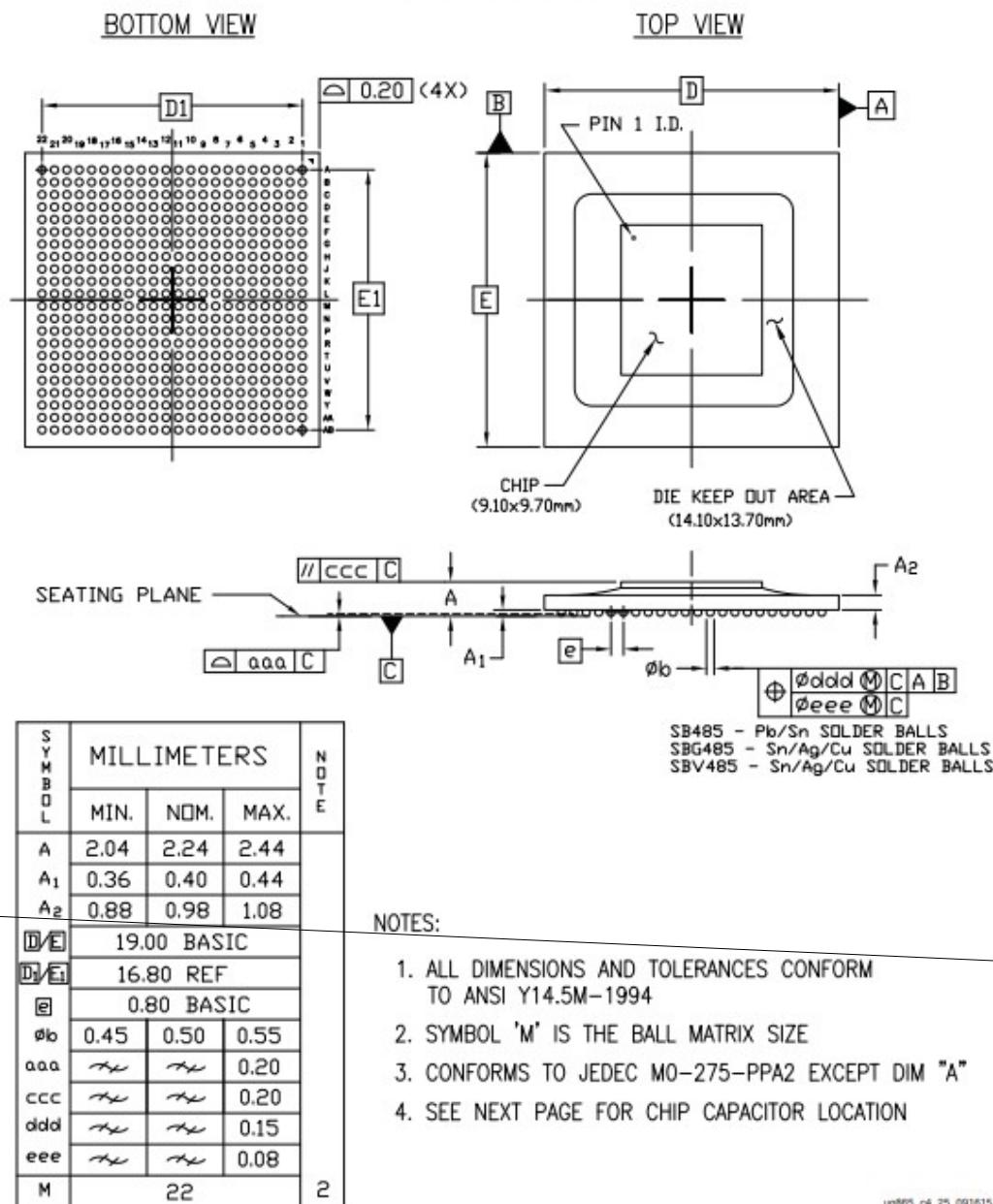
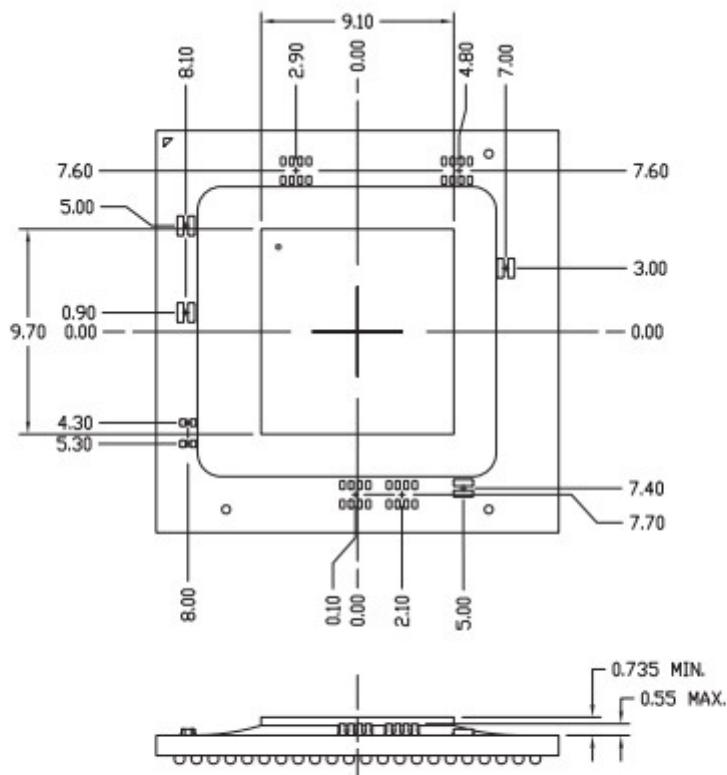
SBG485/SBV485**SBG485/SBV485 (XC7Z030) Flip-Chip Lidless BGA  
(0.8 mm Pitch)**

Figure 4-4: SBG485/SBV485 Flip-Chip Lidless BGA Package Specifications for XC7Z030

**Figura 135- SBG485/SBV485**



NOTES:

1. CHIP CAPACITOR DATUM LOCATION

ug865\_c4\_26\_100713

Figure 4-5: XC7Z030 SBG485/SBV485 Die Dimensions with Capacitor Locations

**Figura 136- SBG485/SBV485(2)**

FBGG484/FBV484  
**FBG484/FBV484 (XC7Z030, XA7Z030, and XQ7Z030)  
 Flip-Chip Lidless BGA (1.0 mm Pitch)**

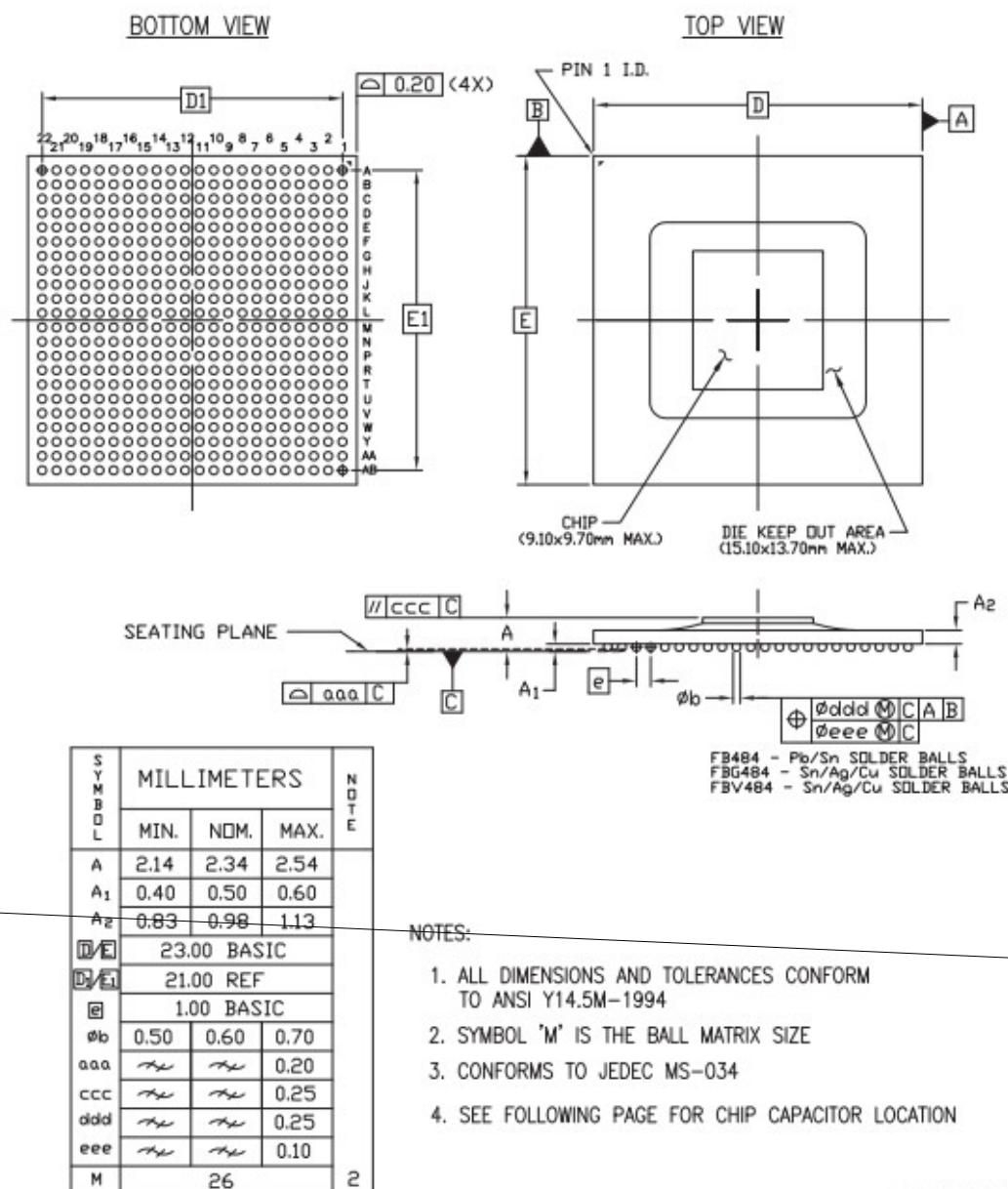


Figure 4-6: FBG484/FBV484 (XC7Z030, XA7Z030, and XQ7Z030)  
 Flip-Chip Lidless BGA Package Specifications

**Figura 137- FBGG484/FBV484**

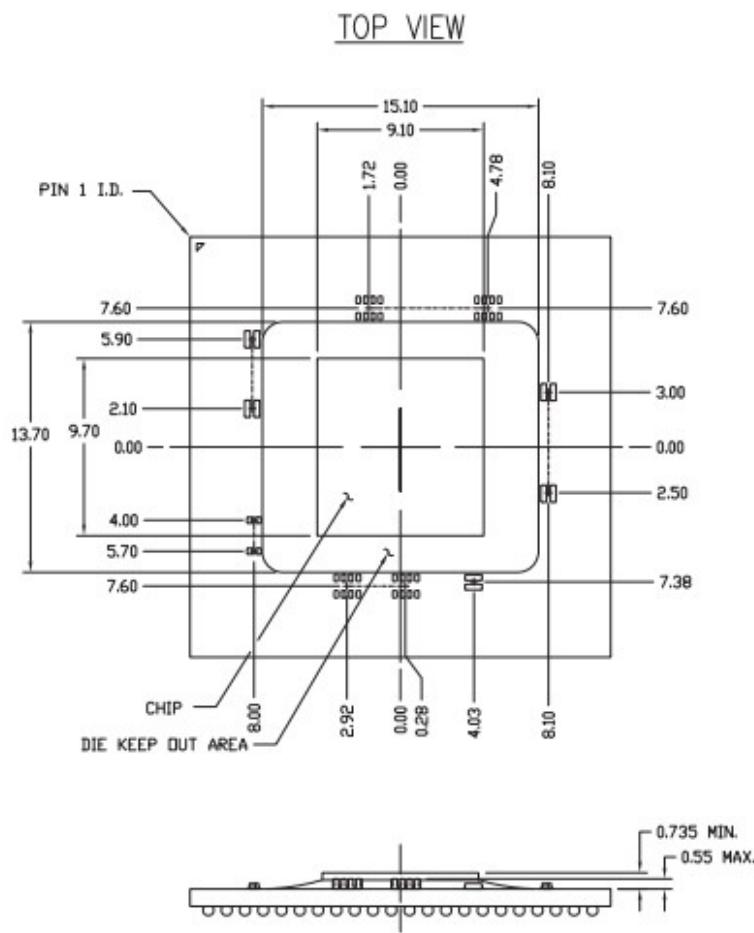


Figure 4-7: XC7Z030 and XA7Z030 FBG484/FBV484 Die Dimensions with Capacitor Locations

**Figura 138 - FBGG484/FBV484 (2)**

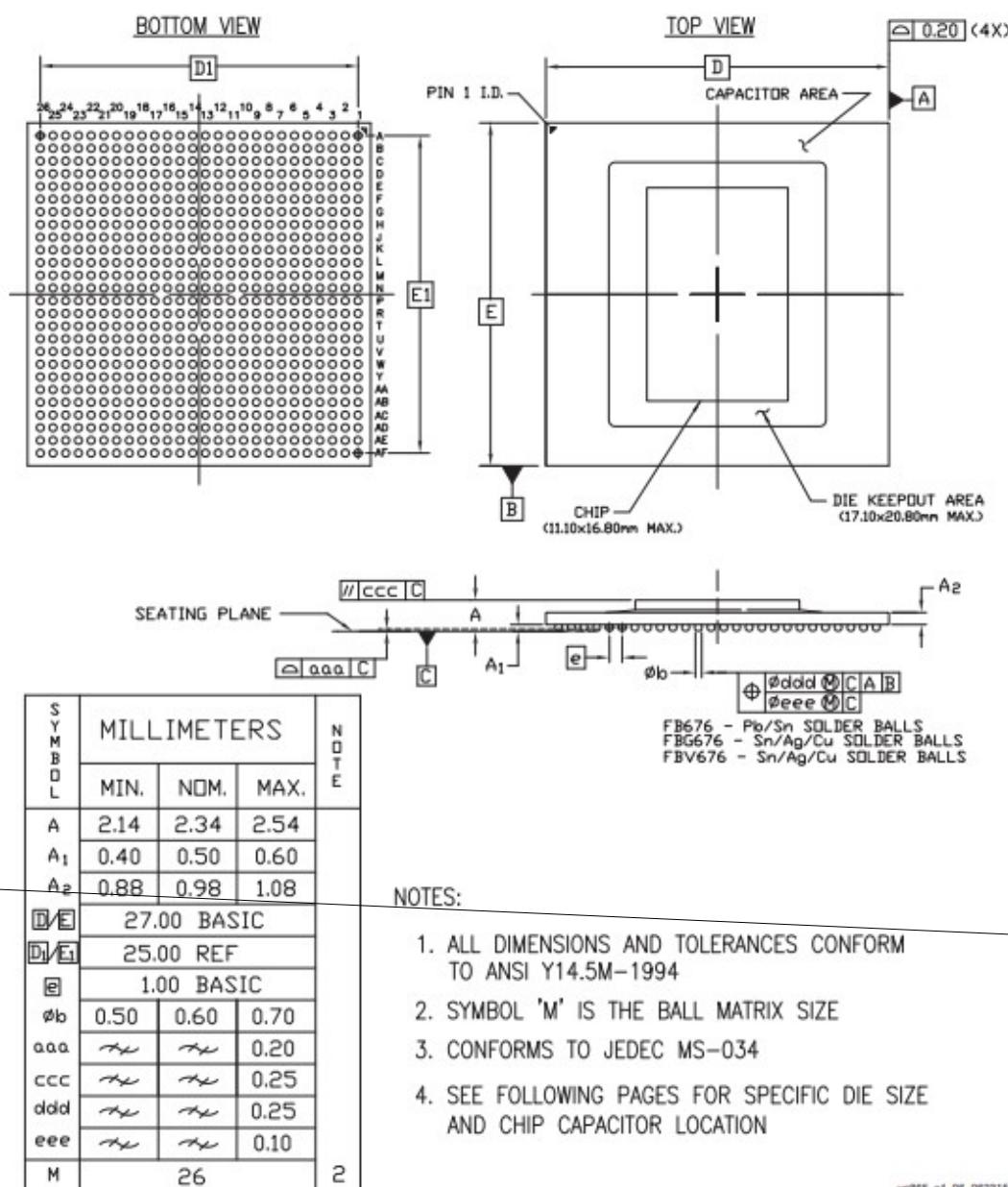
FBG676/FBV676**FBG676/FBV676 (XC7Z030, XC7Z035, and XC7Z045)  
Flip-Chip Lidless BGA (1.0 mm Pitch)**

Figure 4-8: FBG676/FBV676 (XC7Z030, XC7Z035, and XC7Z045)  
Flip-Chip Lidless BGA Package Specifications

**Figura 139 - FBG676/FBV676**

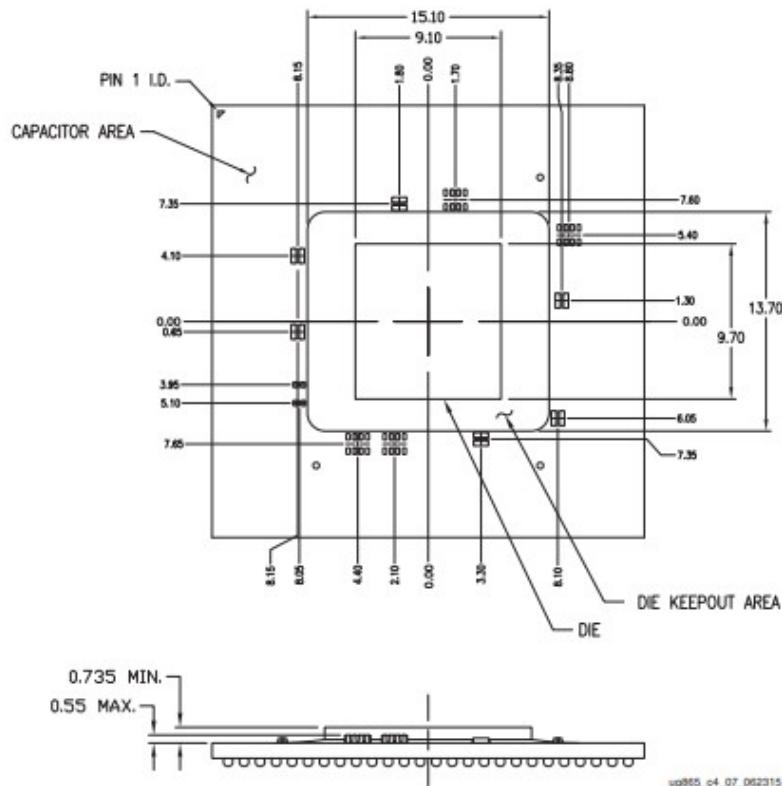


Figure 4-9: XC7Z030 FBG676/FBV676 Die Dimensions with Capacitor Locations

### Figura 140 - FBG676/FBV676 (2)

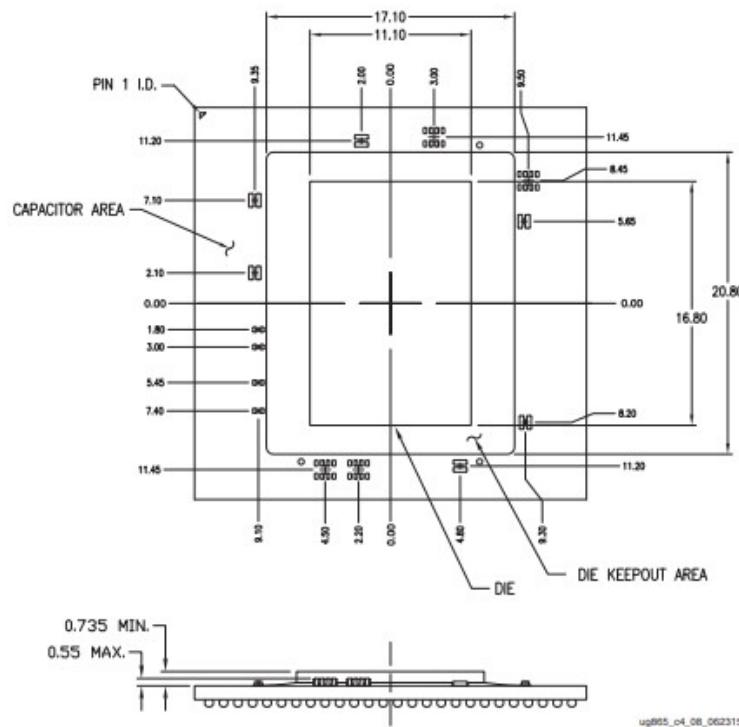


Figure 4-10: XC7Z035 and XC7Z045 FBG676/FBV676 Die Dimensions with Capacitor Locations

**Figura 141 - FBG676/FBV676(3)**

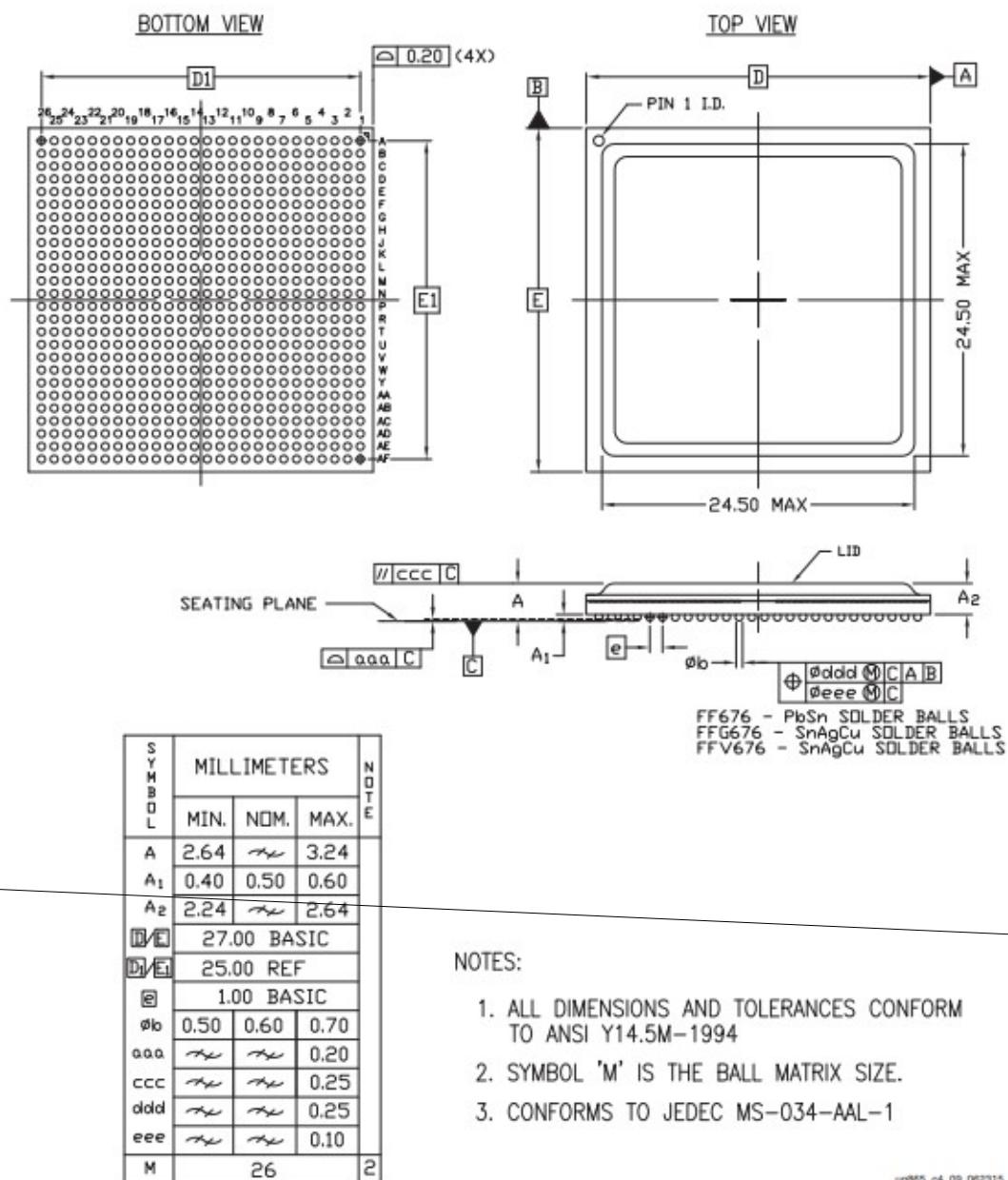
FFG676/FFV676**FFG676/FFV676 (XC7Z030) Flip-Chip BGA  
(1.0 mm Pitch)**

Figure 4-11: FFG676/FFV676 (XC7Z030) Flip-Chip BGA Package Specifications

**Figura 142 - FFG676/FFV676**

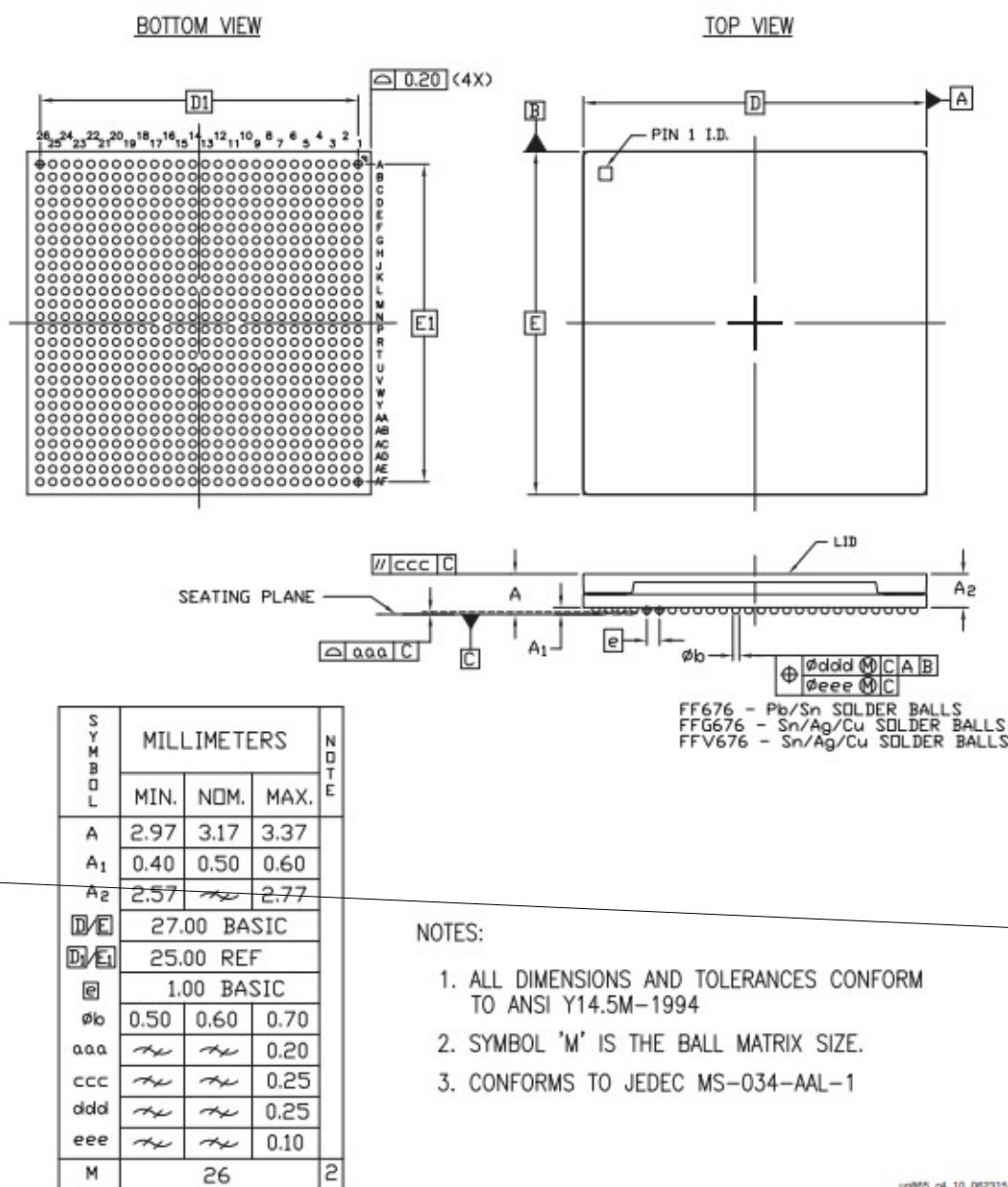
FFG676/FFV676**FFG676/FFV676 Flip-Chip BGA  
(XC7Z035 and XC7Z045)(1.0 mm Pitch)**

Figure 4-12: FFG676/FFV676 (XC7Z035 and XC7Z045) Flip-Chip BGA Package Specifications

**Figura 143 - FFG676/FFV676**

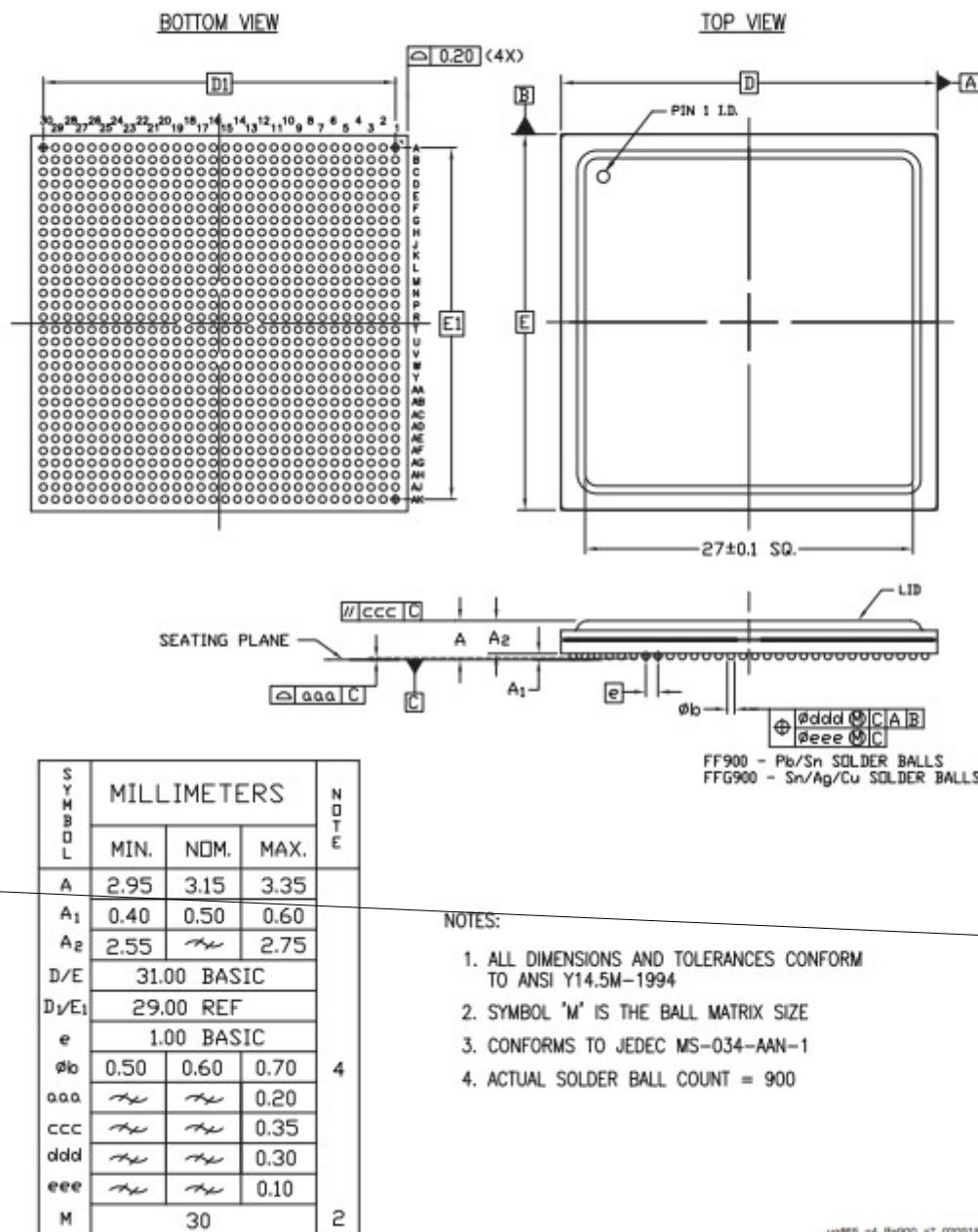
FFG900**FFG900 (XC7Z035, XC7Z045, and XC7Z100)  
Flip-Chip BGA (1.0 mm Pitch) with Stamped Lid**

Figure 4-13: FFG900 (XC7Z035, XC7Z045, and XC7Z100) Flip-Chip BGA with Stamped Lid Package Specifications

**Figura 144 - FFG900**

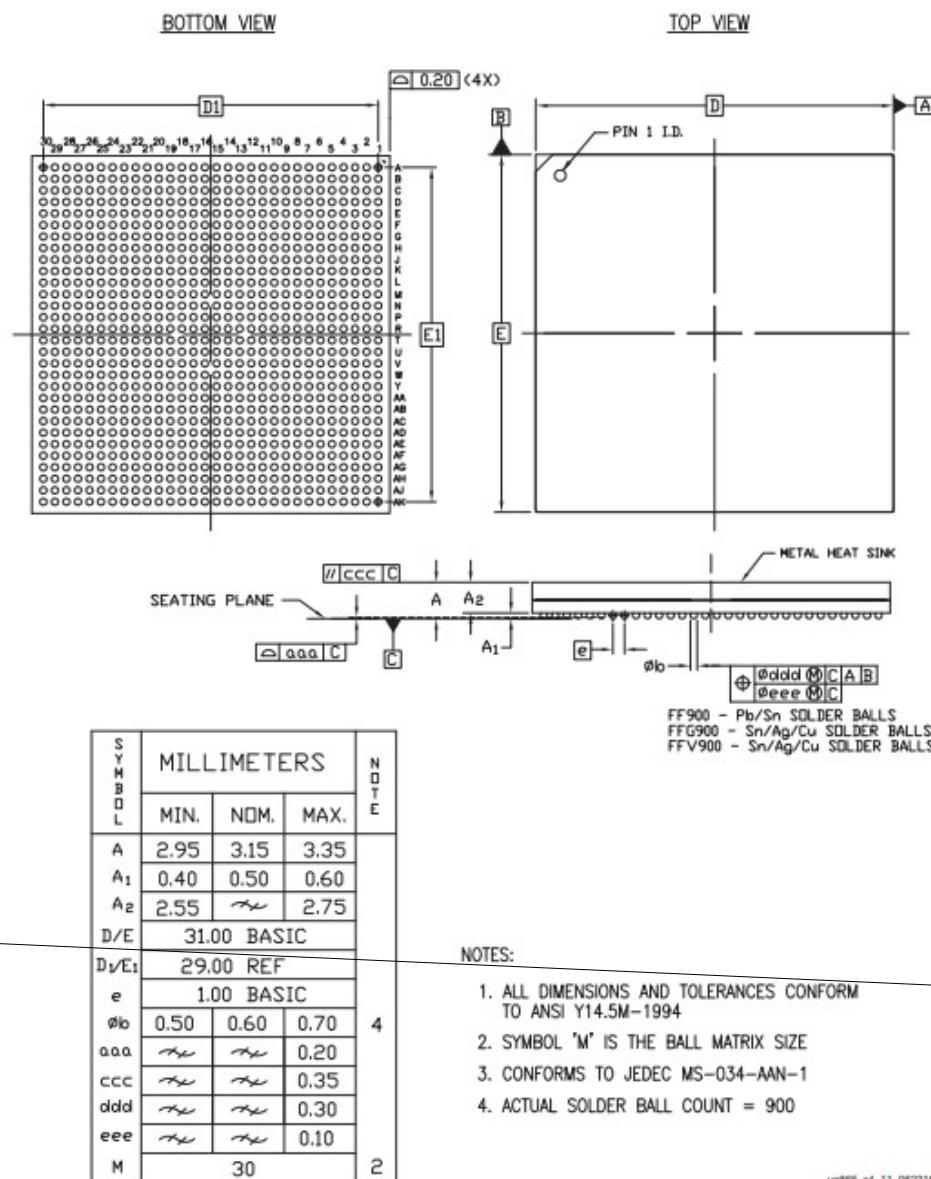
FFG900/FFV900**FFG900/FFV900 (XC7Z035, XC7Z045, and XC7Z100)  
Flip-Chip BGA (1.0 mm Pitch)**

Figure 4-14: FFG900/FFV900 (XC7Z035, XC7Z045, and XC7Z100) Flip-Chip BGA Package Specifications

**Figura 145 - FFG900/FFV900**

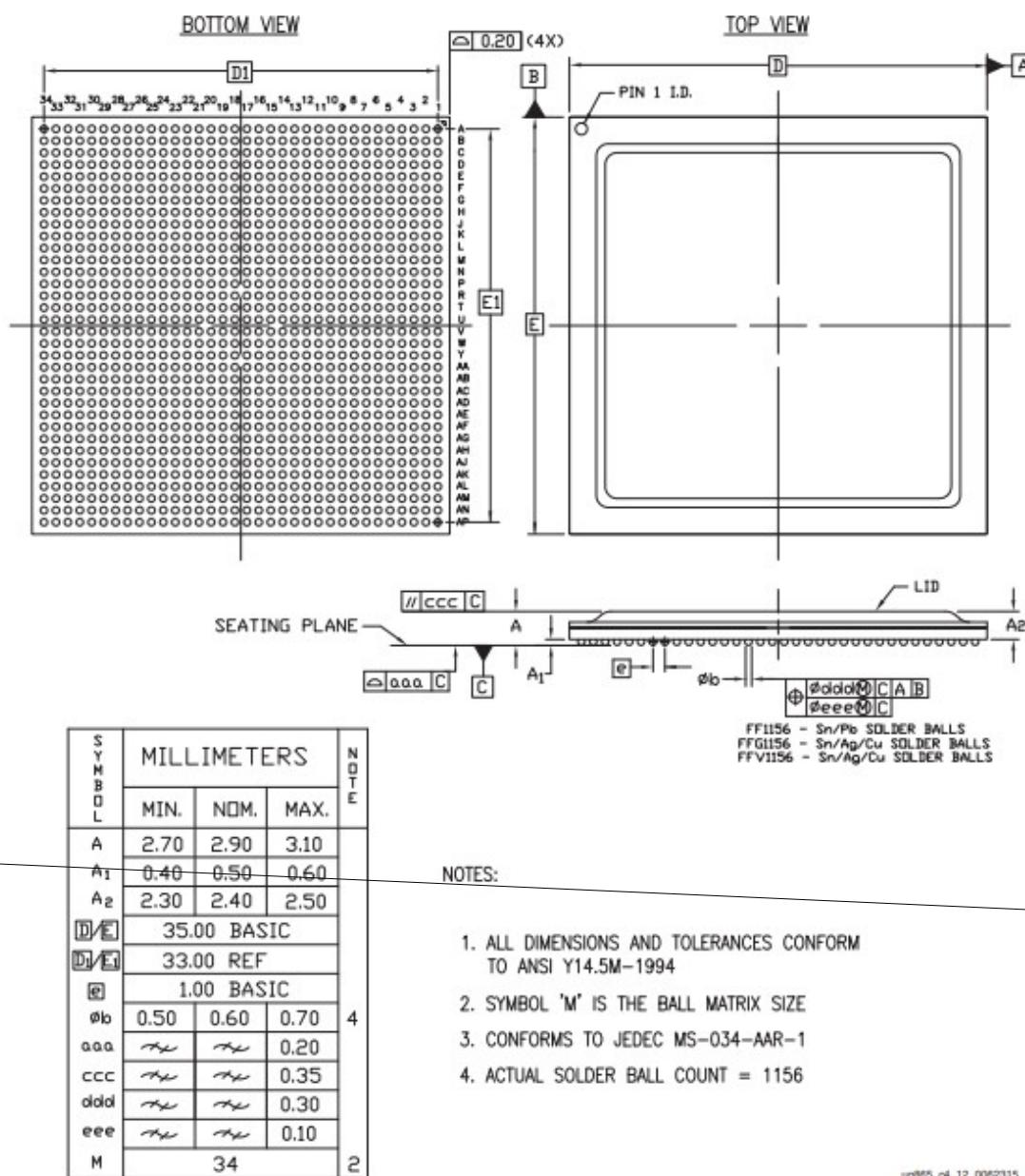
FFG1156/FFV1156**FFG1156/FFV1156 (XC7Z100)  
Flip-Chip BGA (1.0 mm Pitch)**

Figure 4-15: FFG1156/FFV1156 Flip-Chip BGA Package Specifications for XC7Z100

**Figura 146 - FFG1156/FFV1156**

RB484

## RB484 Ruggedized Flip-Chip BGA (XQ7Z030) (1.0 mm Pitch)

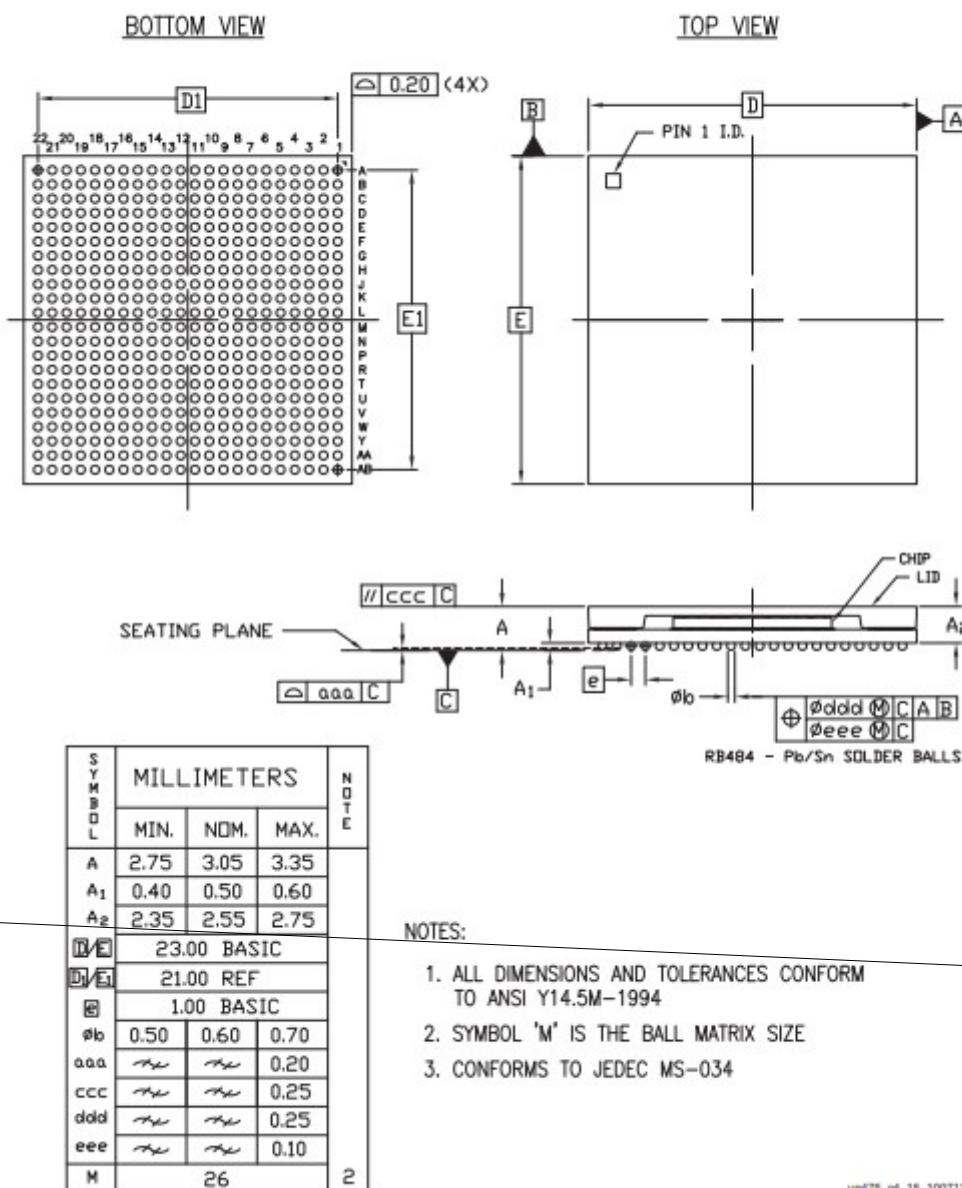


Figure 4-16: RB484 Ruggedized Flip-Chip BGA Package Specifications for XQ7Z030

**Figura 147 - RB484**

RF676/RFG676

**RF676 (XQ7Z030 and XQ7Z045) and  
RFG676 (XQ7Z045) Ruggedized Flip-Chip BGA  
(1.0 mm Pitch)**

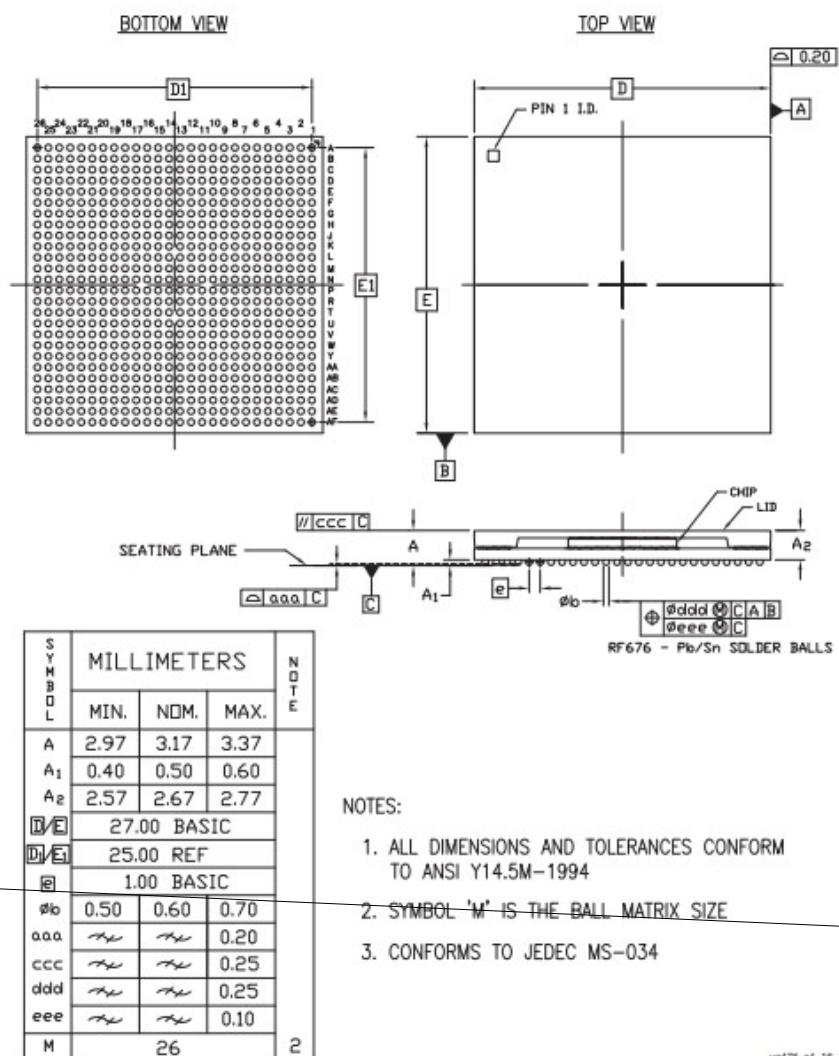
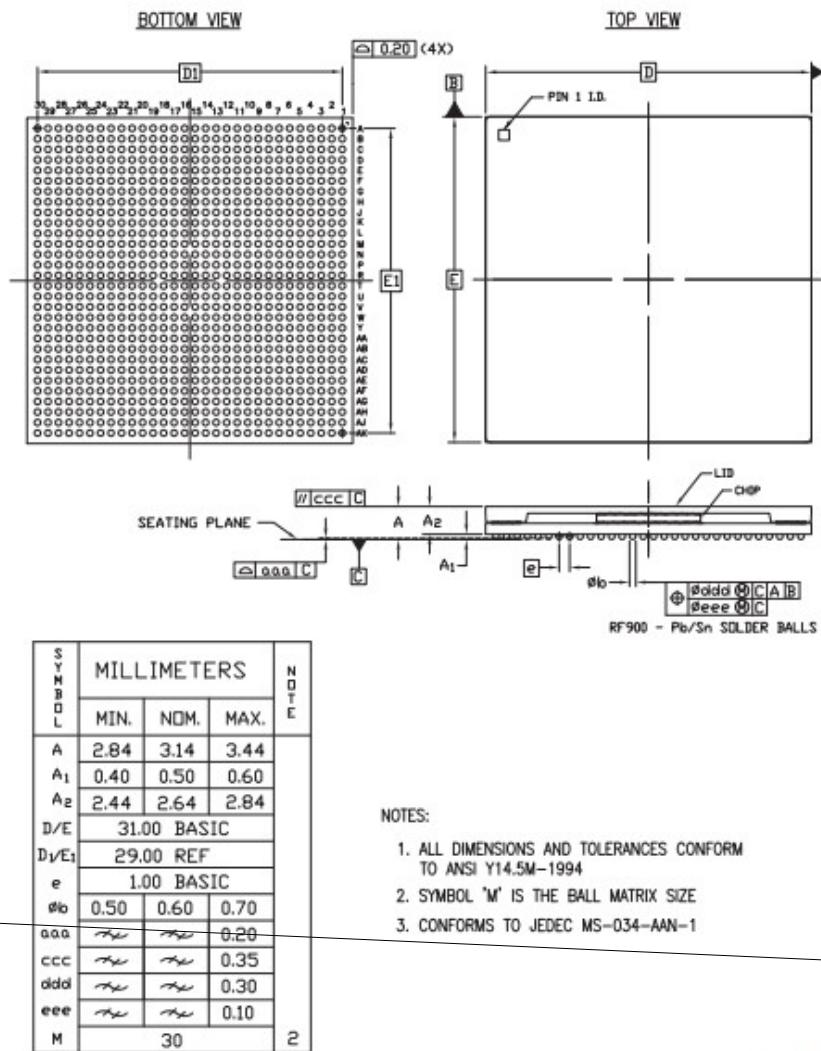


Figure 4-17: RF676/RFG676 Ruggedized Flip-Chip BGA Package Specifications for XQ7Z030 and XQ7Z045

**Figura 148 - RF676/RFG676**

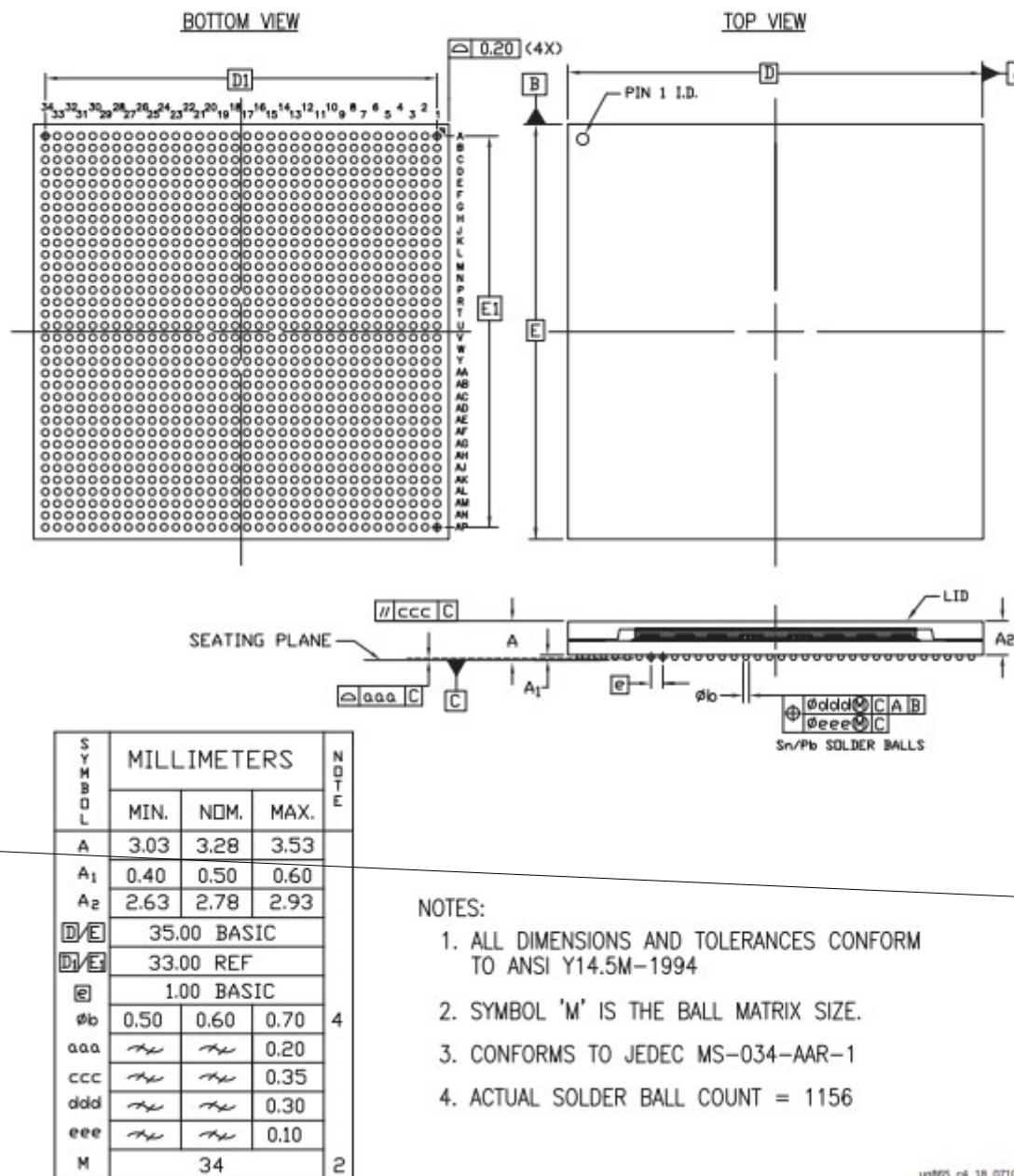
RF900

**RF900 (XQ7Z045 and XQ7Z100)  
Ruggedized Flip-Chip BGA (1.0 mm Pitch)**



*Figure 4-18: RF900 Ruggedized Flip-Chip BGA Package Specifications for the XQ7Z045 and XQ7Z100*

**Figura 149 - RF900**

RF1156**RF1156 (XQ7Z100) Ruggedized Flip-Chip BGA  
(1.0 mm Pitch)**

ug865\_c4\_18\_071014

Figure 4-19: RF1156 Ruggedized Flip-Chip BGA Package Specifications for the XQ7Z100

**Figura 150 - RF1156**

## Anexo 2 - Encapsulados Zynq-UltraScale+

En este anexo se va a documentar los diferentes formatos de encapsulados de la Zynq-UltraScale+ para que cualquiera que los necesite pueda disponer de ellos de forma rápida.

### SBVA484

### **SBVA484 Flip-Chip, Fine-Pitch BGA (XCZU2, XCZU3, XAZU2EG, and XAZU3EG)**

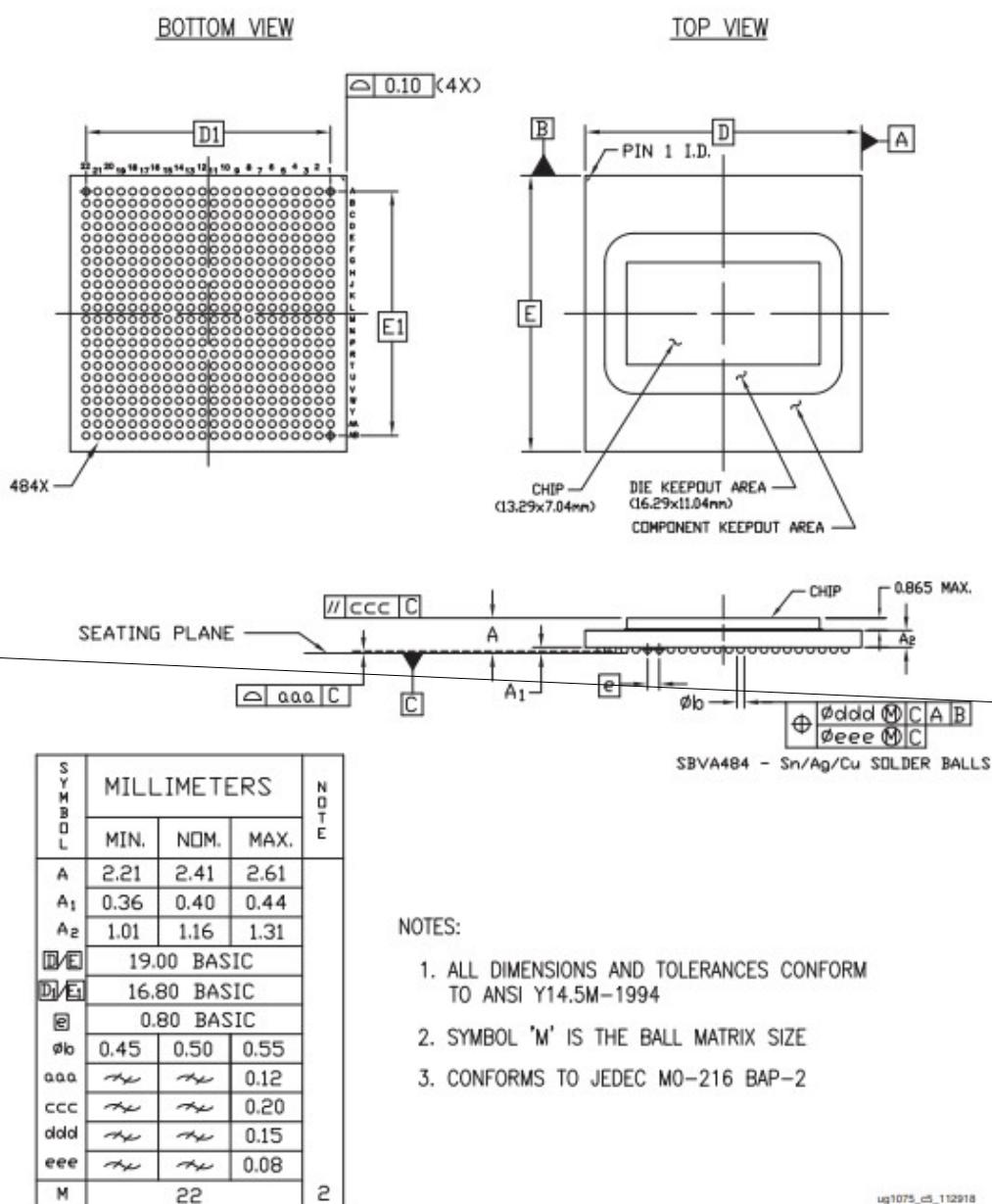


Figure 5-1: Package Dimensions for SBVA484 (XCZU2, XCZU3, XAZU2EG, and XAZU3EG)

**Figura 151 - SBVA484**

## SFRA484

### SFRA484 Flip-Chip, Fine-Pitch BGA (XQZU3EG)

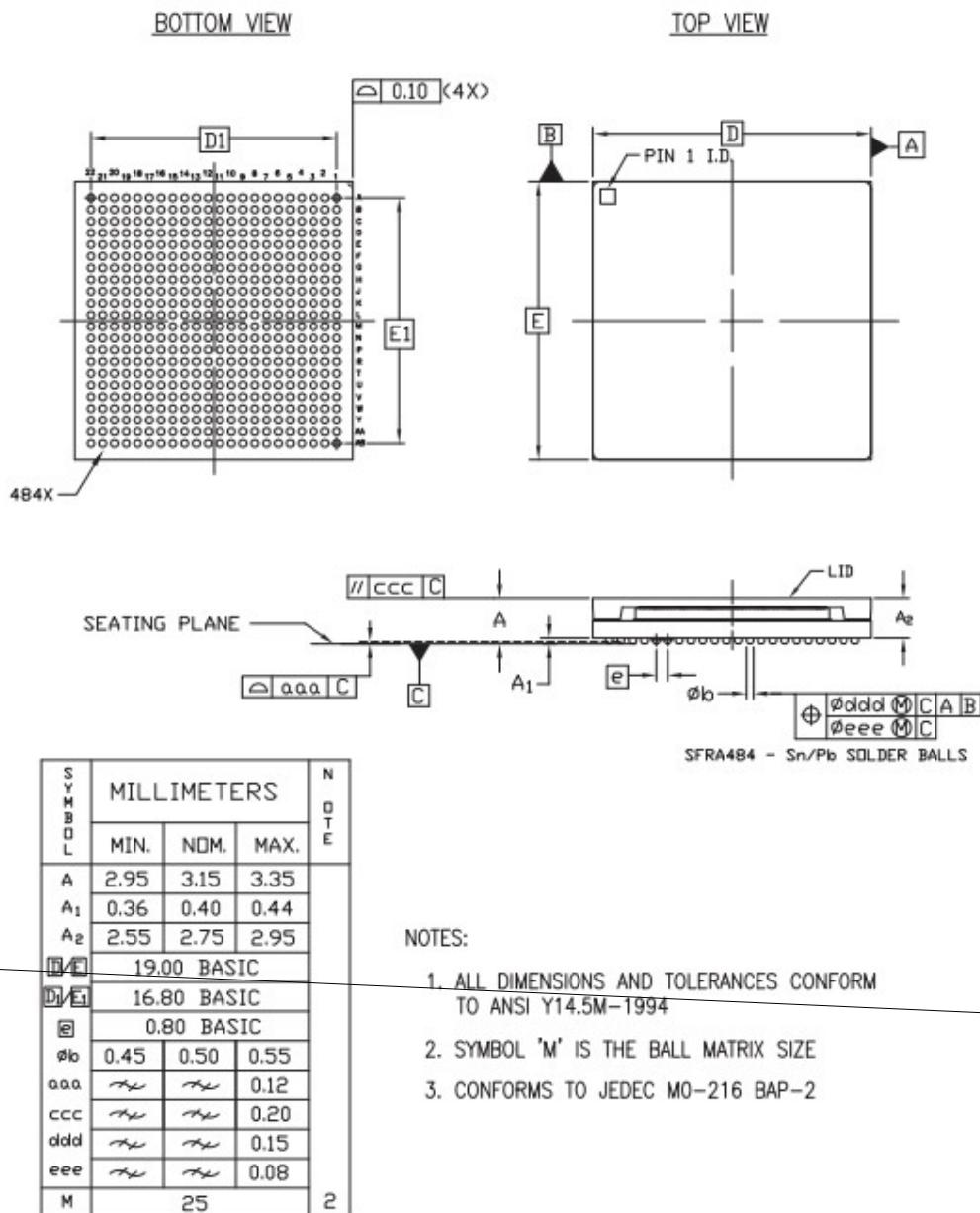


Figure 5-2: Package Dimensions for SFRA484 (XQZU3EG)

Figura 152 - SFRA484

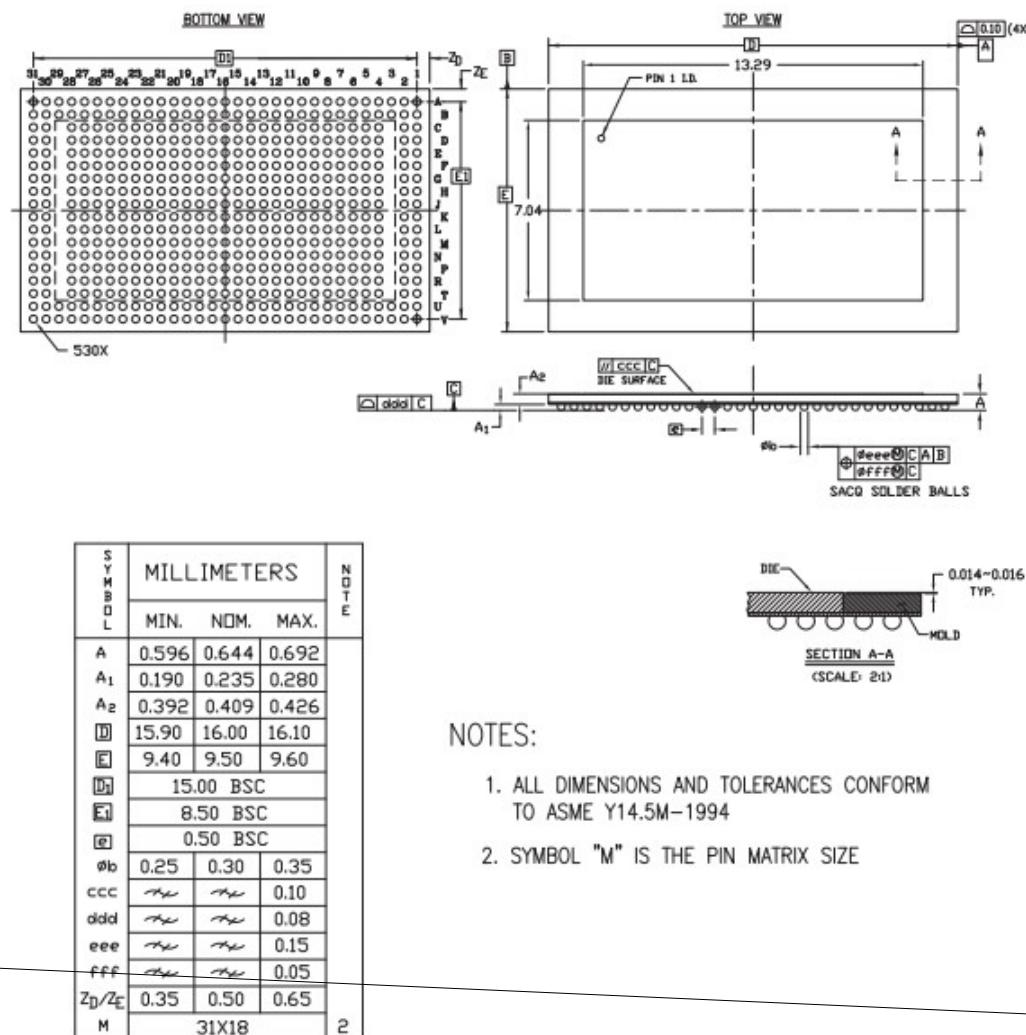
UBVA530**UBVA530 Flip-Chip, Fine-Pitch BGA (XCZU2, XCZU3)**

Figure 5-3: Package Dimensions for UBVA530 (XCZU2, XCZU3)

**Figura 153 - UBVA530**

SFVA625

**SFVA625 Flip-Chip, Fine-Pitch BGA (XCZU2, XCZU3, XAZU2EG, and XAZU3EG)**

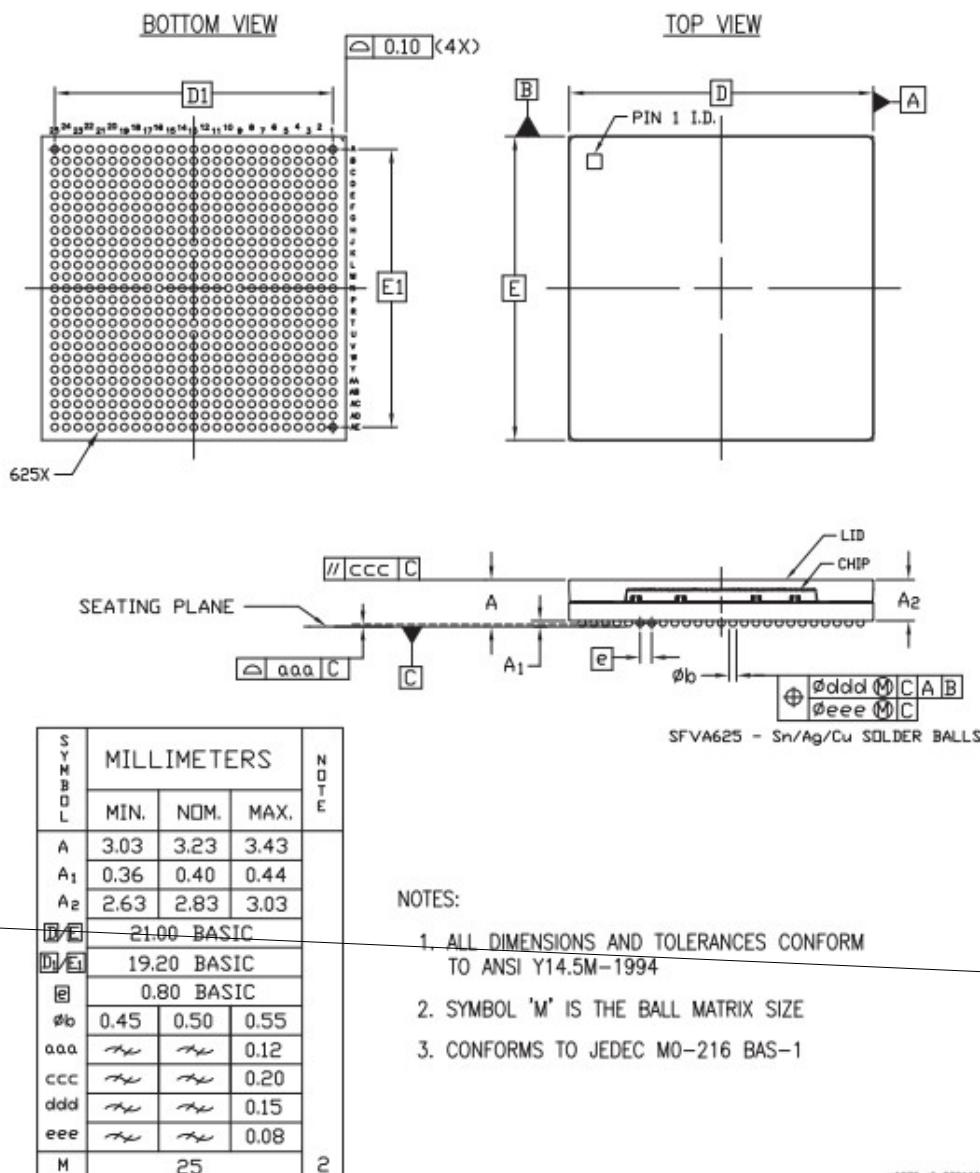


Figure 5-4: Package Dimensions for SFVA625 (XCZU2, XCZU3, XAZU2EG, and XAZU3EG)

**Figura 154 - SFVA625**

## SFRC784

### SFRC784 Ruggedized Flip-Chip BGA (XQZU3EG and XQZU5EV)

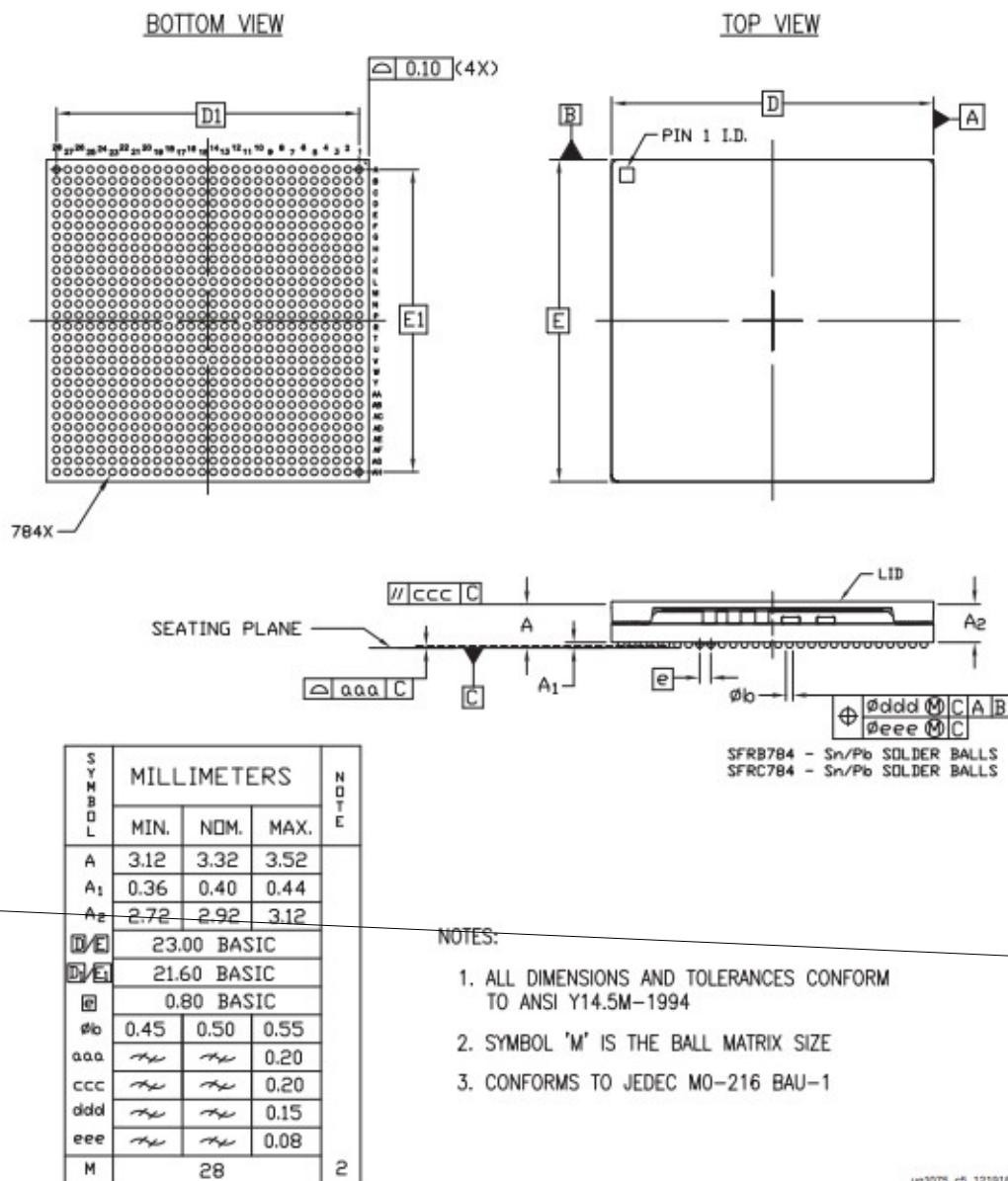


Figure 5-5: Package Dimensions for SFRC784 (XQZU3EG and XQZU5EV)

Figura 155 - SFRC784

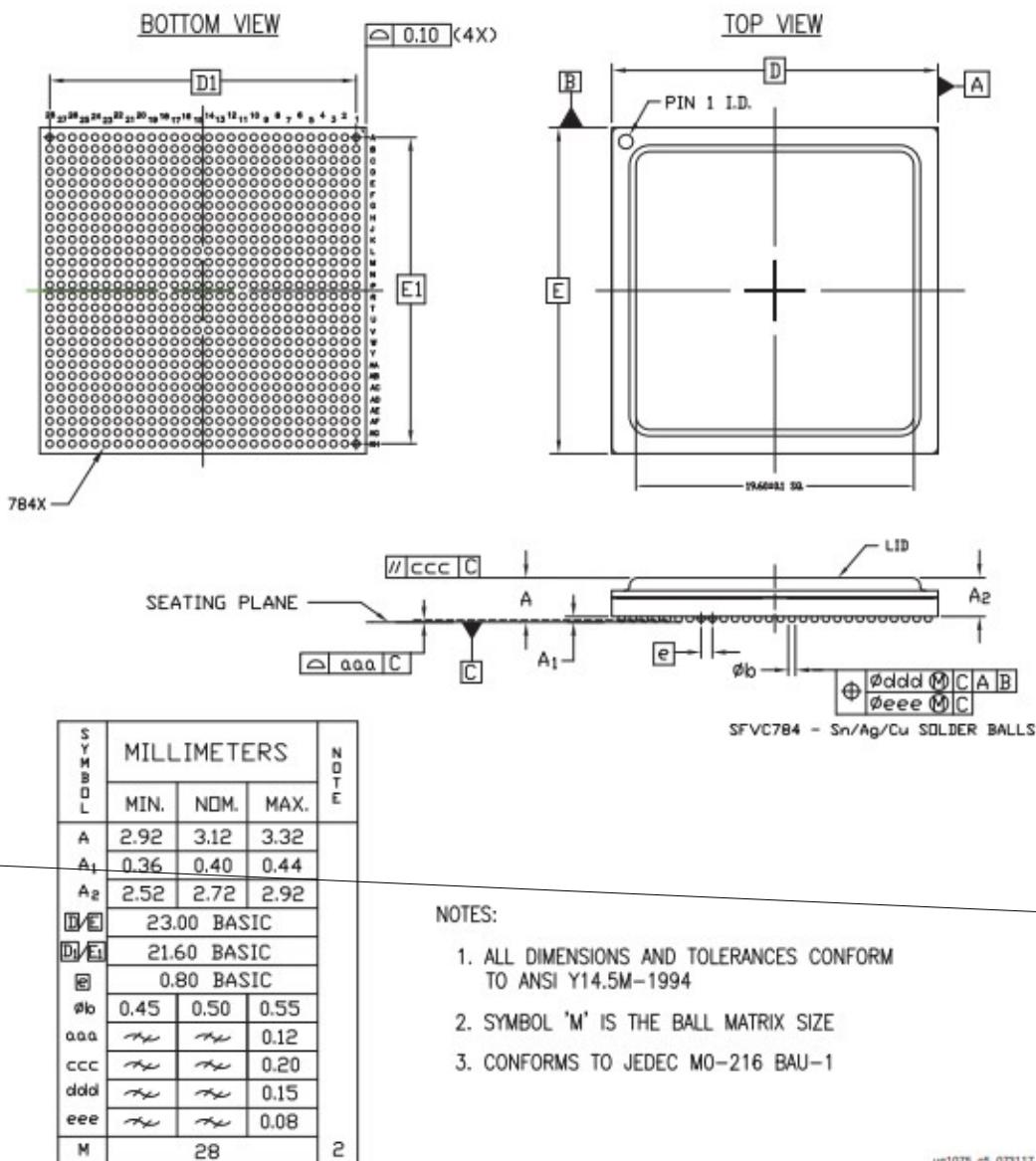
SFVC784**SFVC784 Flip-Chip, Fine-Pitch BGA (XCZU2, XAZU2EG, XCZU3, XAZU3EG, XCZU4, XAZU4EV, XCZU5, and XAZU5EV)**

Figure 5-6: Package Dimensions for SFVC784 (XCZU2, XAZU2EG, XCZU3, XAZU3EG, XCZU4, XAZU4EV, XCZU5, and XAZU5EV)

**Figura 156 - SFVC784**

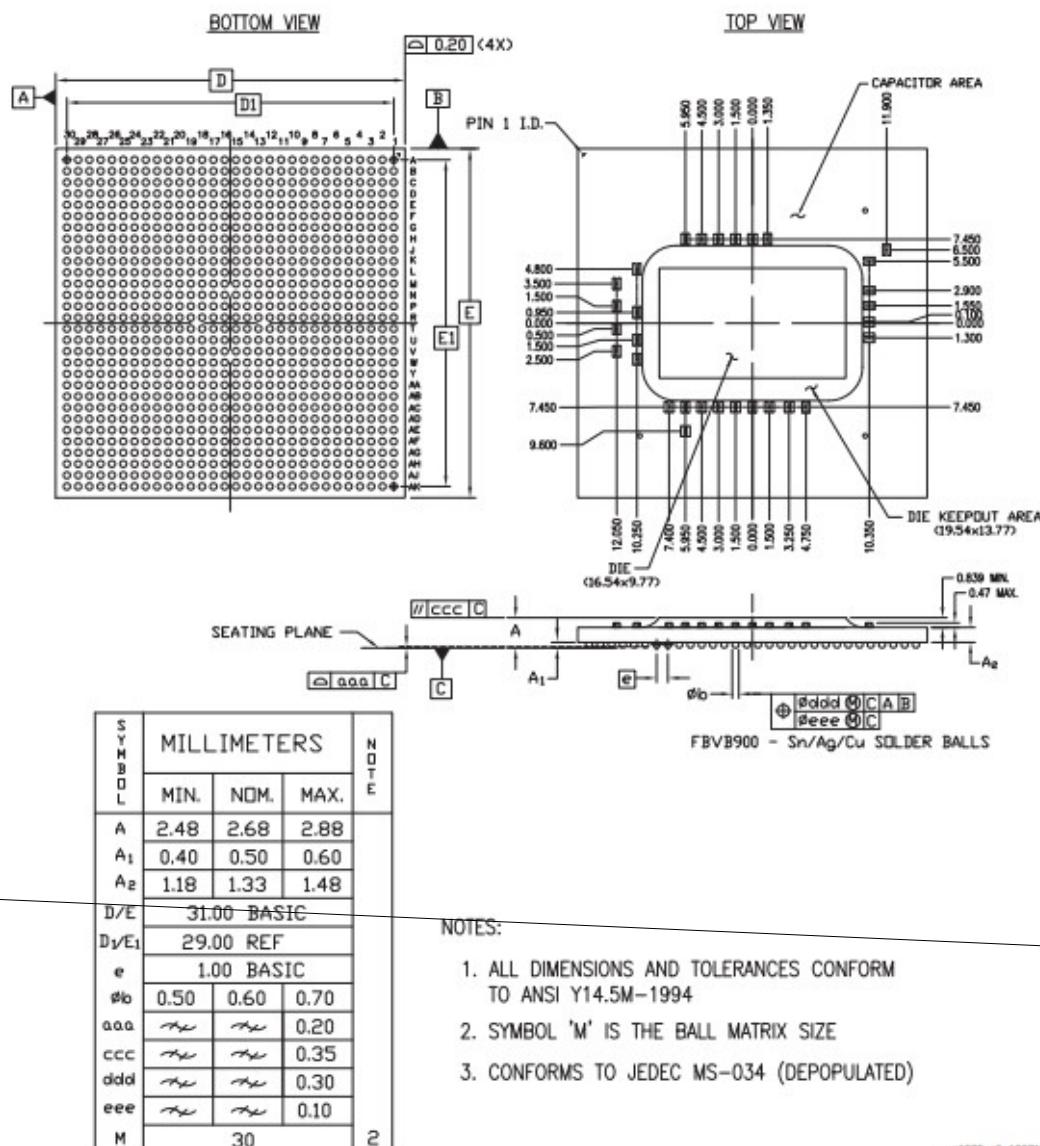
FBVB900**FBVB900 Flip-Chip, Fine-Pitch BGA (XCZU4CG, XCZU4EG, XCZU4EV, XCZU5CG, XCZU5EG, and XCZU5EV)**

Figure 5-7: Package Dimensions for FBVB900  
(XCZU4CG, XCZU4EG, XCZU4EV, XCZU5CG, XCZU5EG, and XCZU5EV)

**Figura 157 - FBVB900**

## FBVB900 Flip-Chip, Fine-Pitch BGA (XCZU7CG, XCZU7EG, XCZU7EV, and XAZU7EV)

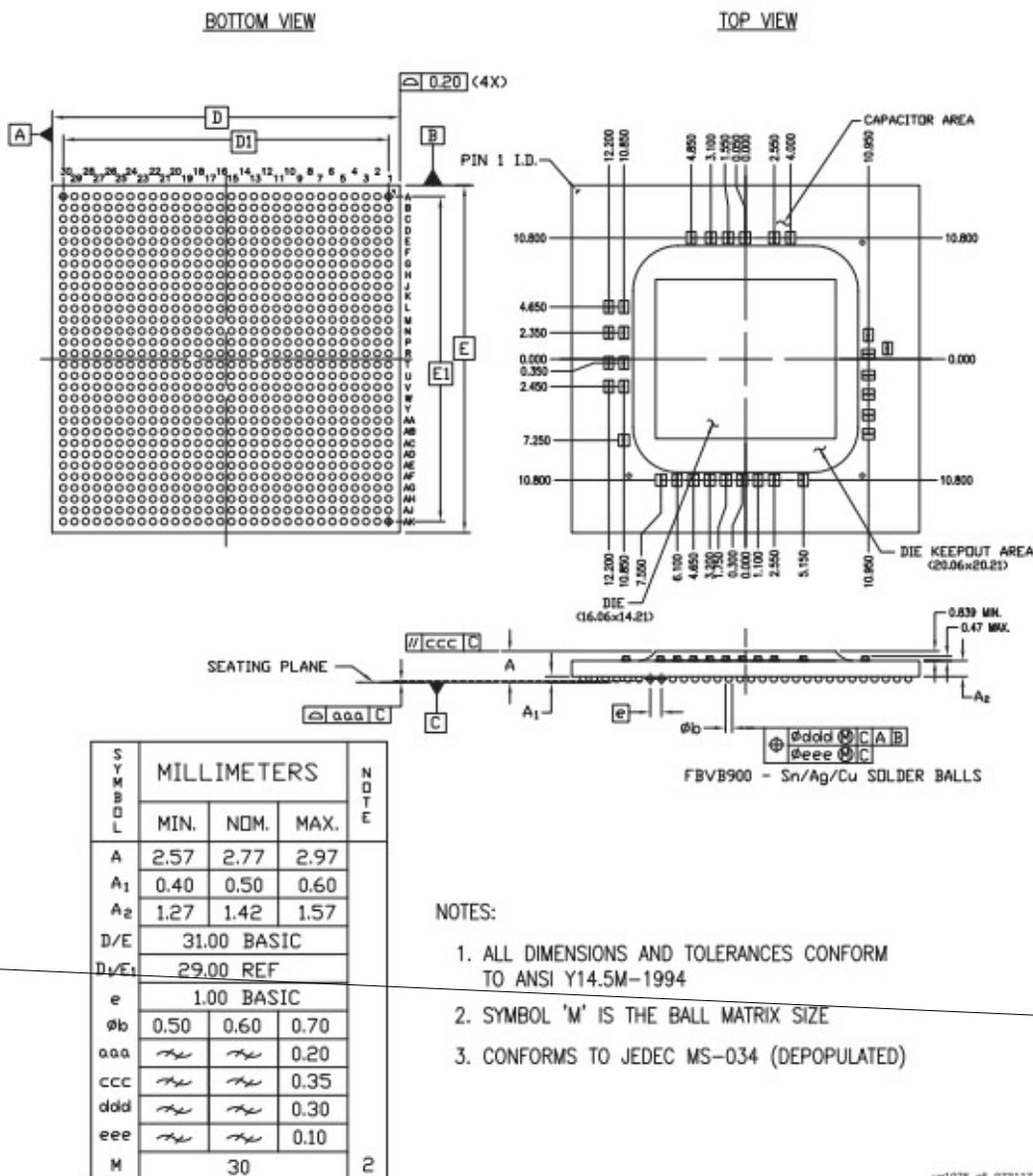


Figure 5-8: Package Dimensions for FBVB900 (XCZU7CG, XCZU7EG, XCZU7EV, and XAZU7EV)

Figura 158 - FBVB900(2)

## FFRB900

### FFRB900 (XQZU7EV) Ruggedized Flip-Chip BGA

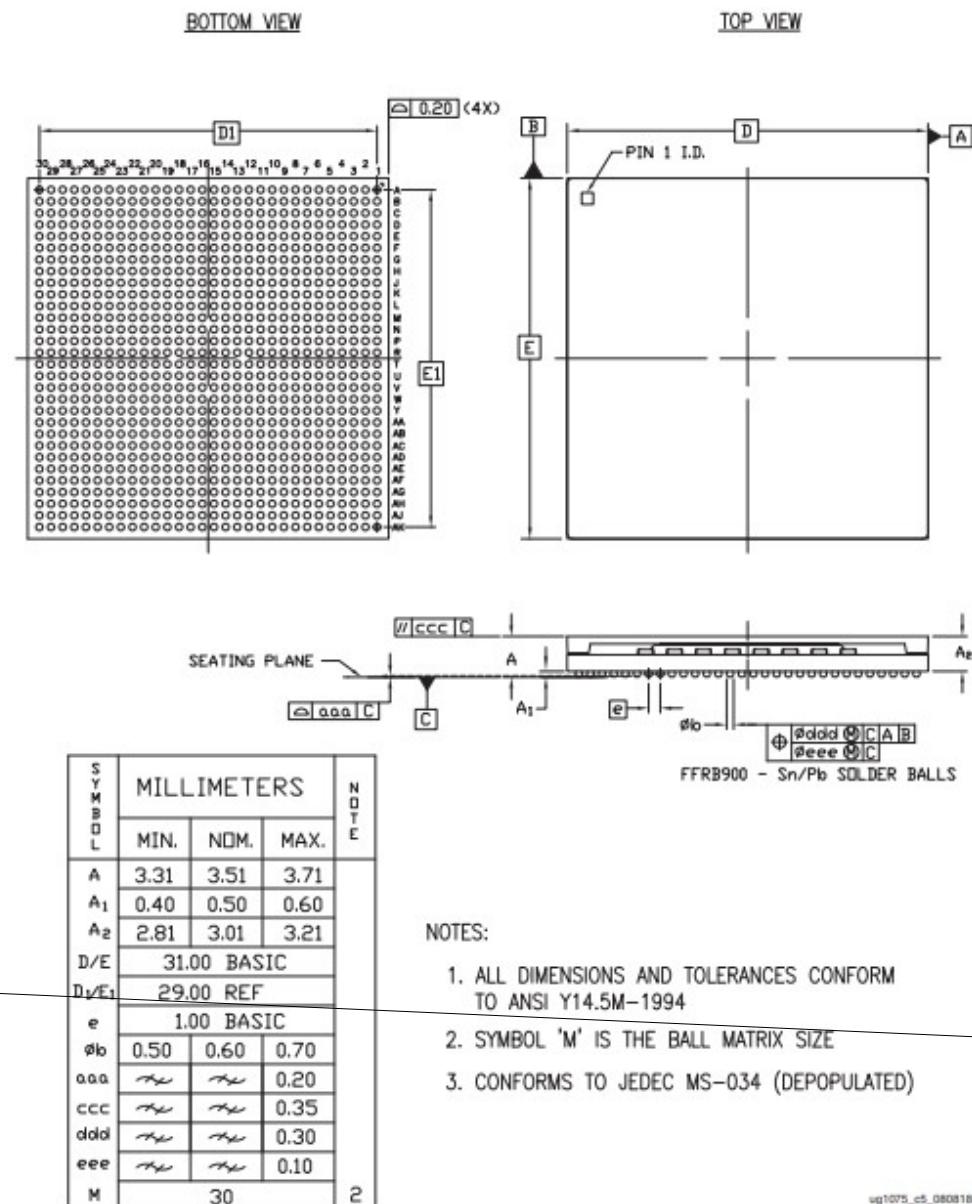


Figure 5-9: Package Dimensions for FFRB900 (XQZU7EV)

**Figura 159 - FFRB900**

## FFRB900/FFRC900

### **FFRB900 (XQZU5EV) and FFRC900 (XQZU9EG and XQZU15EG) Ruggedized Flip-Chip BGA**

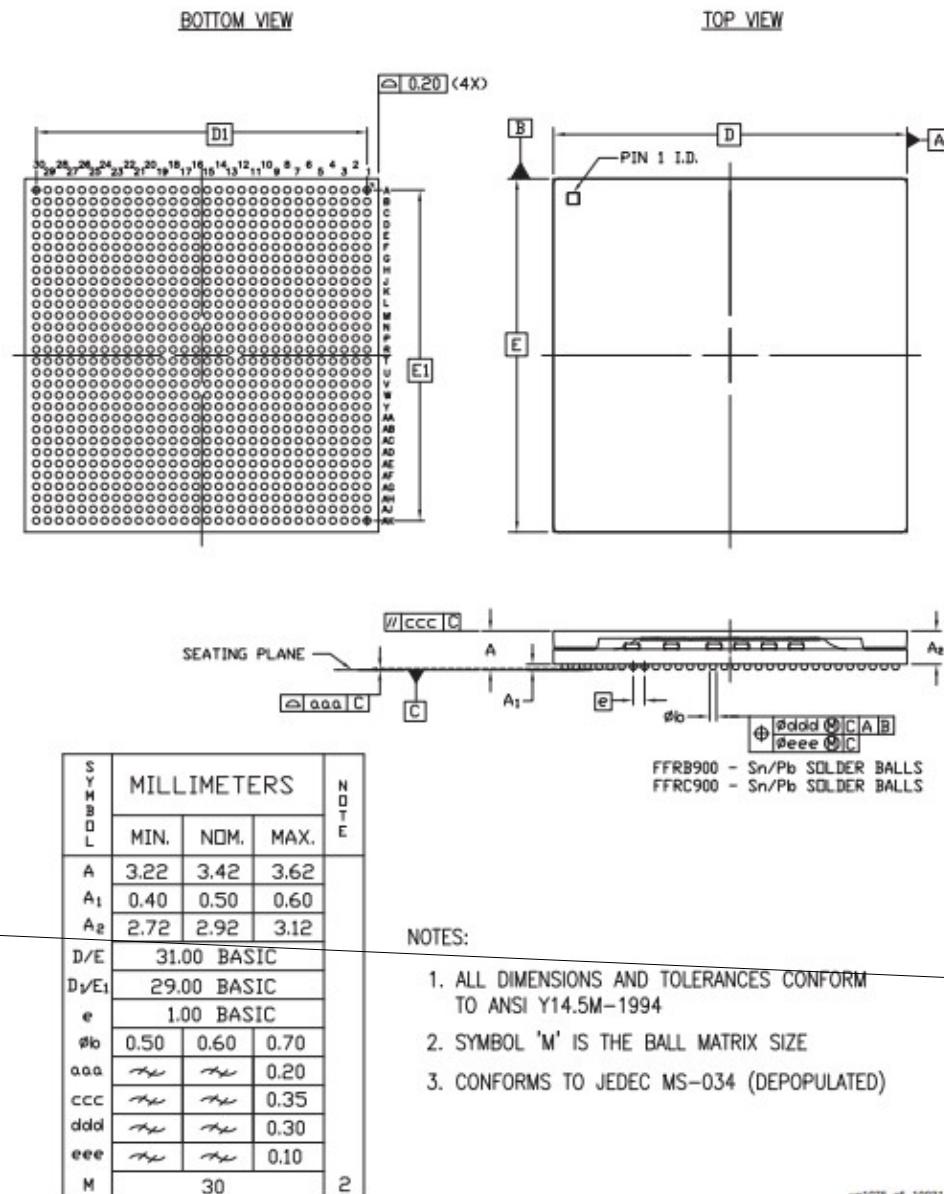


Figure 5-10: Package Dimensions for FFRB900 (XQZU5EV) and FFRC900 (XQZU9EG and XQZU15EG)

**Figura 160 - FFRB900/FFRC900**

## FFVC900

### FFVC900 Flip-Chip, Fine-Pitch BGA (XCZU6CG, XCZU6EG, XCZU9CG, XCZU9EG, and XCZU15EG)

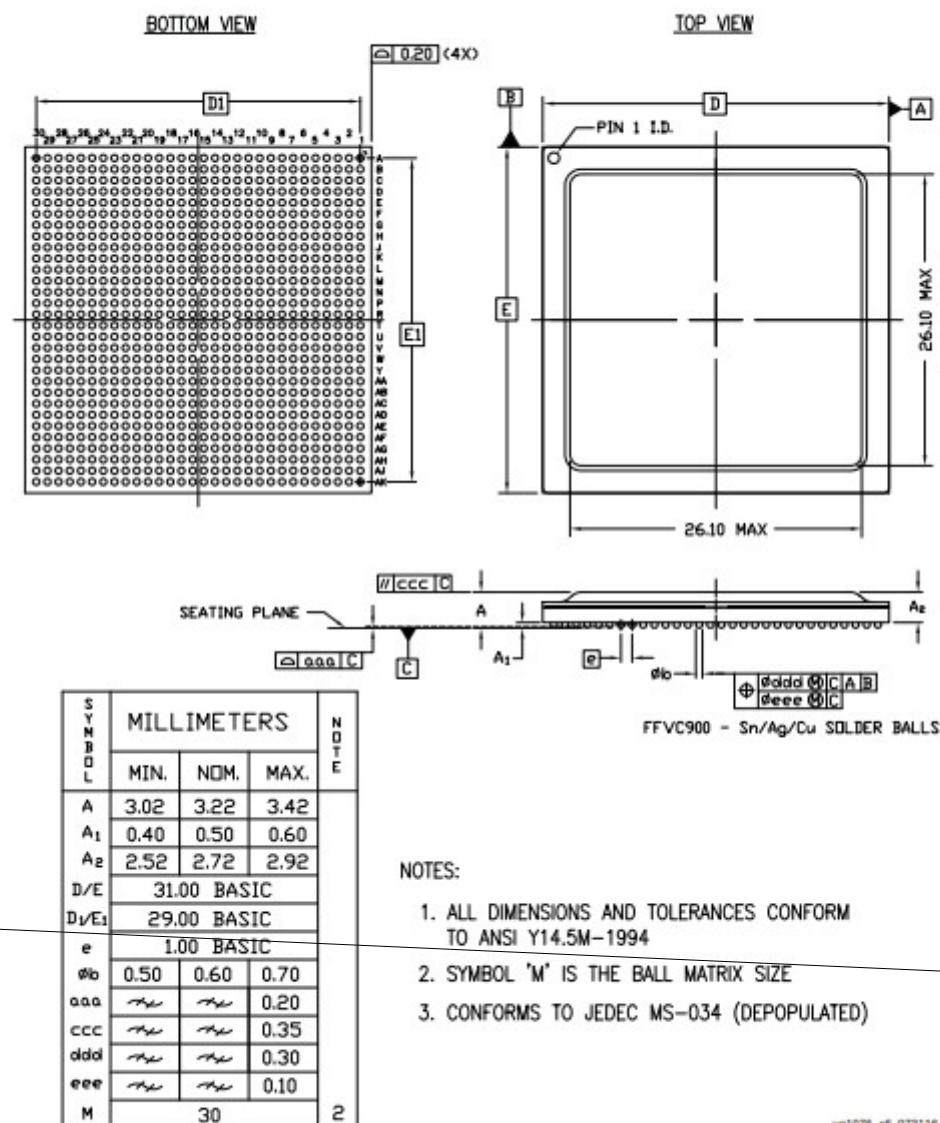


Figure 5-11: Package Dimensions for FFVC900 (XCZU6CG, XCZU6EG, XCZU9CG, XCZU9EG, and XCZU15EG)

**Figura 161 - FFVC900**

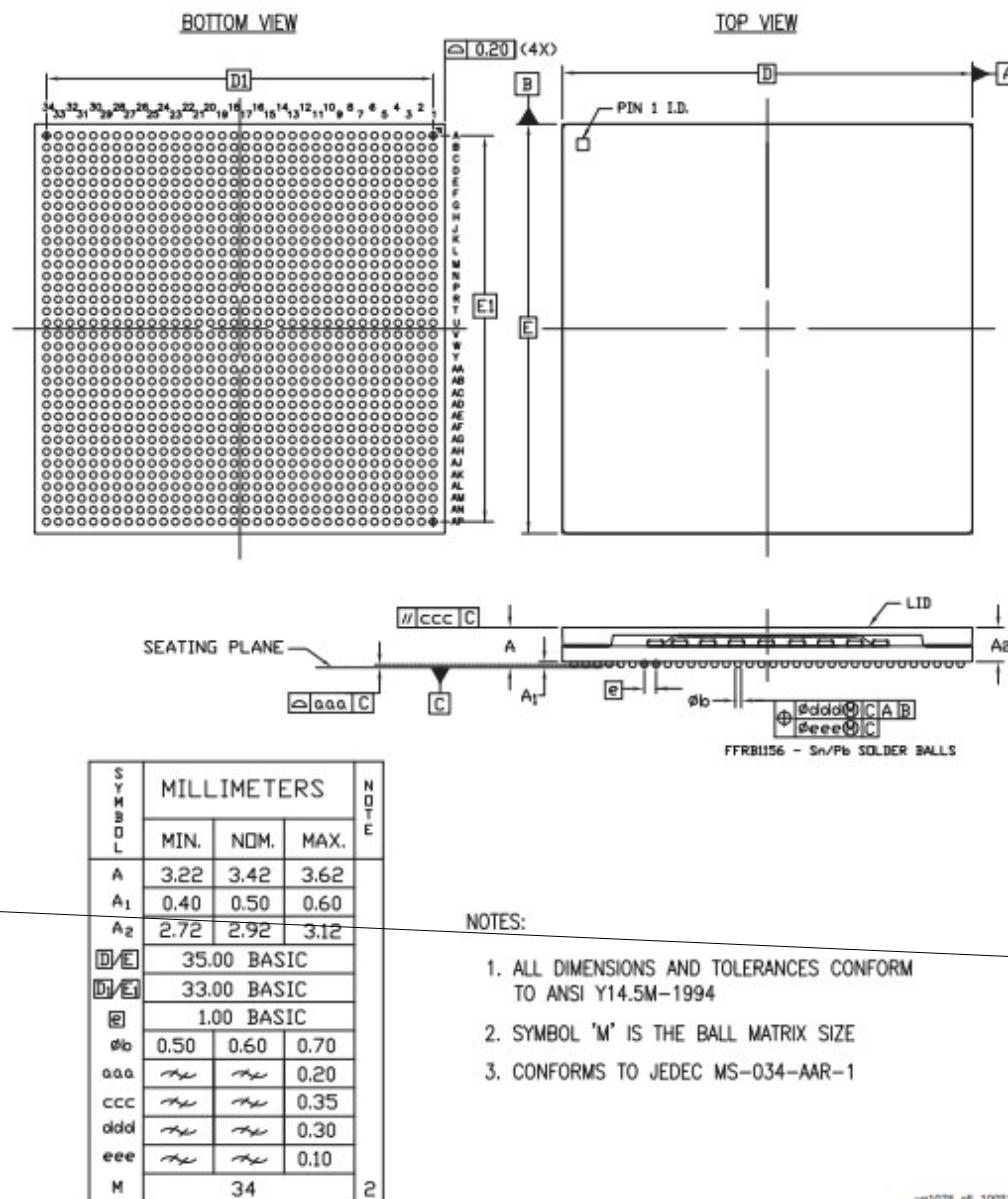
FFRB1156**FFRB1156 Ruggedized Flip-Chip BGA (XQZU9EG and XQZU15EG)**

Figure 5-12: Package Dimensions for FFRB1156 (XQZU9EG and XQZU15EG)

**Figura 162 - FFRB1156**

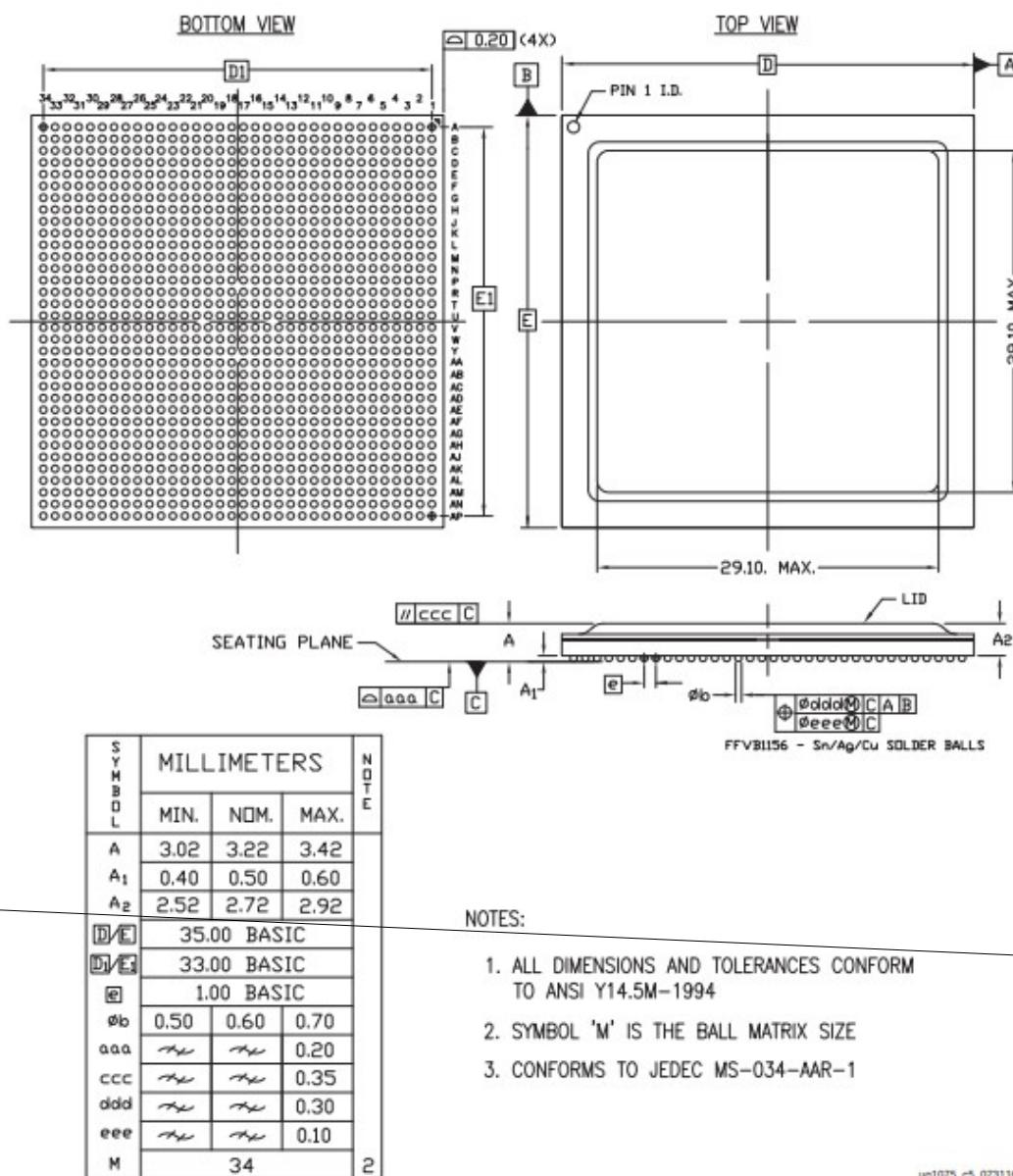
FFVB1156**FFVB1156 Flip-Chip, Fine-Pitch BGA (XCZU6CG, XCZU6EG, XCZU9CG, XCZU9EG, and XCZU15EG)**

Figure 5-13: Package Dimensions for FFVB1156 (XCZU6CG, XCZU6EG, XCZU9CG, XCZU9EG, and XCZU15EG)

**Figura 163 - FFVB1156**

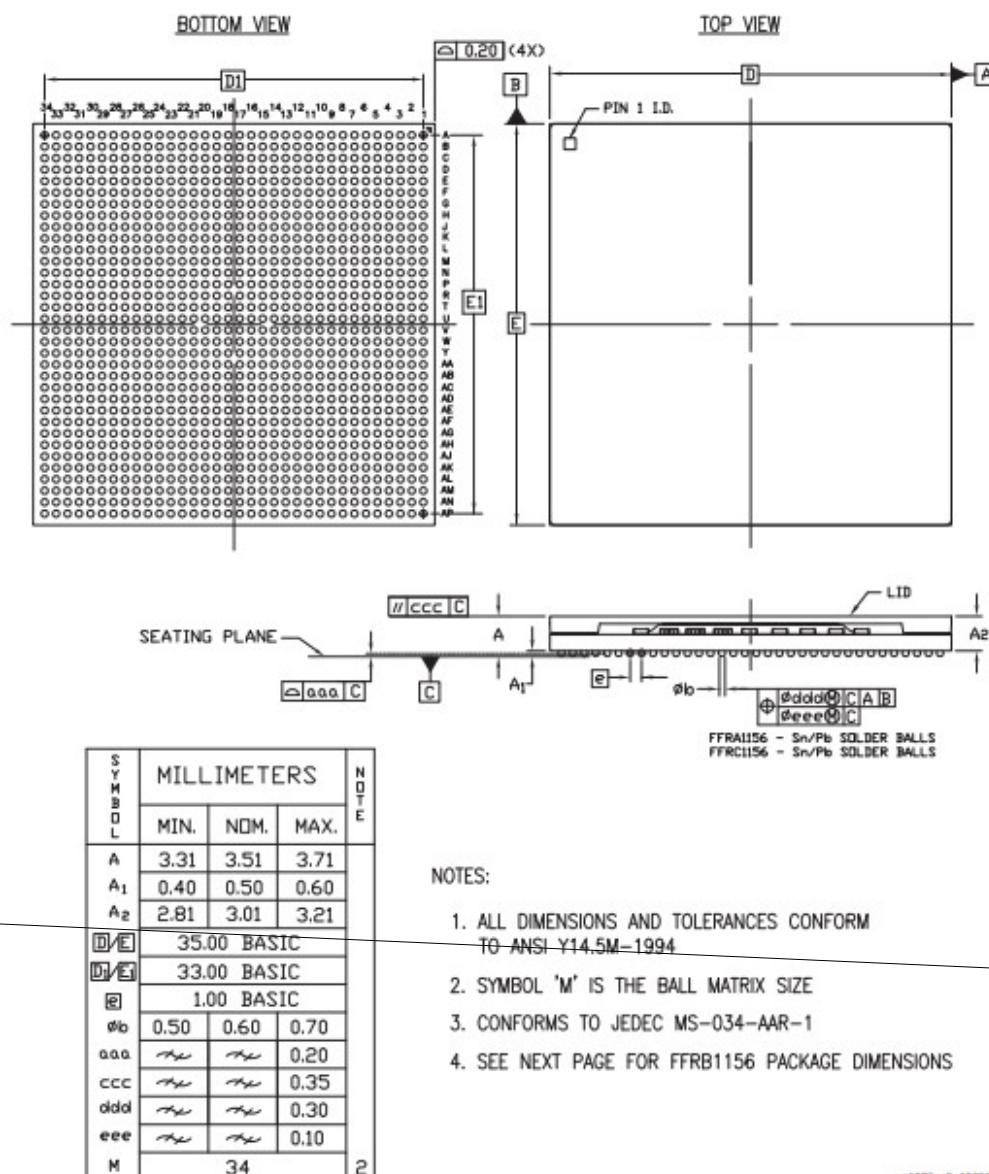
FFRC1156**FFRC1156 Ruggedized Flip-Chip BGA (XQZU7EV and XQZU11EG)**

Figure 5-14: Package Dimensions for FFRC1156 (XQZU7EV and XQZU11EG)

**Figura 164 - FFRC1156**

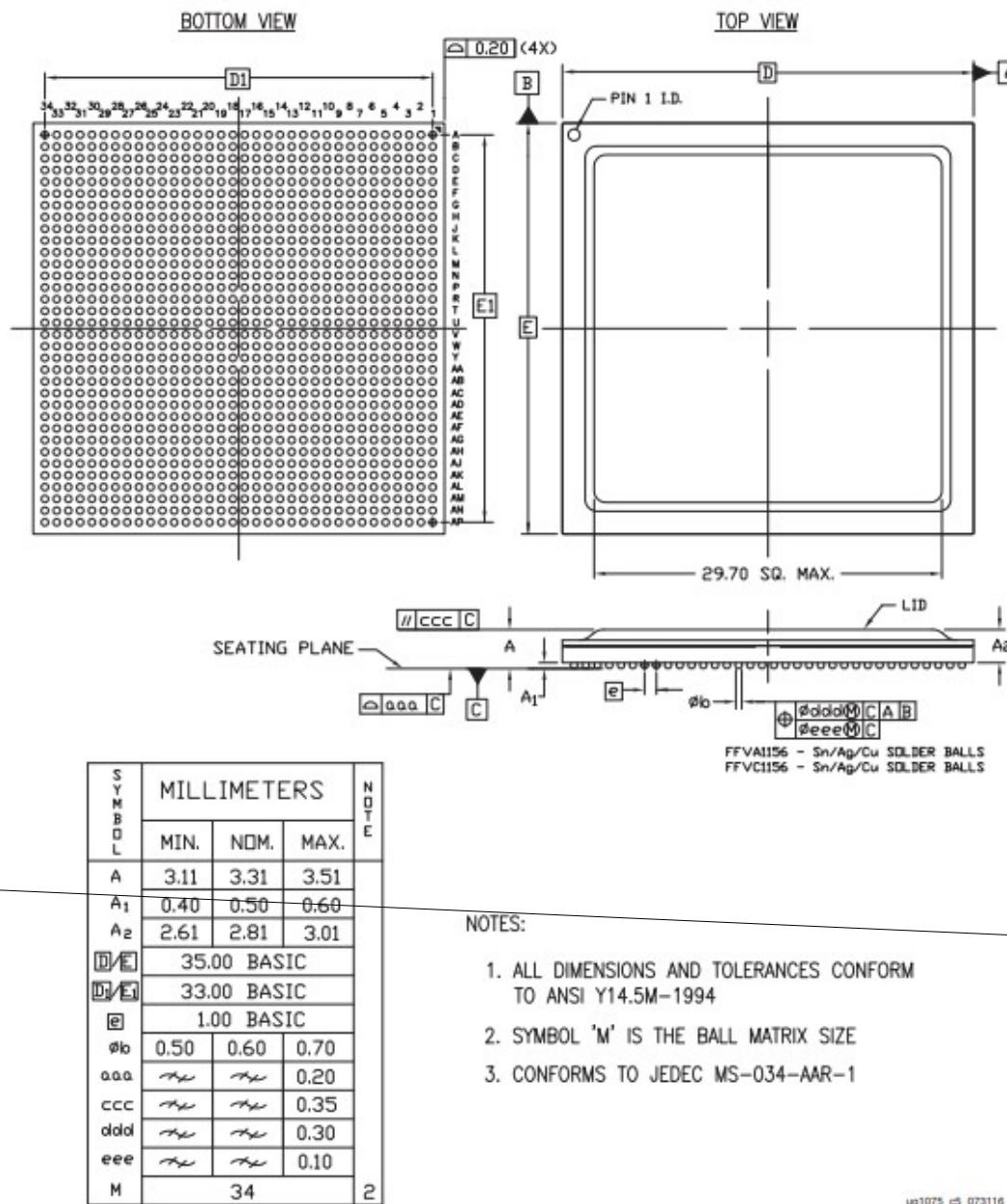
FFVC1156**FFVC1156 Flip-Chip, Fine-Pitch BGA  
(XCZU7CG, XCZU7EG, XCZU7EV, and XCZU11EG)**

Figure 5-15: Package Dimensions for FFVC1156 (XCZU7CG, XCZU7EG, XCZU7EV, and XCZU11EG)

**Figura 165 - FFVC1156**

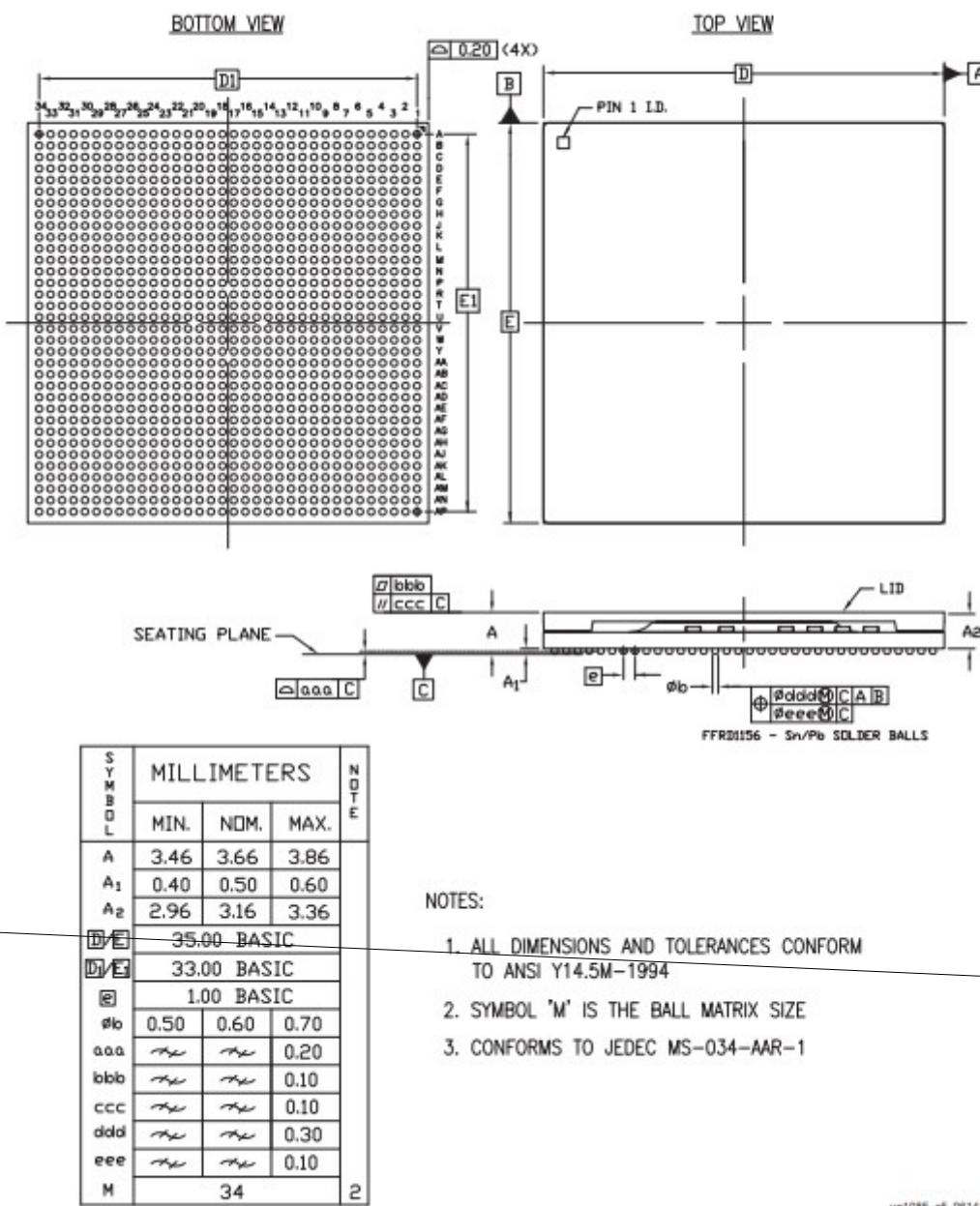
FFRD1156**FFRD1156 (XQZU21DR) Ruggedized Flip-Chip BGA**

Figure 5-16: Package Dimensions for FFRD1156 (XQZU21DR)

**Figura 166 - FFRD1156**

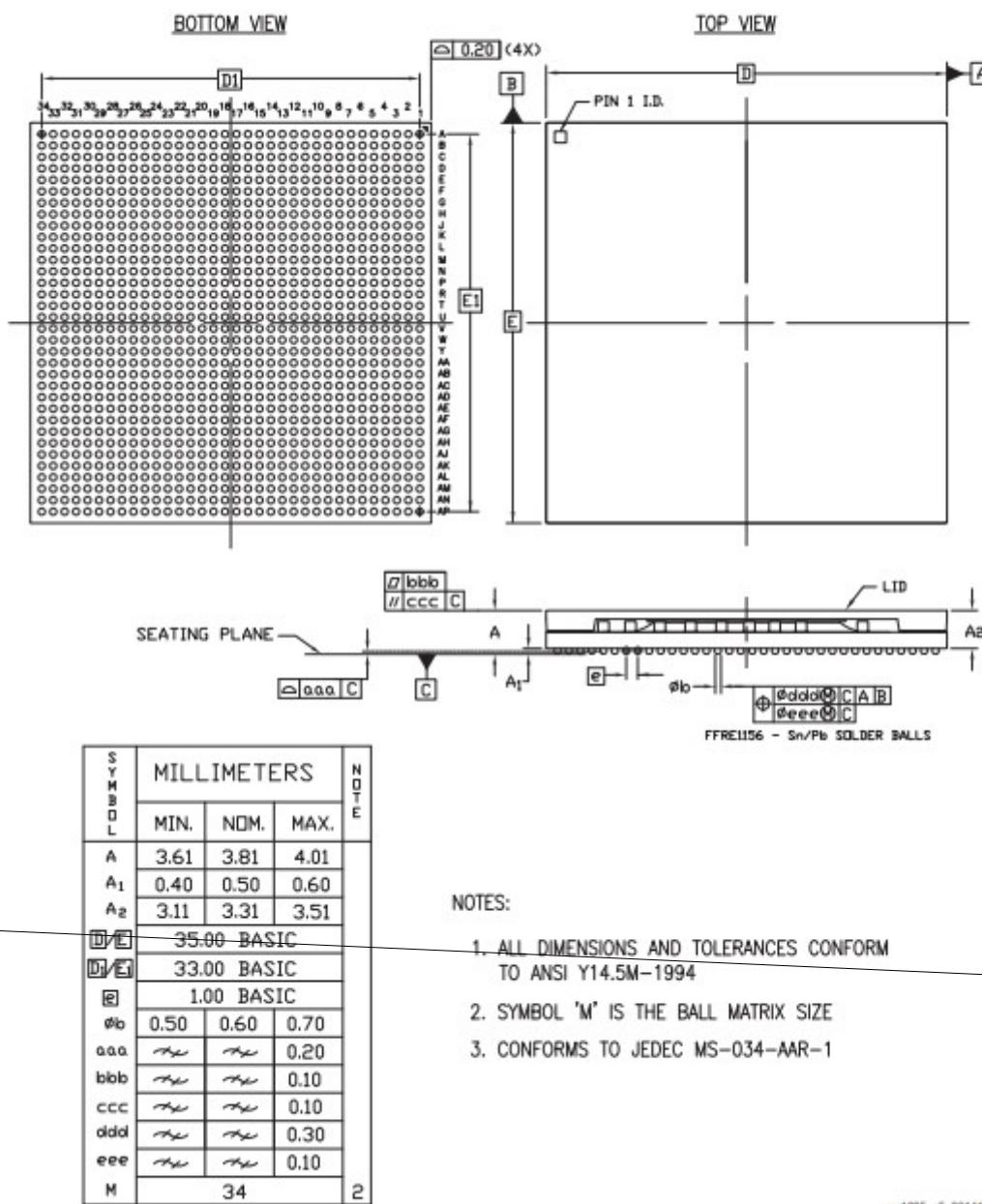
FFRE1156**FFRE1156 (XQZU28DR) Ruggedized Flip-Chip BGA**

Figure 5-17: Package Dimensions for FFRE1156 (XQZU28DR)

**Figura 167 - FFRE1156**

## FFVD1156

### FFVD1156 (XCZU21DR) Flip-Chip, Fine-Pitch BGA

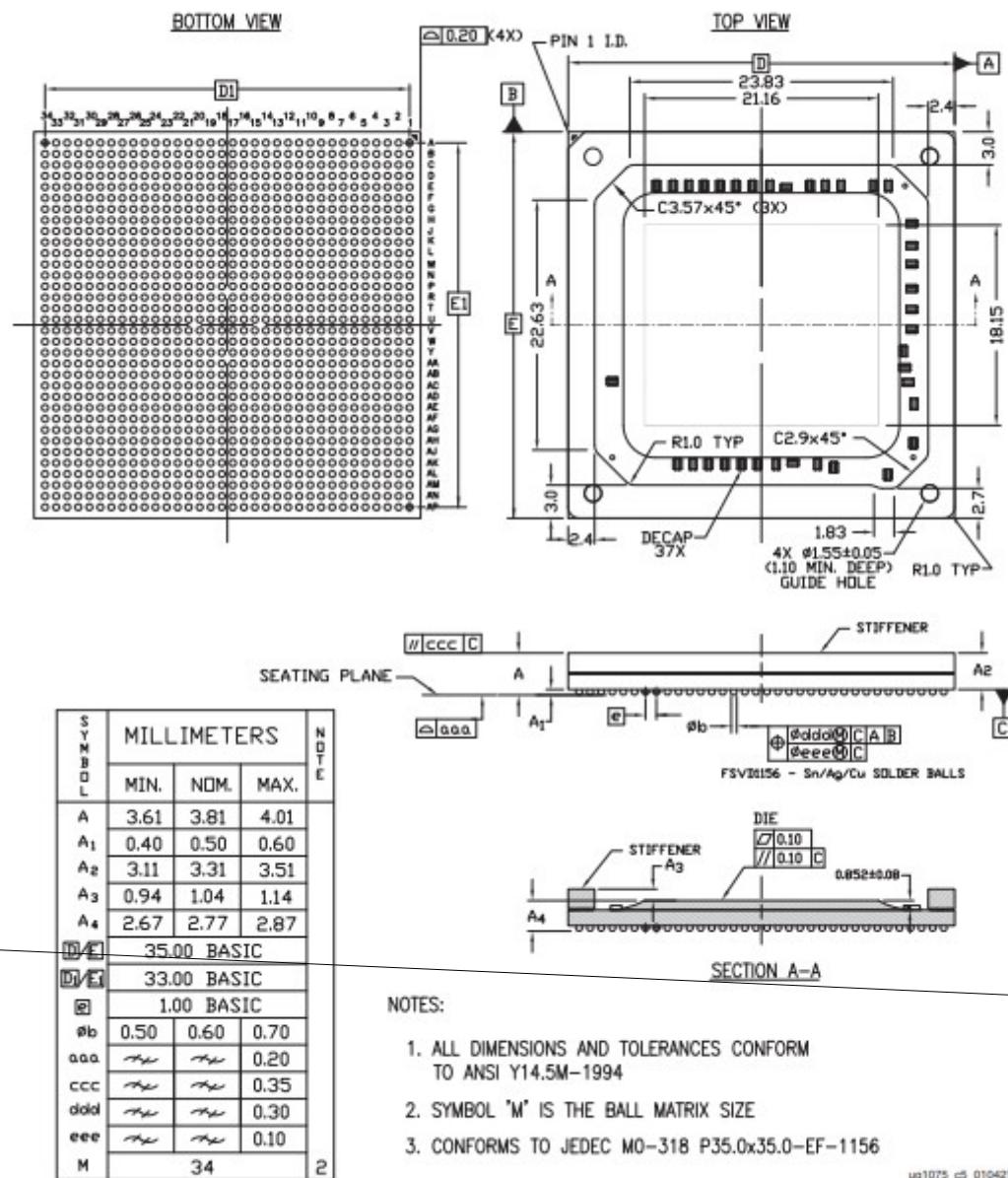


Figure 5-18: Package Dimensions for FFVD1156 (XCZU21DR)

**Figura 168 - FFVD1156**

FFVE1156  
**FFVE1156 (XCZU25DR, XCZU27DR, XCZU28DR,  
XCZU43DR, XCZU47DR, XCZU48DR) Flip-Chip,  
Fine-Pitch BGA**

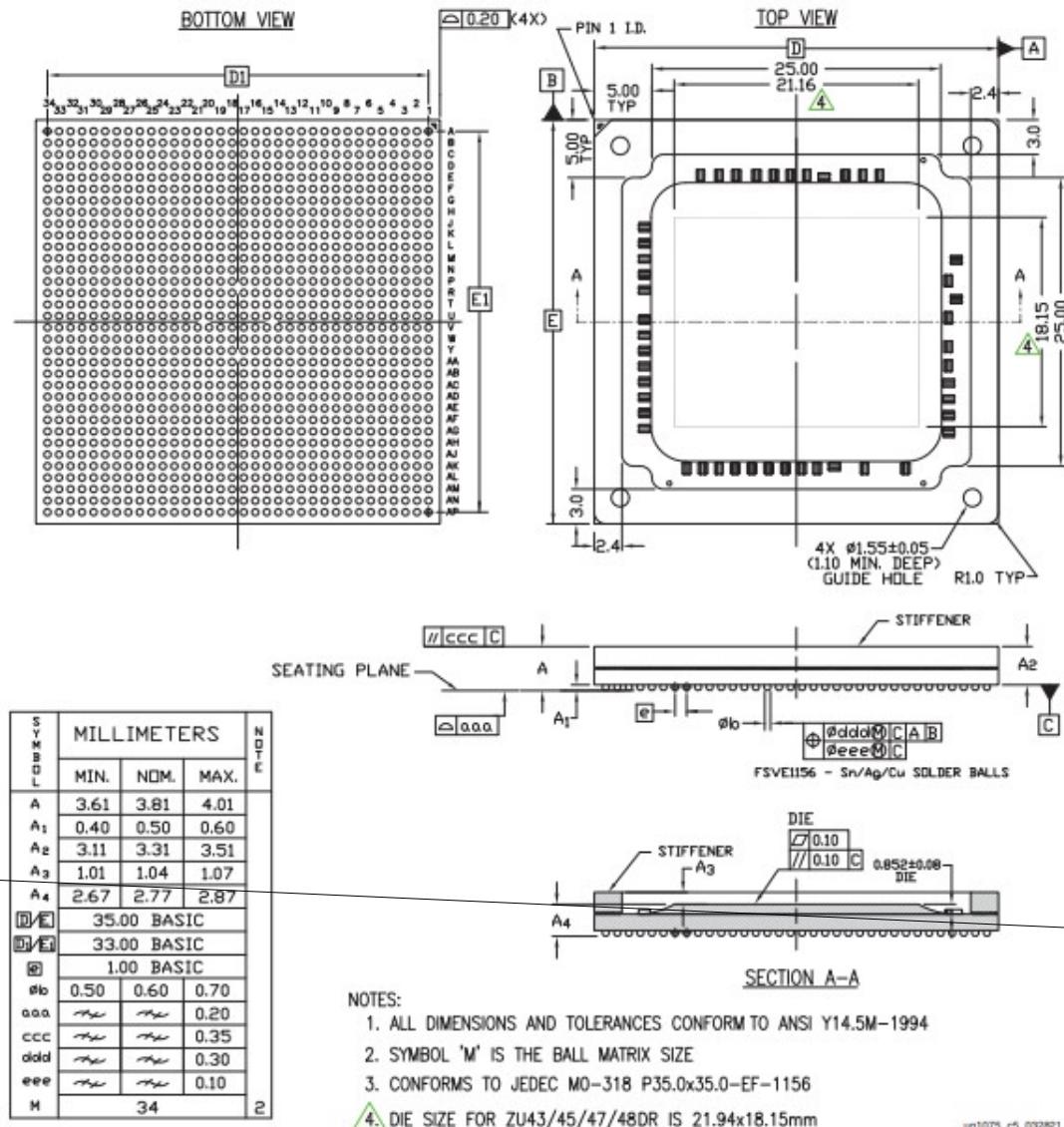


Figure 5-19: Package Dimensions for FFVE1156 (XCZU25DR, XCZU27DR, XCZU28DR, XCZU43DR, XCZU47DR, XCZU48DR)

Figura 169 - FFVE1156

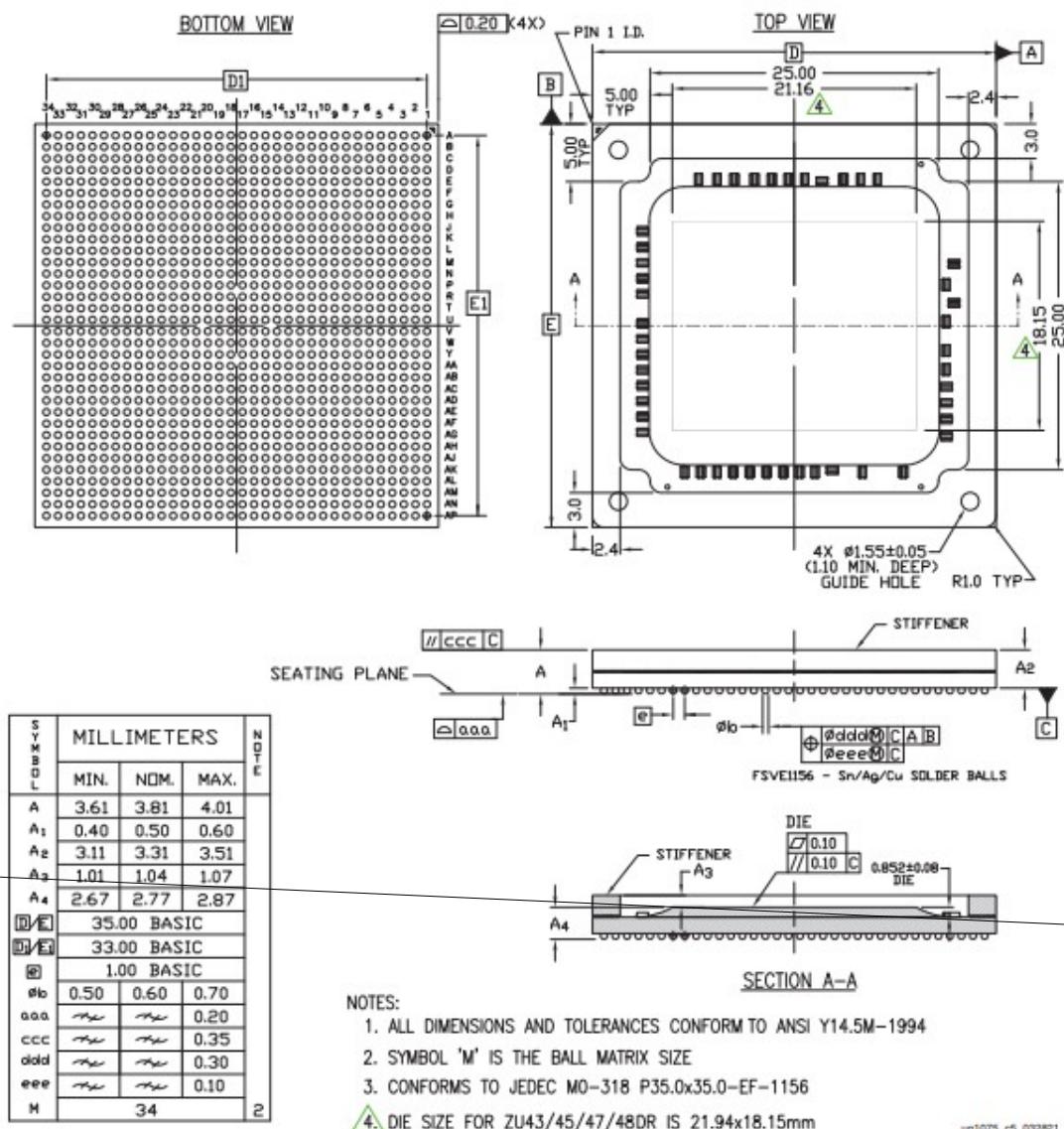
FSVE1156**FSVE1156 (XCZU25DR, XCZU27DR, XCZU28DR, XCZU43DR, XCZU47DR, XCZU48DR) Flip-Chip, Fine-Pitch, Lidless w/Stiffener Ring BGA**

Figure 5-20: Package Dimensions for FSVE1156 (XCZU25DR, XCZU27DR, XCZU28DR, XCZU43DR, XCZU47DR, XCZU48DR)

**Figura 170 - FSVE1156**

## FFRB1517

### FFRB1517 (XQZU19EG) Ruggedized Flip-Chip BGA

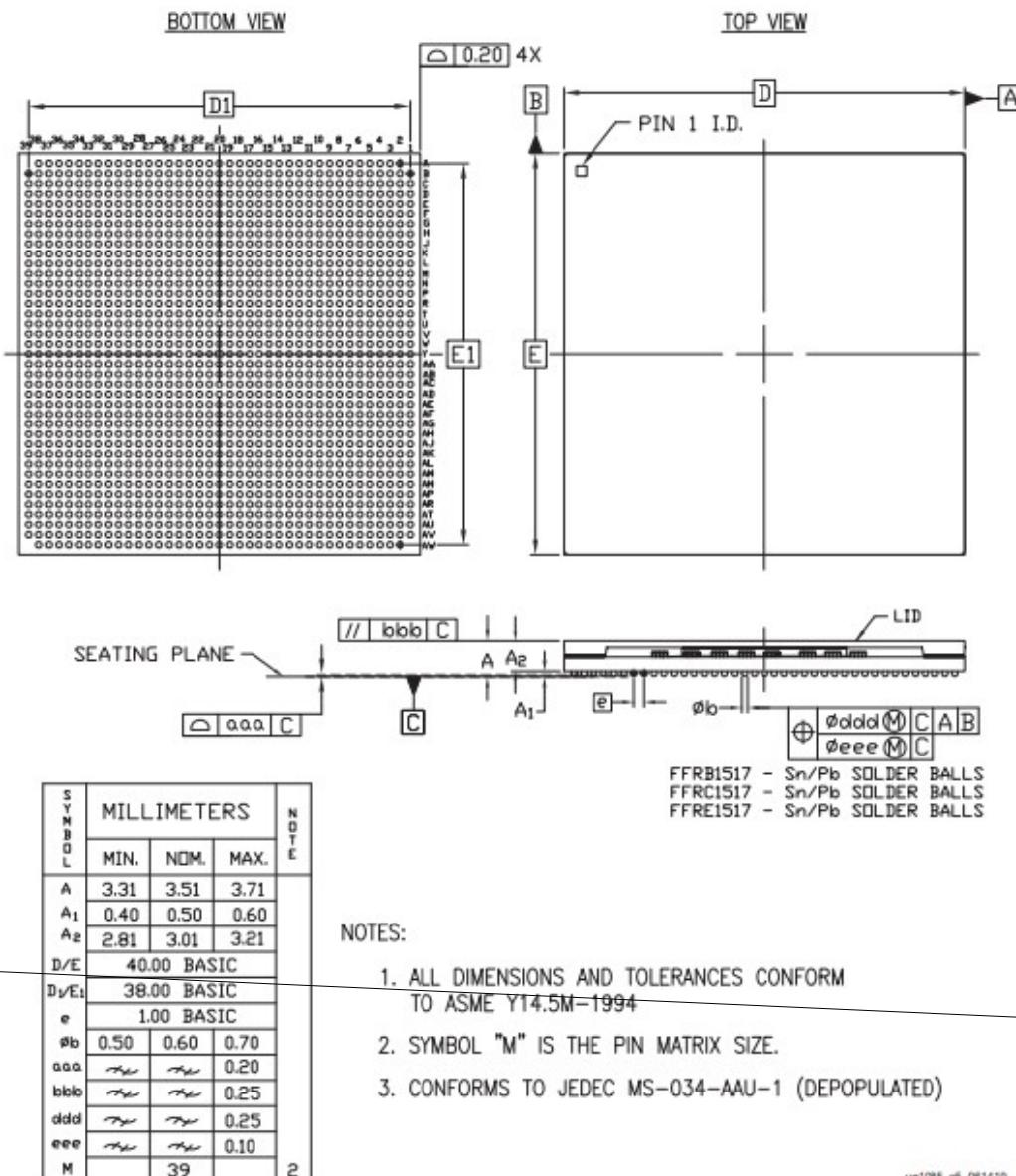


Figure 5-21: Package Dimensions for FFRB1517 (XQZU19EG)

**Figura 171 - FFRB1517**

### FFVB1517/FFVF1517

### **FFVB1517 (XCZU11EG, XCZU17EG, and XCZU19EG) and FFVF1517 (XCZU7CG, XCZU7EG, XCZU7EV, XCZU11EG, and XAZU11EG) Flip-Chip, Fine-Pitch BGA**

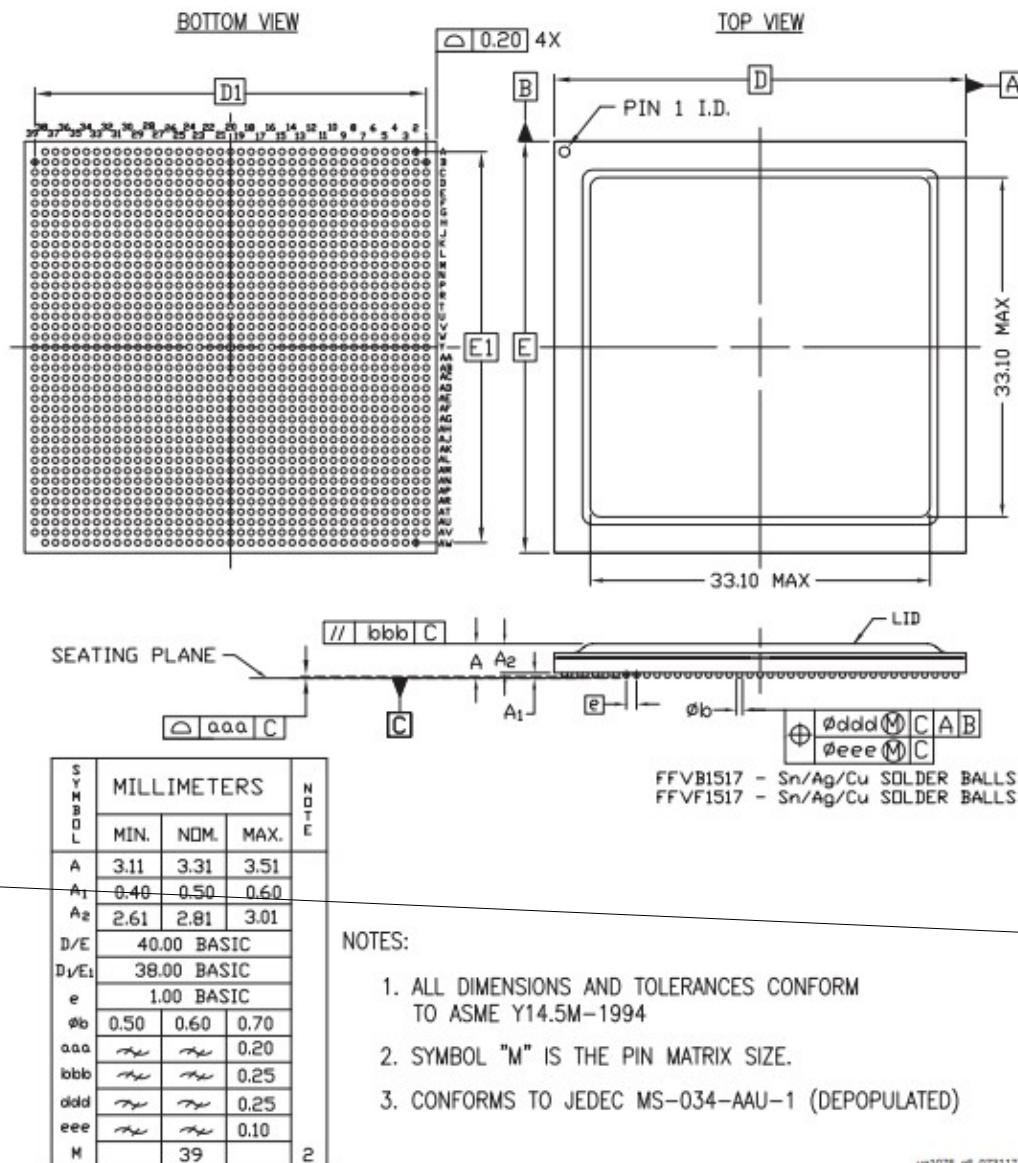


Figure 5-22: Package Dimensions for FFVB1517 (XCZU11EG, XCZU17EG, and XCZU19EG) and FFVF1517 (XCZU7CG, XCZU7EG, XCZU7EV, XCZU11EG, and XAZU11EG)

**Figura 172 - FFVB1517/FFVF1517**

## FFRG1517

### FFRG1517 (XQZU28DR) Ruggedized Flip-Chip BGA

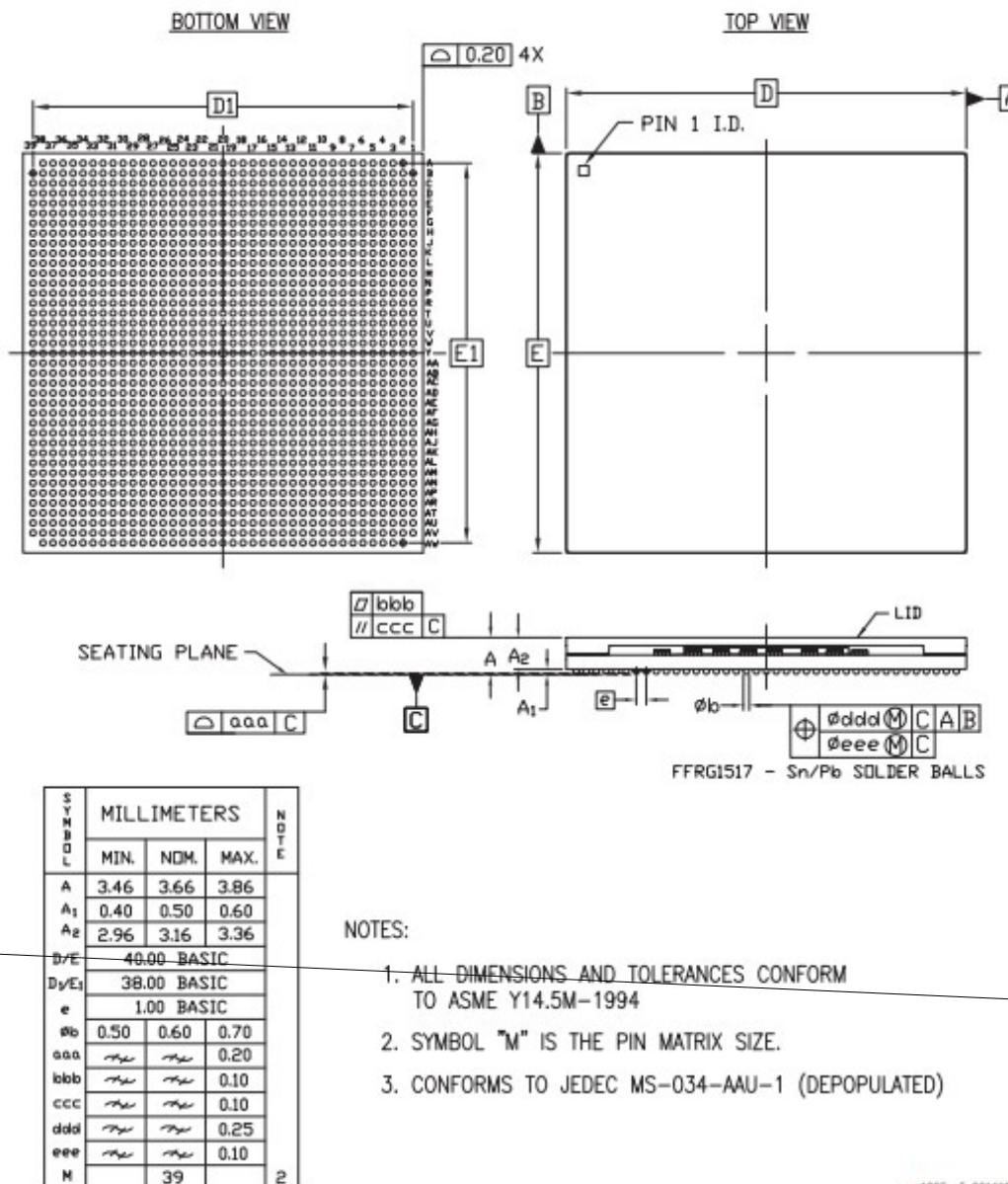


Figure 5-23: Package Dimensions for FFRG1517 (XQZU28DR)

**Figura 173 - FFRG1517**

FFVG1517

**FFVG1517 (XCZU25DR, XCZU27DR, XCZU28DR,  
XCZU43DR, XCZU47DR, XCZU48DR)  
Flip-Chip, Fine-Pitch BGA**

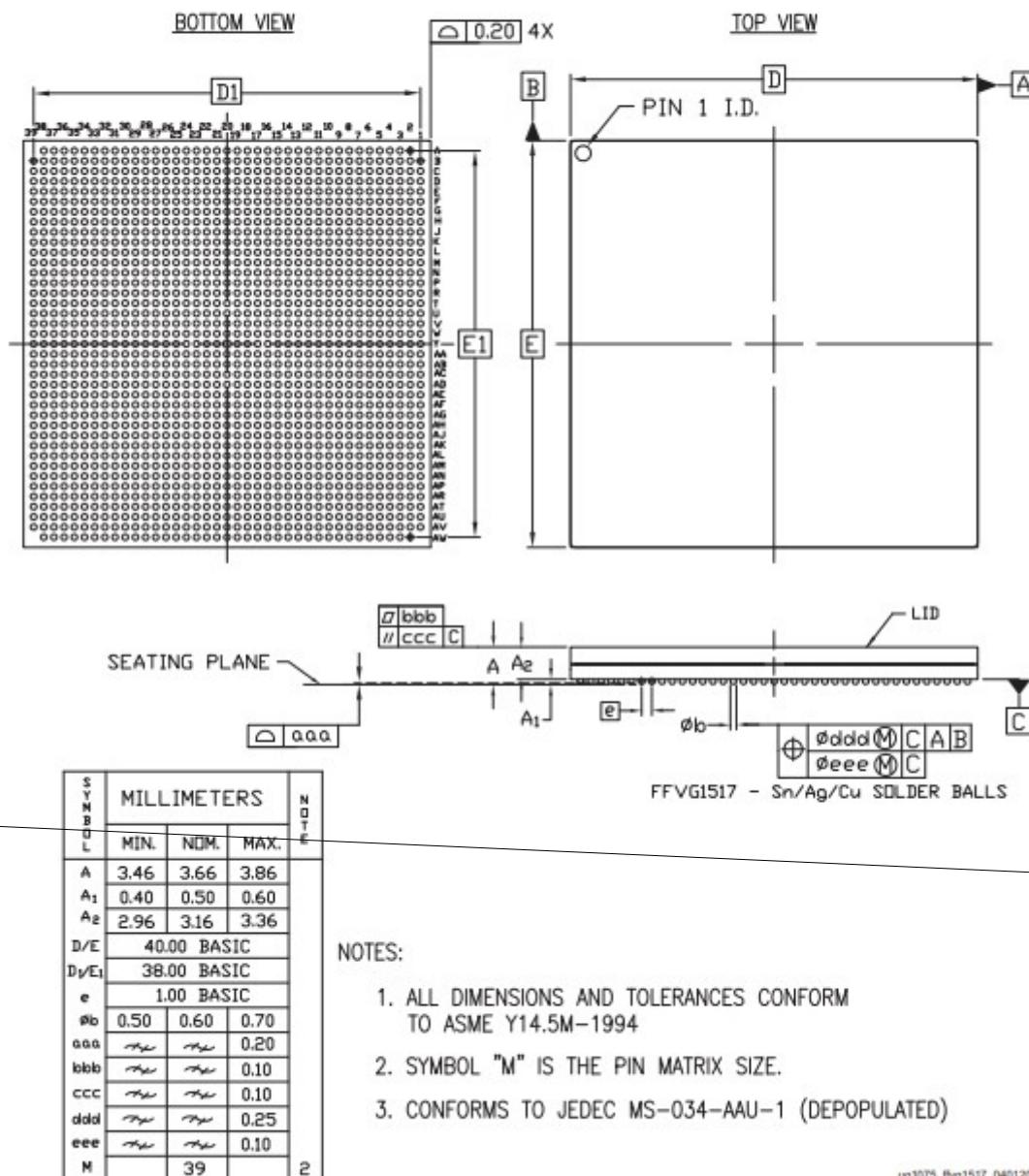


Figure 5-24: Package Dimensions for FFVG1517 (XCZU25DR, XCZU27DR, XCZU28DR, XCZU43DR, XCZU47DR, XCZU48DR)

**Figura 174 - FFVG1517**

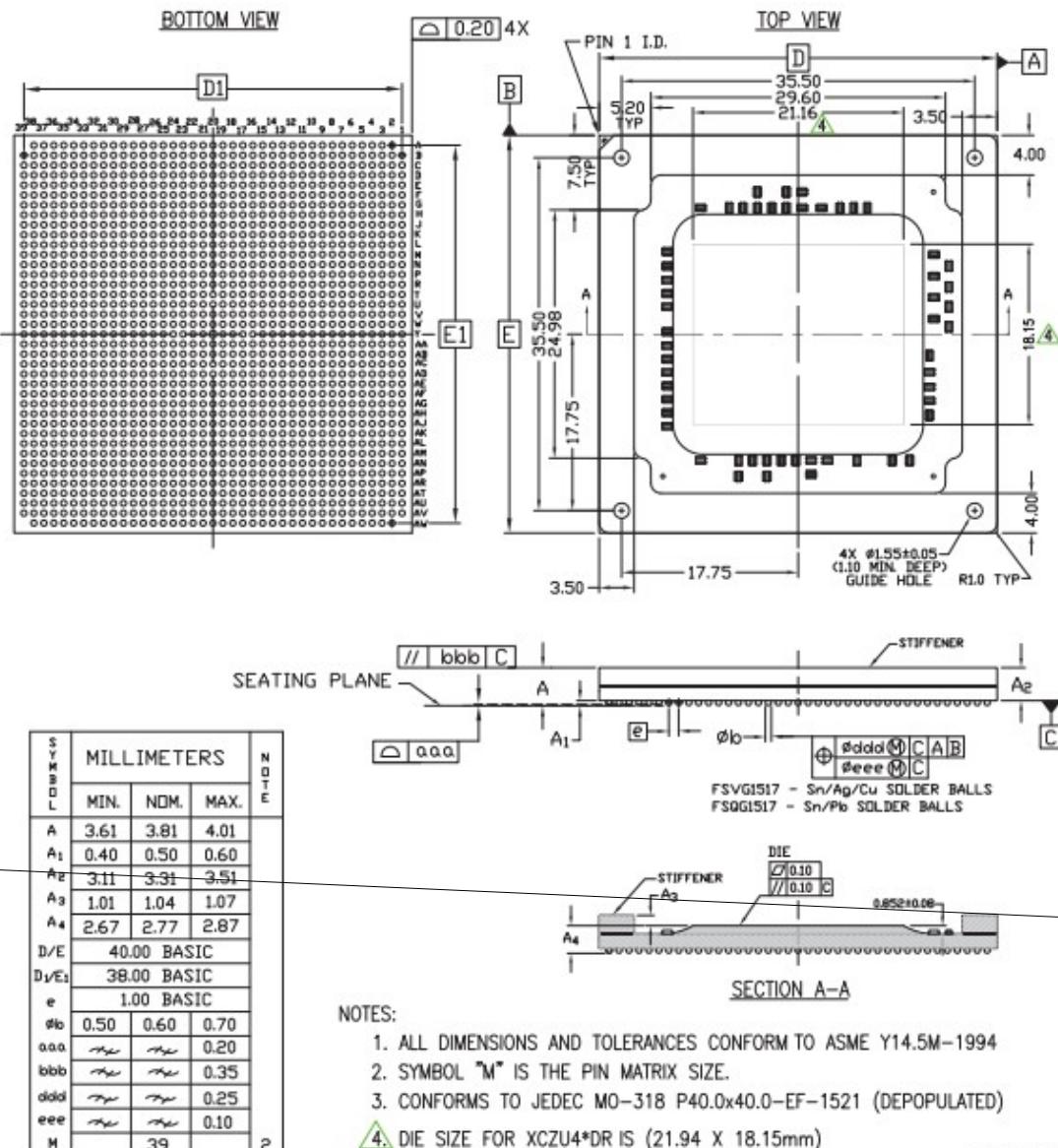
FSVG1517**FSVG1517 (XCZU25DR, XCZU27DR, XCZU28DR,  
XCZU43DR, XCZU47DR, XCZU48DR) Flip-Chip,  
Fine-Pitch, Lidless with Stiffener Ring BGA**

Figure 5-25: Package Dimensions for FSVG1517 (XCZU25DR, XCZU27DR, XCZU28DR,  
XCZU43DR, XCZU47DR, XCZU48DR)

**Figura 175 - FSVG1517**

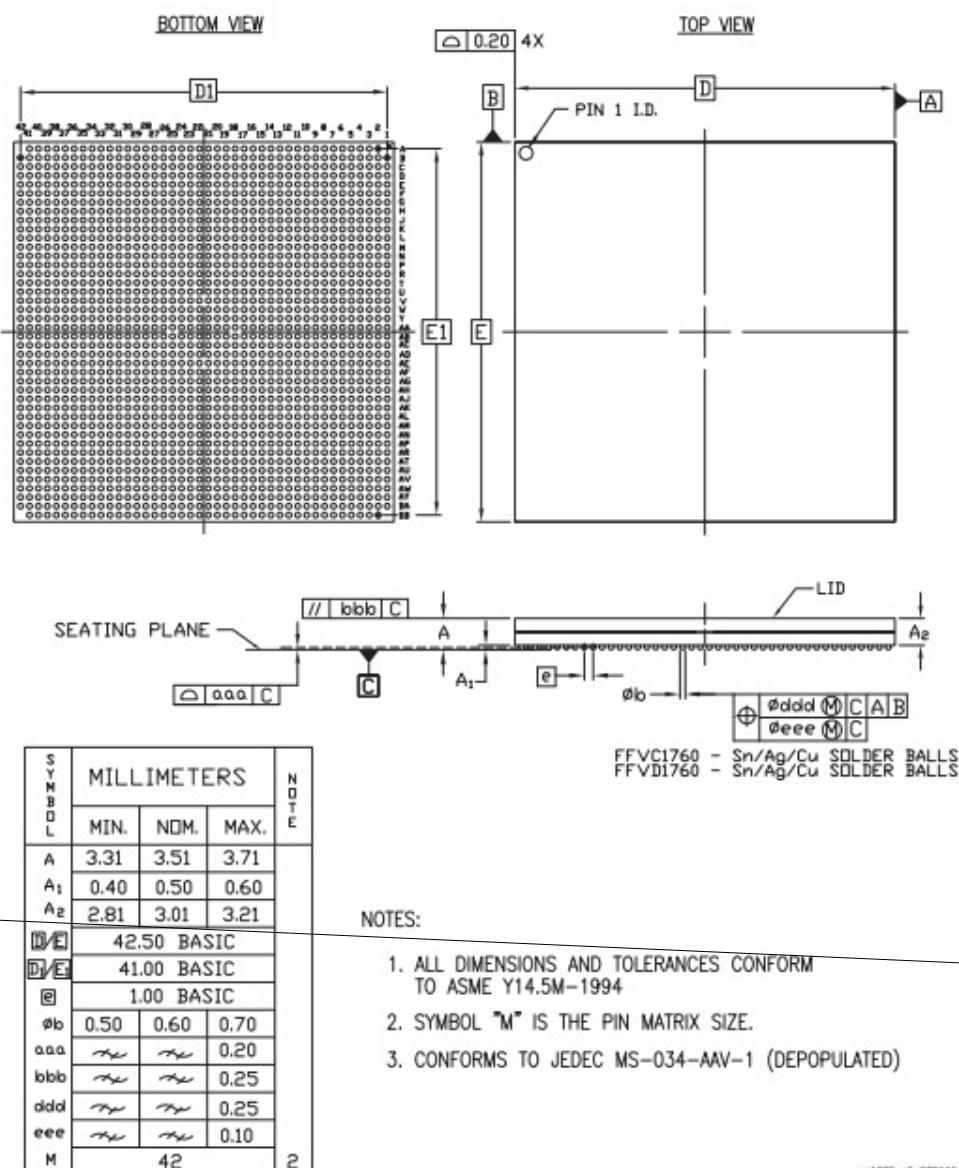
FFVC1760/FFVD1760**FFVC1760 and FFVD1760 Flip-Chip, Fine-Pitch BGA  
(XCZU11EG, XCZU17EG, and XCZU19EG)**

Figure 5-26: Package Dimensions for FFVC1760 and FFVD1760 (XCZU11EG, XCZU17EG, and XCZU19EG)

**Figura 176 - FFVC1760/FFVD1760**

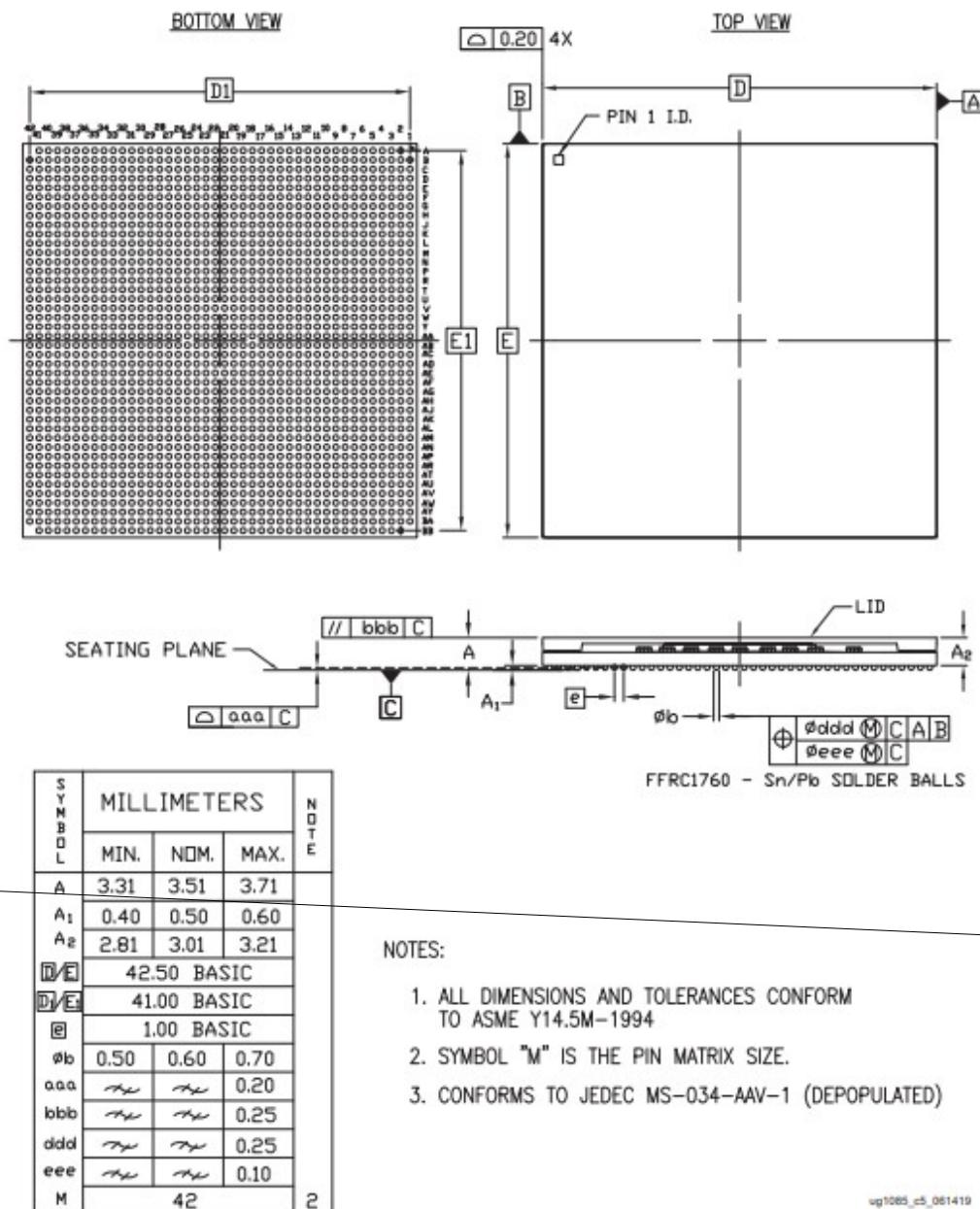
FFRC1760**FFRC1760 Ruggedized Flip-Chip BGA  
(XQZU11EG and XQZU19EG)**

Figure 5-27: Package Dimensions for FFRC1760 (XQZU11EG and XQZU19EG)

**Figura 177 - FFRC1760**

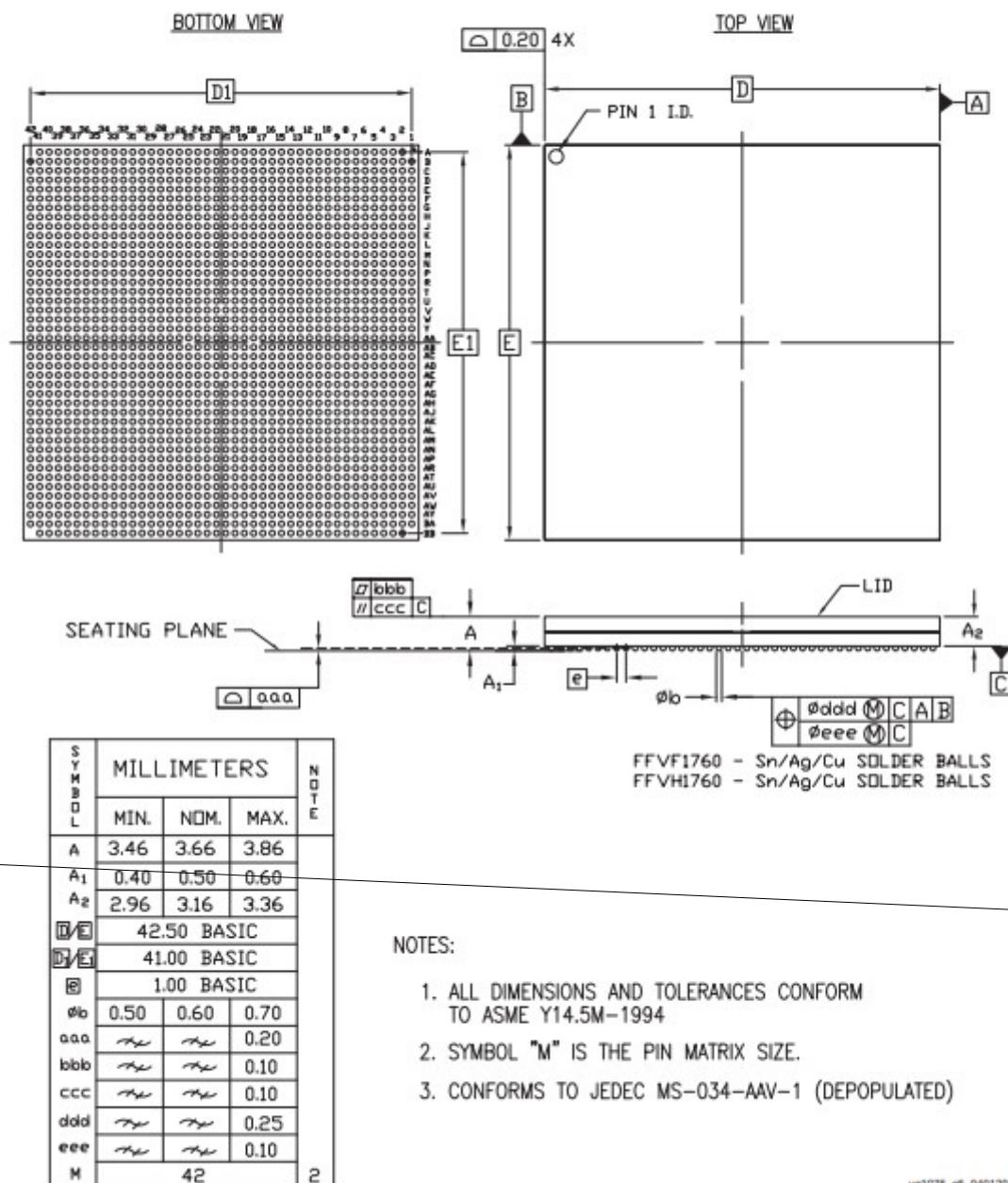
FFVF1760/FFVH1760**FFVF1760 (XCZU29DR, XCZU39DR, XCZU49DR) and  
FFVH1760 (XCZU46DR) Flip-Chip, Fine-Pitch BGA**

Figure 5-28: Package Dimensions for FFVF1760 (XCZU29DR, XCZU39DR, XCZU49DR) and FFVH1760 (XCZU46DR)

**Figura 178 - FFVF1760/FFVH1760**

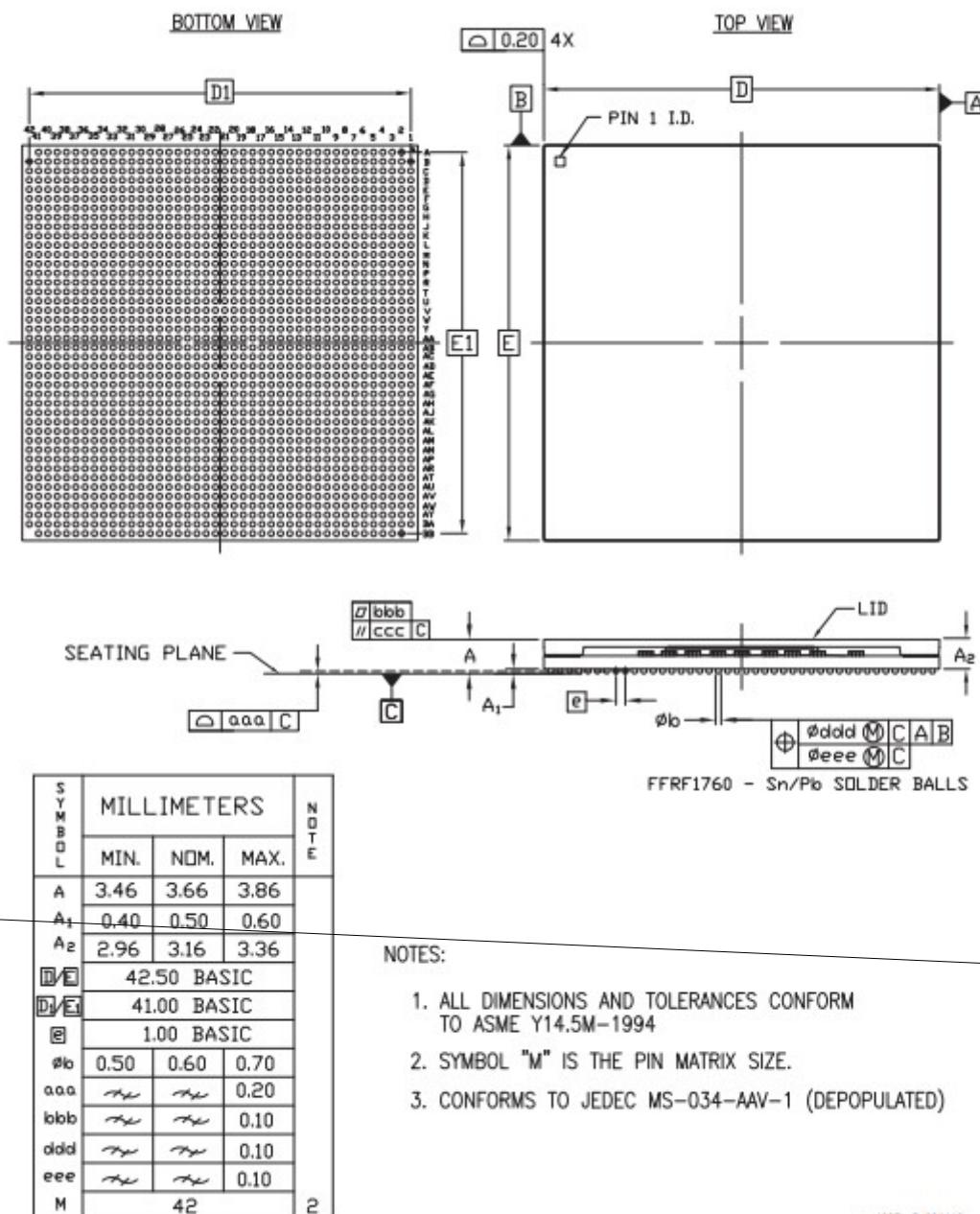
FFRF1760**FFRF1760 (XQZU29DR) Ruggedized Flip-Chip BGA**

Figure 5-29: Package Dimensions for FFRF1760 (XQZU29DR)

**Figura 179 - FFRF1760**

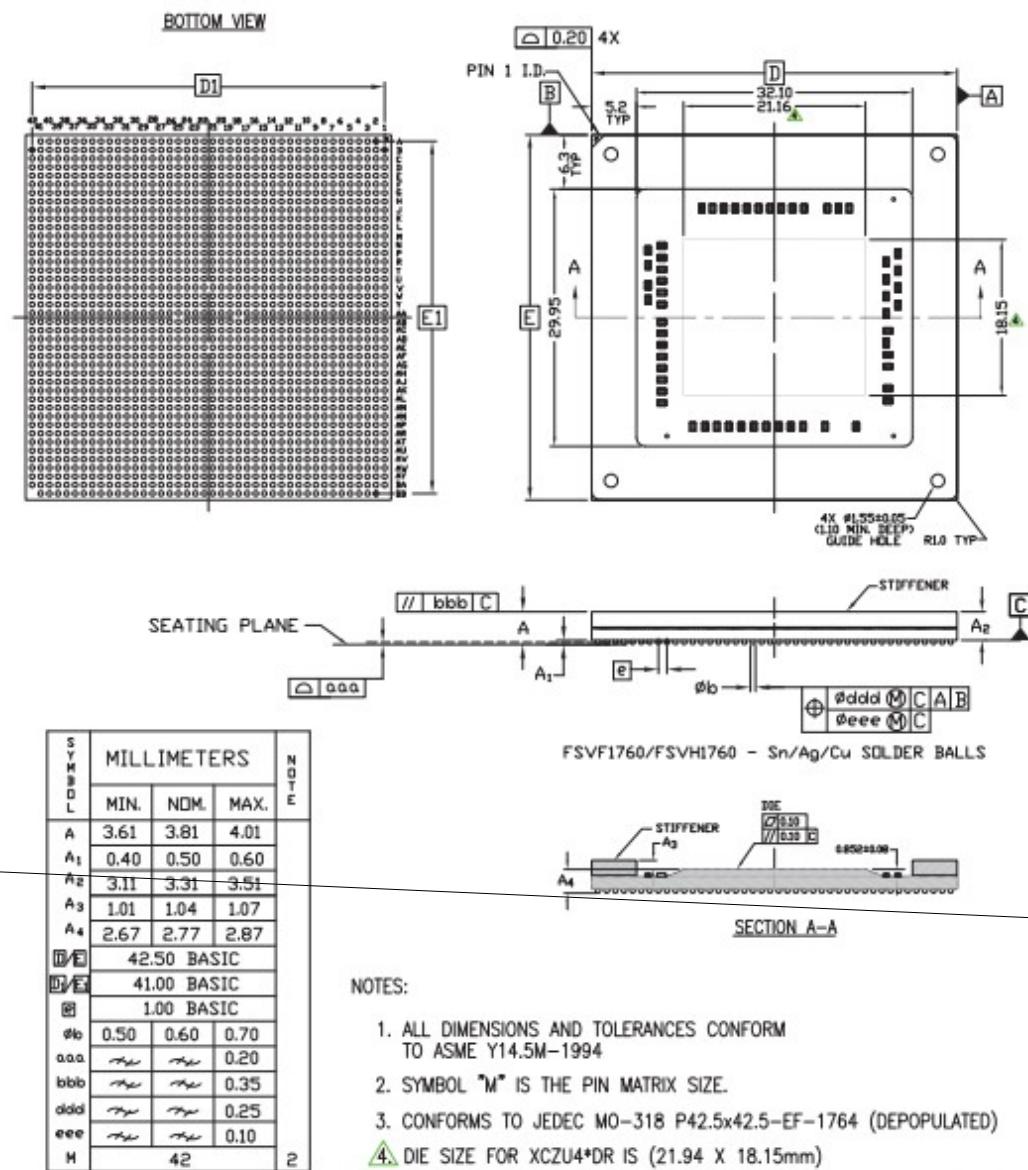
FSVF1760/FSVH1760**FSVF1760 (XCZU29DR, XCZU39DR, XCZU49DR) and  
FSVH1760 (XCZU46DR) Flip-Chip, Fine-Pitch, Lidless  
with Stiffener Ring BGA**

Figure 5-30: Package Dimensions for FSVF1760 (XCZU29DR, XCZU39DR, XCZU49DR) and FSVH1760 (XCZU46DR)

**Figura 180 - FSVF1760/FSVH1760**

## FFVE1924

### FFVE1924 Flip-Chip, Fine-Pitch BGA (XCZU17EG, and XCZU19EG)

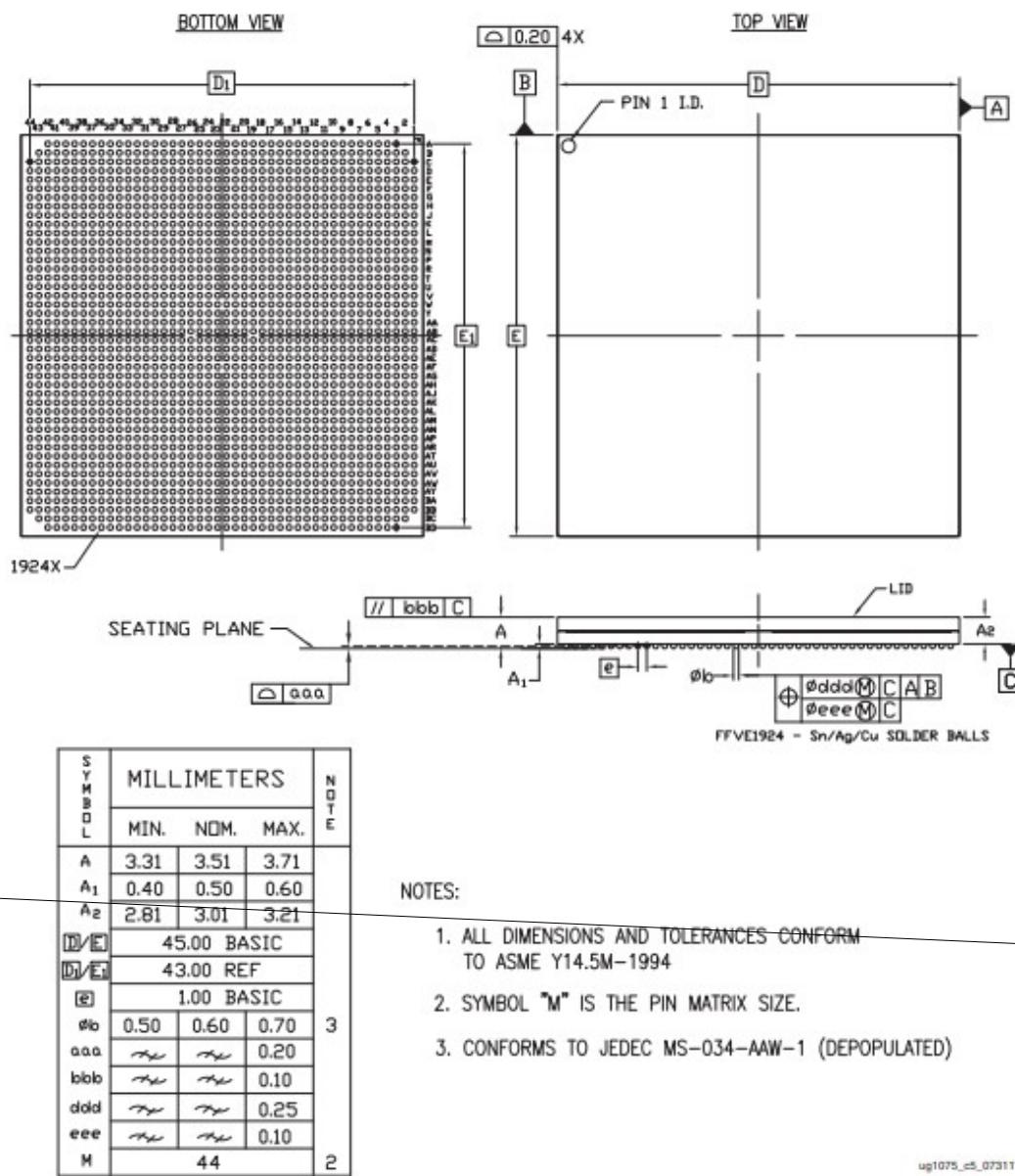


Figure 5-31: Package Dimensions for FFVE1924 (XCZU17EG and XCZU19EG)

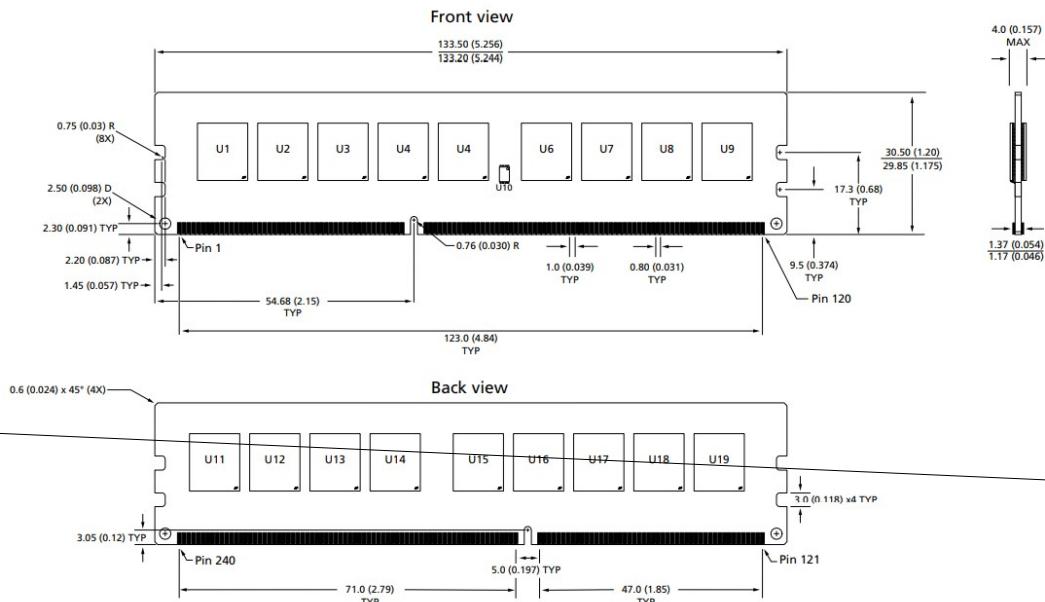
Figura 181 - FFVE1924

## Anexo 3- Pinout relevantes

Este anexo va dedicado a aquellos pinout que pueden resultar relevantes para realizar el diseño del layout de los SoCs. Entre estos pinouts están los diferentes formatos de memorias RAM que existen a fecha de hoy (20/09/2021), estos pinout se pueden añadir para mejorar o añadir más memoria RAM al SoC. También entre los pinout se incluye el de los discos SSD M.2 tipo 2280, para añadir memoria al SoC. Todos los pinout son estándar, en este caso las imágenes de todos los pinout pertenecen a Micron.

### DDR3 UDIMM<sup>70</sup>

#### *Footprint*



**Figura 182 - DDR3 UDIMM**

70 [https://media-www.micron.com/-/media/client/global/documents/products/data-sheet/modules/unbuffered\\_dimm/jsf18c256\\_512\\_1gx72az.pdf?rev=a5999f0650cf40379fbaac6681062262](https://media-www.micron.com/-/media/client/global/documents/products/data-sheet/modules/unbuffered_dimm/jsf18c256_512_1gx72az.pdf?rev=a5999f0650cf40379fbaac6681062262) (Última revisión :20-09-2021)

## Pinout

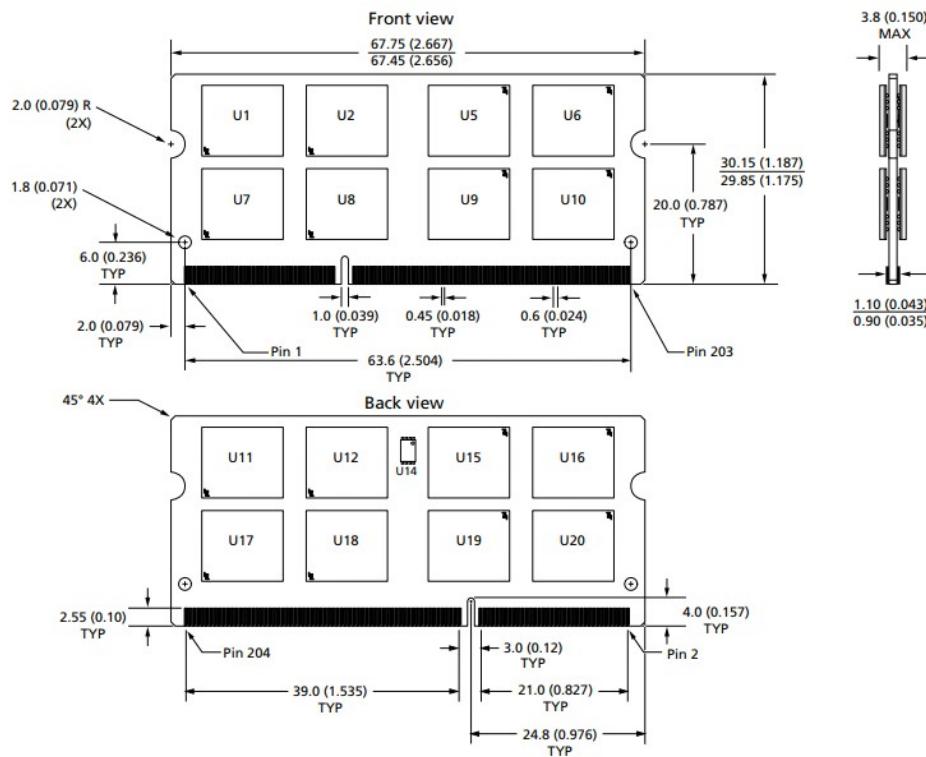
240-Pin DDR3 UDIMM Front							240-Pin DDR3 UDIMM Back								
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol		
1	V <sub>REFDQ</sub>	31	DQ25	61	A2	91	DQ41	121	V <sub>SS</sub>	151	V <sub>SS</sub>	181	A1	211	V <sub>SS</sub>
2	V <sub>SS</sub>	32	V <sub>SS</sub>	62	V <sub>DD</sub>	92	V <sub>SS</sub>	122	DQ4	152	DM3	182	V <sub>DD</sub>	212	DMS
3	DQ0	33	DQS3#	63	CK1	93	DQS5#	123	DQ5	153	NC	183	V <sub>DD</sub>	213	NC
4	DQ1	34	DQS3	64	CK1#	94	DQS5	124	V <sub>SS</sub>	154	V <sub>SS</sub>	184	CK0	214	V <sub>SS</sub>
5	V <sub>SS</sub>	35	V <sub>SS</sub>	65	V <sub>DD</sub>	95	V <sub>SS</sub>	125	DM0	155	DQ30	185	CK0#	215	DQ46
6	DQS0#	36	DQ26	66	V <sub>DD</sub>	96	DQ42	126	NC	156	DQ31	186	V <sub>DD</sub>	216	DQ47
7	DQS0	37	DQ27	67	V <sub>REFCA</sub>	97	DQ43	127	V <sub>SS</sub>	157	V <sub>SS</sub>	187	EVENT#	217	V <sub>SS</sub>
8	V <sub>SS</sub>	38	V <sub>SS</sub>	68	NC	98	V <sub>SS</sub>	128	DQ6	158	CB4	188	A0	218	DQ52
9	DQ2	39	CB0	69	V <sub>DD</sub>	99	DQ48	129	DQ7	159	CB5	189	V <sub>DD</sub>	219	DQ53
10	DQ3	40	CB1	70	A10	100	DQ49	130	V <sub>SS</sub>	160	V <sub>SS</sub>	190	BA1	220	V <sub>SS</sub>
11	V <sub>SS</sub>	41	V <sub>SS</sub>	71	BA0	101	V <sub>SS</sub>	131	DQ12	161	DM8	191	V <sub>DD</sub>	221	DM6
12	DQ8	42	DQS8#	72	V <sub>DD</sub>	102	DQS6#	132	DQ13	162	NC	192	RAS#	222	NC
13	DQ9	43	DQS8	73	WE#	103	DQS6	133	V <sub>SS</sub>	163	V <sub>SS</sub>	193	S0#	223	V <sub>SS</sub>
14	V <sub>SS</sub>	44	V <sub>SS</sub>	74	CAS#	104	V <sub>SS</sub>	134	DM1	164	CB6	194	V <sub>DD</sub>	224	DQ54
15	DQS1#	45	CB2	75	V <sub>DD</sub>	105	DQ50	135	NC	165	CB7	195	ODT0	225	DQ55
16	DQS1	46	CB3	76	S1#	106	DQ51	136	V <sub>SS</sub>	166	V <sub>SS</sub>	196	A13	226	V <sub>SS</sub>
17	V <sub>SS</sub>	47	V <sub>SS</sub>	77	ODT1	107	V <sub>SS</sub>	137	DQ14	167	NU	197	V <sub>DD</sub>	227	DQ60
18	DQ10	48	NC	78	V <sub>DD</sub>	108	DQ56	138	DQ15	168	RESET#	198	NC	228	DQ61
19	DQ11	49	NC	79	NC	109	DQ57	139	V <sub>SS</sub>	169	CKE1	199	V <sub>SS</sub>	229	V <sub>SS</sub>
20	V <sub>SS</sub>	50	CKE0	80	V <sub>SS</sub>	110	V <sub>SS</sub>	140	DQ20	170	V <sub>DD</sub>	200	DQ36	230	DM7
21	DQ16	51	V <sub>DD</sub>	81	DQ32	111	DQS7#	141	DQ21	171	NF/A15 <sup>1</sup>	201	DQ37	231	NC
22	DQ17	52	BA2	82	DQ33	112	DQS7	142	V <sub>SS</sub>	172	NF/A14 <sup>2</sup>	202	V <sub>SS</sub>	232	V <sub>SS</sub>
23	V <sub>SS</sub>	53	NC	83	V <sub>SS</sub>	113	V <sub>SS</sub>	143	DM2	173	V <sub>DD</sub>	203	DM4	233	DQ62
24	DQS2#	54	V <sub>DD</sub>	84	DQS4#	114	DQ58	144	NC	174	A12	204	NC	234	DQ63
25	DQS2	55	A11	85	DQS4	115	DQ59	145	V <sub>SS</sub>	175	A9	205	V <sub>SS</sub>	235	V <sub>SS</sub>
26	V <sub>SS</sub>	56	A7	86	V <sub>SS</sub>	116	V <sub>SS</sub>	146	DQ22	176	V <sub>DD</sub>	206	DQ38	236	V <sub>DDSPD</sub>
27	DQ18	57	V <sub>DD</sub>	87	DQ34	117	SA0	147	DQ23	177	A8	207	DQ39	237	SA1
28	DQ19	58	A5	88	DQ35	118	SCL	148	V <sub>SS</sub>	178	A6	208	V <sub>SS</sub>	238	SDA
29	V <sub>SS</sub>	59	A4	89	V <sub>SS</sub>	119	SA2	149	DQ28	179	V <sub>DD</sub>	209	DQ44	239	V <sub>SS</sub>
30	DQ24	60	V <sub>DD</sub>	90	DQ40	120	V <sub>TT</sub>	150	DQ29	180	A3	210	DQ45	240	V <sub>TT</sub>

Notes: 1. Pin 171 is NF for 2GB and 4GB, A15 for 8GB.  
       2. Pin 172 is NF for 2GB, A14 for 4GB and 8GB.

**Figura 183 - DDR3 UDIMM PINOUT**

## DDR3 SODIMM<sup>71</sup>

### ***Footprint***



**Figura 184 - DDR3 SODIMM**

71 [https://media-www.micron.com/-/media/client/global/documents/products/data-sheet/modules/sodimm/jtf16c256\\_512\\_1gx64hz.pdf?rev=92a9360308b84bd182ce55b117fec160](https://media-www.micron.com/-/media/client/global/documents/products/data-sheet/modules/sodimm/jtf16c256_512_1gx64hz.pdf?rev=92a9360308b84bd182ce55b117fec160) (Última revisión :20-09-2021)

## Pinout

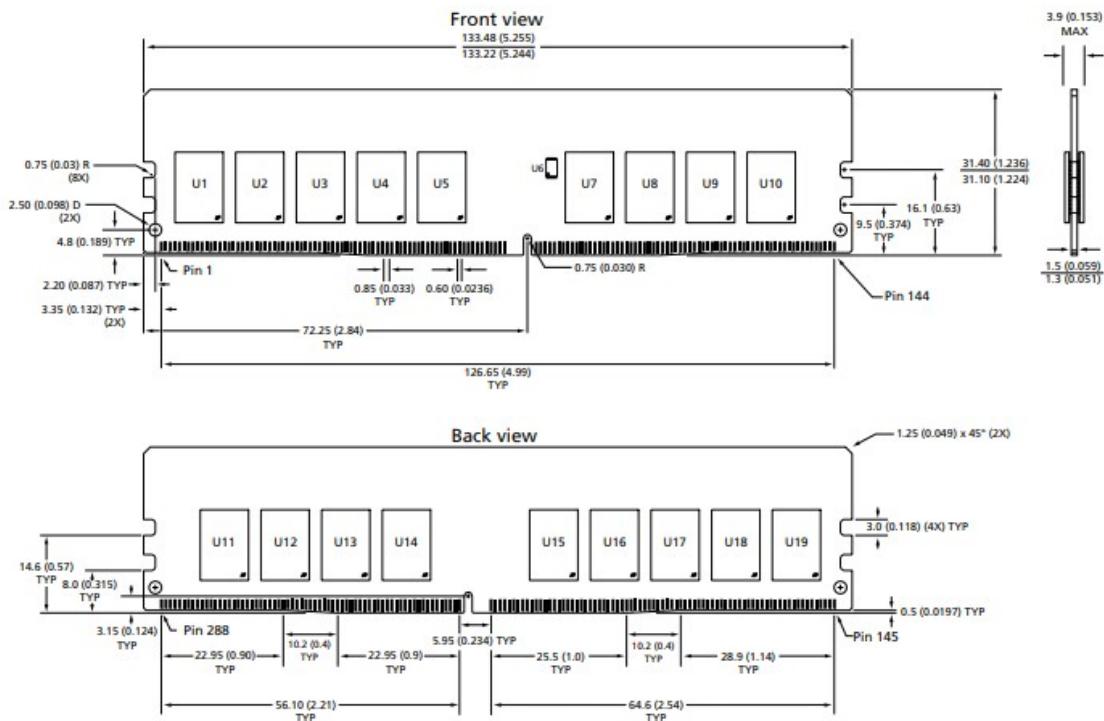
204-Pin DDR3 SODIMM Front								204-Pin DDR3 SODIMM Back							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
1	$V_{REFDQ}$	53	DQ19	105	$V_{DD}$	157	DQ42	2	$V_{SS}$	54	$V_{SS}$	106	$V_{DD}$	158	DQ46
3	$V_{SS}$	55	$V_{SS}$	107	A10	159	DQ43	4	DQ4	56	DQ28	108	BA1	160	DQ47
5	DQ0	57	DQ24	109	BA0	161	$V_{SS}$	6	DQ5	58	DQ29	110	RAS#	162	$V_{SS}$
7	DQ1	59	DQ25	111	$V_{DD}$	163	DQ48	8	$V_{SS}$	60	$V_{SS}$	112	$V_{DD}$	164	DQ52
9	$V_{SS}$	61	$V_{SS}$	113	WE#	165	DQ49	10	DQS0#	62	DQS3#	114	S0#	166	DQ53
11	DM0	63	DM3	115	CAS#	167	$V_{SS}$	12	DQS0	64	DQS3	116	ODT0	168	$V_{SS}$
13	$V_{SS}$	65	$V_{SS}$	117	$V_{DD}$	169	DQS6#	14	$V_{SS}$	66	$V_{SS}$	118	$V_{DD}$	170	DM6
15	DQ2	67	DQ26	119	A13	171	DQS6	16	DQ6	68	DQ30	120	ODT1	172	$V_{SS}$
17	DQ3	69	DQ27	121	S1#	173	$V_{SS}$	18	DQ7	70	DQ31	122	NC	174	DQ54
19	$V_{SS}$	71	$V_{SS}$	123	$V_{DD}$	175	DQ50	20	$V_{SS}$	72	$V_{SS}$	124	$V_{DD}$	176	DQ55
21	DQ8	73	CKE0	125	NC	177	DQ51	22	DQ12	74	CKE1	126	$V_{REFCA}$	178	$V_{SS}$
23	DQ9	75	$V_{DD}$	127	$V_{SS}$	179	$V_{SS}$	24	DQ13	76	$V_{DD}$	128	$V_{SS}$	180	DQ60
25	$V_{SS}$	77	NC	129	DQ32	181	DQ56	26	$V_{SS}$	78	NF/A15 <sup>1</sup>	130	DQ36	182	DQ61
27	DQS1#	79	BA2	131	DQ33	183	DQ57	28	DM1	80	NF/A14 <sup>2</sup>	132	DQ37	184	$V_{SS}$
29	DQS1	81	$V_{DD}$	133	$V_{SS}$	185	$V_{SS}$	30	RESET#	82	$V_{DD}$	134	$V_{SS}$	186	DQS7#
31	$V_{SS}$	83	A12	135	DQS4#	187	DM7	32	$V_{SS}$	84	A11	136	DM4	188	DQS7
33	DQ10	85	A9	137	DQS4	189	$V_{SS}$	34	DQ14	86	A7	138	$V_{SS}$	190	$V_{SS}$
35	DQ11	87	$V_{DD}$	139	$V_{SS}$	191	DQ58	36	DQ15	88	$V_{DD}$	140	DQ38	192	DQ62
37	$V_{SS}$	89	A8	141	DQ34	193	DQ59	38	$V_{SS}$	90	A6	142	DQ39	194	DQ63
39	DQ16	91	A5	143	DQ35	195	$V_{SS}$	40	DQ20	92	A4	144	$V_{SS}$	196	$V_{SS}$
41	DQ17	93	$V_{DD}$	145	$V_{SS}$	197	SA0	42	DQ21	94	$V_{DD}$	146	DQ44	198	NF
43	$V_{SS}$	95	A3	147	DQ40	199	$V_{DDSPD}$	44	$V_{SS}$	96	A2	148	DQ45	200	SDA
45	DQS2#	97	A1	149	DQ41	201	SA1	46	DM2	98	A0	150	$V_{SS}$	202	SCL
47	DQS2	99	$V_{DD}$	151	$V_{SS}$	203	$V_{TT}$	48	$V_{SS}$	100	$V_{DD}$	152	DQS5#	204	$V_{TT}$
49	$V_{SS}$	101	CK0	153	DM5	–	–	50	DQ22	102	CK1	154	DQS5	–	–
51	DQ18	103	CK0#	155	$V_{SS}$	–	–	52	DQ23	104	CK1#	156	$V_{SS}$	–	–

Notes: 1. Pin 78 is NC for 2GB and 4GB, A15 for 8GB.  
       2. Pin 80 is NC for 2GB, A14 for 4GB and 8GB.

**Figura 185 - DDR3 SODIMM PINOUT**

## DDR4 UDIMM<sup>72</sup>

### *Footprint*



**Figura 186 - DDR4 UDIMM**

<sup>72</sup>[https://www.micron.com/-/media/client/global/documents/products/data-sheet/modules/unbuffered\\_dimm/ddr4/asf18c2gx72az.pdf](https://www.micron.com/-/media/client/global/documents/products/data-sheet/modules/unbuffered_dimm/ddr4/asf18c2gx72az.pdf) (Última revisión :20-09-2021)

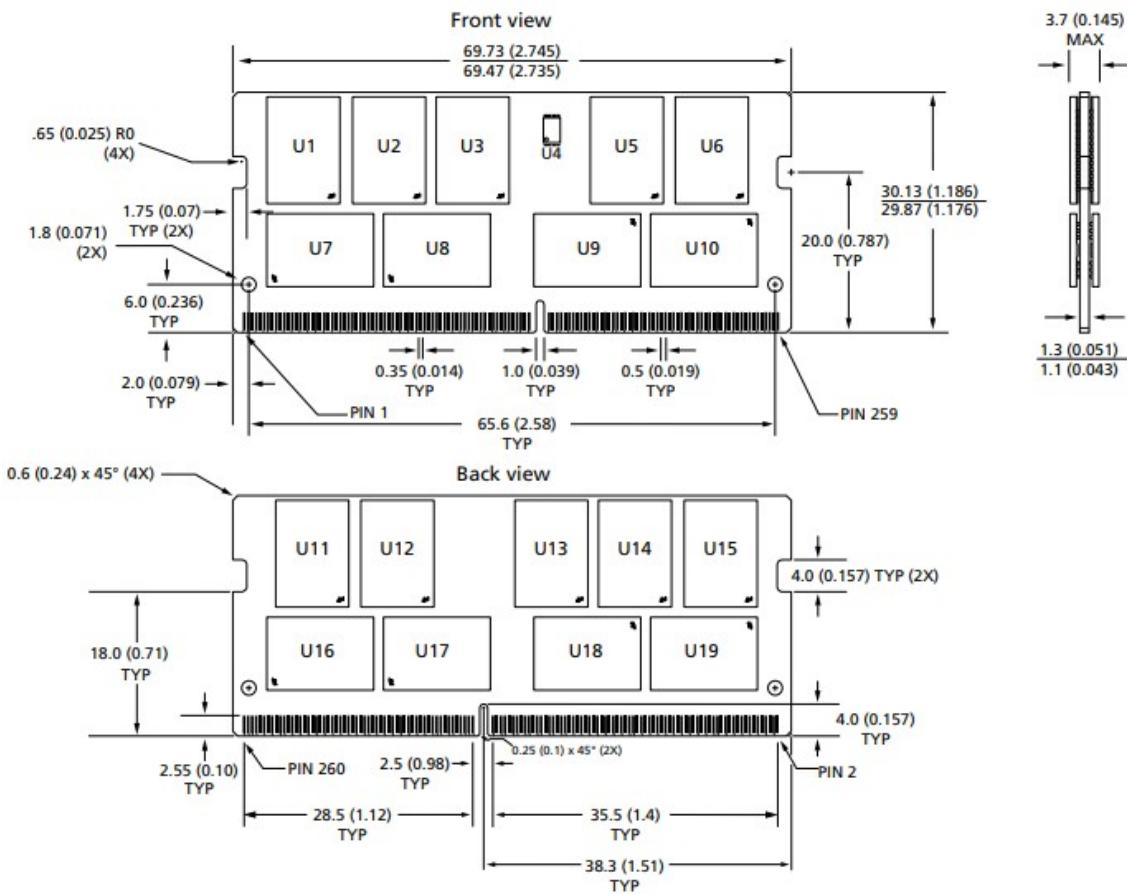
## Pinout

288-Pin DDR4 UDIMM Front								288-Pin DDR4 UDIMM Back							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
1	NC	37	V <sub>SS</sub>	73	V <sub>DD</sub>	109	V <sub>SS</sub>	145	NC	181	DQ29	217	V <sub>DD</sub>	253	DQ41
2	V <sub>SS</sub>	38	DQ24	74	CK0_t	110	DM5_n/ DBI5_n, NC	146	V <sub>REFCA</sub>	182	V <sub>SS</sub>	218	CK1_t	254	V <sub>SS</sub>
3	DQ4	39	V <sub>SS</sub>	75	CK0_c	111	NC	147	V <sub>SS</sub>	183	DQ25	219	CK1_c	255	DQS5_c
4	V <sub>SS</sub>	40	DM3_n/ DBI3_n, NC	76	V <sub>DD</sub>	112	V <sub>SS</sub>	148	DQ5	184	V <sub>SS</sub>	220	V <sub>DD</sub>	256	DQS5_t
5	DQ0	41	NC	77	V <sub>TT</sub>	113	DQ46	149	V <sub>SS</sub>	185	DQS3_c	221	V <sub>TT</sub>	257	V <sub>SS</sub>
6	V <sub>SS</sub>	42	V <sub>SS</sub>	78	EVENT_n, NF	114	V <sub>SS</sub>	150	DQ1	186	DQS3_t	222	PARITY	258	DQ47
7	DM0_n/ DBI0_n, NC	43	DQ30	79	A0	115	DQ42	151	V <sub>SS</sub>	187	V <sub>SS</sub>	223	V <sub>DD</sub>	259	V <sub>SS</sub>
8	NC	44	V <sub>SS</sub>	80	V <sub>DD</sub>	116	V <sub>SS</sub>	152	DQS0_c	188	DQ31	224	BA1	260	DQ43
9	V <sub>SS</sub>	45	DQ26	81	BA0	117	DQ52	153	DQS0_t	189	V <sub>SS</sub>	225	A10_AP	261	V <sub>SS</sub>
10	DQ6	46	V <sub>SS</sub>	82	RAS_n/ A16	118	V <sub>SS</sub>	154	V <sub>SS</sub>	190	DQ27	226	V <sub>DD</sub>	262	DQ53
11	V <sub>SS</sub>	47	CB4/ NC	83	V <sub>DD</sub>	119	DQ48	155	DQ7	191	V <sub>SS</sub>	227	NC	263	V <sub>SS</sub>
12	DQ2	48	V <sub>SS</sub>	84	CS0_n	120	V <sub>SS</sub>	156	V <sub>SS</sub>	192	CB5, NC	228	WE_n/ A14	264	DQ49
13	V <sub>SS</sub>	49	CB0/ NC	85	V <sub>DD</sub>	121	DM6_n/ DBI6_n, NC	157	DQ3	193	V <sub>SS</sub>	229	V <sub>DD</sub>	265	V <sub>SS</sub>
14	DQ12	50	V <sub>SS</sub>	86	CAS_n/ A15	122	NC	158	V <sub>SS</sub>	194	CB1, NC	230	NC	266	DQS6_c
15	V <sub>SS</sub>	51	DM8_n/ DBI8_n, NC	87	ODT0	123	V <sub>SS</sub>	159	DQ13	195	V <sub>SS</sub>	231	V <sub>DD</sub>	267	DQS6_t
16	DQ8	52	NC	88	V <sub>DD</sub>	124	DQ54	160	V <sub>SS</sub>	196	DQS8_c	232	A13	268	V <sub>SS</sub>
17	V <sub>SS</sub>	53	V <sub>SS</sub>	89	CS1_n, NC	125	V <sub>SS</sub>	161	DQ9	197	DQS8_t	233	V <sub>DD</sub>	269	DQ55
18	DMI_n/ DBI1_n, NC	54	CB6/ DBI8_n, NC	90	V <sub>DD</sub>	126	DQ50	162	V <sub>SS</sub>	198	V <sub>SS</sub>	234	NC	270	V <sub>SS</sub>
19	NC	55	V <sub>SS</sub>	91	ODT1, NC	127	V <sub>SS</sub>	163	DQS1_c	199	CB7, NC	235	NC	271	DQ51
20	V <sub>SS</sub>	56	CB2/ NC	92	V <sub>DD</sub>	128	DQ60	164	DQS1_t	200	V <sub>SS</sub>	236	V <sub>DD</sub>	272	V <sub>SS</sub>
21	DQ14	57	V <sub>SS</sub>	93	NC	129	V <sub>SS</sub>	165	V <sub>SS</sub>	201	CB3, NC	237	NC	273	DQ61
22	V <sub>SS</sub>	58	RESET_n	94	V <sub>SS</sub>	130	DQ56	166	DQ15	202	V <sub>SS</sub>	238	SA2	274	V <sub>SS</sub>
23	DQ10	59	V <sub>DD</sub>	95	DQ36	131	V <sub>SS</sub>	167	V <sub>SS</sub>	203	CKE1, NC	239	V <sub>SS</sub>	275	DQ57
24	V <sub>SS</sub>	60	CKE0	96	V <sub>SS</sub>	132	DM7_n/ DBI7_n, NC	168	DQ11	204	V <sub>DD</sub>	240	DQ37	276	V <sub>SS</sub>
25	DQ20	61	V <sub>DD</sub>	97	DQ32	133	NC	169	V <sub>SS</sub>	205	NC	241	V <sub>SS</sub>	277	DQS7_c
26	V <sub>SS</sub>	62	ACT_n	98	V <sub>SS</sub>	134	V <sub>SS</sub>	170	DQ21	206	V <sub>DD</sub>	242	DQ33	278	DQS7_t
27	DQ16	63	BG0	99	DM4_n/ DBI4_n, NC	135	DQ62	171	V <sub>SS</sub>	207	BG1	243	V <sub>SS</sub>	279	V <sub>SS</sub>
28	V <sub>SS</sub>	64	V <sub>DD</sub>	100	NC	136	V <sub>SS</sub>	172	DQ17	208	ALERT_n	244	DQS4_c	280	DQ63
29	DM2_n/ DBI2_n, NC	65	A12/BC_n	101	V <sub>SS</sub>	137	DQ58	173	V <sub>SS</sub>	209	V <sub>DD</sub>	245	DQS4_t	281	V <sub>SS</sub>
30	NC	66	A9	102	DQ38	138	V <sub>SS</sub>	174	DQS2_c	210	A11	246	V <sub>SS</sub>	282	DQ59
31	V <sub>SS</sub>	67	V <sub>DD</sub>	103	V <sub>SS</sub>	139	SA0	175	DQS2_t	211	A7	247	DQ39	283	V <sub>SS</sub>
32	DQ22	68	A8	104	DQ34	140	SA1	176	V <sub>SS</sub>	212	V <sub>DD</sub>	248	V <sub>SS</sub>	284	V <sub>DDSPD</sub>
33	V <sub>SS</sub>	69	A6	105	V <sub>SS</sub>	141	SCL	177	DQ23	213	A5	249	DQ35	285	SDA
34	DQ18	70	V <sub>DD</sub>	106	DQ44	142	V <sub>PP</sub>	178	V <sub>SS</sub>	214	A4	250	V <sub>SS</sub>	286	V <sub>PP</sub>
35	V <sub>SS</sub>	71	A3	107	V <sub>SS</sub>	143	V <sub>PP</sub>	179	DQ19	215	V <sub>DD</sub>	251	DQ45	287	V <sub>PP</sub>
36	DQ28	72	A1	108	DQ40	144	NC	180	V <sub>SS</sub>	216	A2	252	V <sub>SS</sub>	288	V <sub>PP</sub>

Figura 187 - DDR4 UDIMM PINOUT

## DDR4 SODIMM<sup>73</sup>

### ***Footprint***



**Figura 188 - DDR4 SODIMM**

73 <https://media-www.micron.com/-/media/client/global/documents/products/data-sheet/modules/sodimm/ddr4/asf18c2gx72hz.pdf?rev=9f1c5602f87f4fb59552b5a6fe02b168> (Última revisión :20-09-2021)

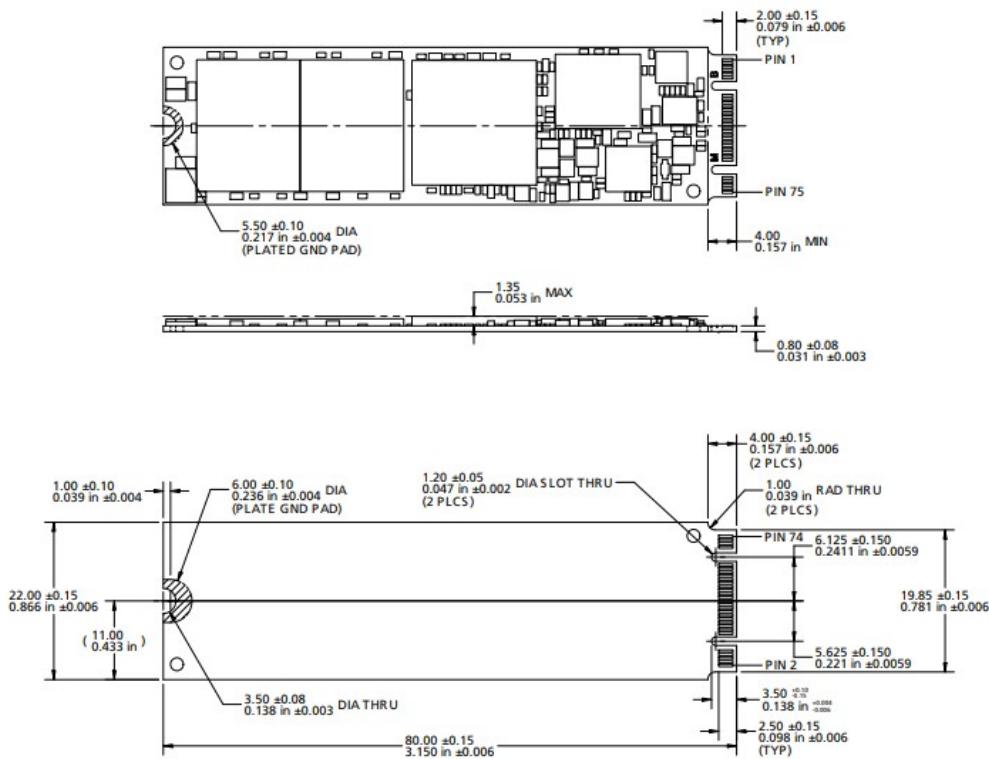
## Pinout

260-Pin DDR4 SODIMM Front								260-Pin DDR4 SODIMM Back							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
1	V <sub>SS</sub>	67	DQ29	133	A1	199	DMS_n/ DBI5_n	2	V <sub>SS</sub>	68	V <sub>SS</sub>	134	EVENT_n, NF	200	DQS5_t
3	DQ5	69	V <sub>SS</sub>	135	V <sub>DD</sub>	201	V <sub>SS</sub>	4	DQ4	70	DQ24	136	V <sub>DD</sub>	202	V <sub>SS</sub>
5	V <sub>SS</sub>	71	DQ25	137	CK0_t	203	DQ46	6	V <sub>SS</sub>	72	V <sub>SS</sub>	138	CK1_t/NF	204	DQ47
7	DQ1	73	V <sub>SS</sub>	139	CK0_c	205	V <sub>SS</sub>	8	DQ0	74	DQS3_c	140	CK1_c/NF	206	V <sub>SS</sub>
9	V <sub>SS</sub>	75	DM3_n/ DBI3_n	141	V <sub>DD</sub>	207	DQ42	10	V <sub>SS</sub>	76	DQS3_t	142	V <sub>DD</sub>	208	DQ43
11	DQS0_c	77	V <sub>SS</sub>	143	PARITY	209	V <sub>SS</sub>	12	DM0_n/ DBI0_n	78	V <sub>SS</sub>	144	A0	210	V <sub>SS</sub>
13	DQS0_t	79	DQ30	145	BA1	211	DQ52	14	V <sub>SS</sub>	80	DQ31	146	A10/AP	212	DQ53
15	V <sub>SS</sub>	81	V <sub>SS</sub>	147	V <sub>DD</sub>	213	V <sub>SS</sub>	16	DQ6	82	V <sub>SS</sub>	148	V <sub>DD</sub>	214	V <sub>SS</sub>
17	DQ7	83	DQ26	149	CS0_n	215	DQ49	18	V <sub>SS</sub>	84	DQ27	150	BA0	216	DQ48
19	V <sub>SS</sub>	85	V <sub>SS</sub>	151	WE_n/ A14	217	V <sub>SS</sub>	20	DQ2	86	V <sub>SS</sub>	152	RAS_n/ A16	218	V <sub>SS</sub>
21	DQ3	87	CB5/NC	153	V <sub>DD</sub>	219	DQS6_c	22	V <sub>SS</sub>	88	CB4/NC	154	V <sub>DD</sub>	220	DM6_n/ DBI6_n
23	V <sub>SS</sub>	89	V <sub>SS</sub>	155	ODT0	221	DQS6_t	24	DQ12	90	V <sub>SS</sub>	156	CAS_n/ A15	222	V <sub>SS</sub>
25	DQ13	91	CB1/NC	157	CS1_n/ NC	223	V <sub>SS</sub>	26	V <sub>SS</sub>	92	CB0/NC	158	A13	224	DQ54
27	V <sub>SS</sub>	93	V <sub>SS</sub>	159	V <sub>DD</sub>	225	DQ55	28	DQ8	94	V <sub>SS</sub>	160	V <sub>DD</sub>	226	V <sub>SS</sub>
29	DQ9	95	DQS8_c/ NC	161	ODT1/ NC	227	V <sub>SS</sub>	30	V <sub>SS</sub>	96	DM8_n/ DBI_n/NC	162	C0/ CS2_n/NC	228	DQ50
31	V <sub>SS</sub>	97	DQS8_t/ NC	163	V <sub>DD</sub>	229	DQ51	32	DQS1_c	98	V <sub>SS</sub>	164	V <sub>REFCA</sub>	230	V <sub>SS</sub>
33	DM1_n/ DBI_n	99	V <sub>SS</sub>	165	C1, CS3_n, NC	231	V <sub>SS</sub>	34	DQ51_t	100	CB6/NC	166	SA2	232	DQ60
35	V <sub>SS</sub>	101	CB2/NC	167	V <sub>SS</sub>	233	DQ61	36	V <sub>SS</sub>	102	V <sub>SS</sub>	168	V <sub>SS</sub>	234	V <sub>SS</sub>
37	DQ15	103	V <sub>SS</sub>	169	DQ37	235	V <sub>SS</sub>	38	DQ14	104	CB7/NC	170	DQ36	236	DQ57
39	V <sub>SS</sub>	105	CB3/NC	171	V <sub>SS</sub>	237	DQ56	40	V <sub>SS</sub>	106	V <sub>SS</sub>	172	V <sub>SS</sub>	238	V <sub>SS</sub>
41	DQ10	107	V <sub>SS</sub>	173	DQ33	239	V <sub>SS</sub>	42	DQ11	108	RESET_n	174	DQ32	240	DQ57_c
43	V <sub>SS</sub>	109	CKE0	175	V <sub>SS</sub>	241	DM7_n/ DBI7_n	44	V <sub>SS</sub>	110	CKE1/ NC	176	V <sub>SS</sub>	242	DQ57_t
45	DQ21	111	V <sub>DD</sub>	177	DQS4_c	243	V <sub>SS</sub>	46	DQ20	112	V <sub>DD</sub>	178	DM4_n/ DBI4_n	244	V <sub>SS</sub>
47	V <sub>SS</sub>	113	BG1	179	DQS4_t	245	DQ62	48	V <sub>SS</sub>	114	ACT_n	180	V <sub>SS</sub>	246	DQ63
49	DQ17	115	BG0	181	V <sub>SS</sub>	247	V <sub>SS</sub>	50	DQ16	116	ALERT_n	182	DQ39	248	V <sub>SS</sub>
51	V <sub>SS</sub>	117	V <sub>DD</sub>	183	DQ38	249	DQ58	52	V <sub>SS</sub>	118	V <sub>DD</sub>	184	V <sub>SS</sub>	250	DQ59
53	DQS2_c	119	A12	185	V <sub>SS</sub>	251	V <sub>SS</sub>	54	DM2_n/ DBI2_n	120	A11	186	DQ35	252	V <sub>SS</sub>
55	DQS2_t	121	A9	187	DQ34	253	SCL	56	V <sub>SS</sub>	122	A7	188	V <sub>SS</sub>	254	SDA
57	V <sub>SS</sub>	123	V <sub>DD</sub>	189	V <sub>SS</sub>	255	V <sub>DDSPD</sub>	58	DQ22	124	V <sub>DD</sub>	190	DQ45	256	SA0
59	DQ23	125	A8	191	DQ44	257	V <sub>PP</sub>	60	V <sub>SS</sub>	126	A5	192	V <sub>SS</sub>	258	V <sub>TT</sub>
61	V <sub>SS</sub>	127	A6	193	V <sub>SS</sub>	259	V <sub>PP</sub>	62	DQ18	128	A4	194	DQ41	260	SA1
63	DQ19	129	V <sub>DD</sub>	195	DQ40	—	—	64	V <sub>SS</sub>	130	V <sub>DD</sub>	196	V <sub>SS</sub>	—	—
65	V <sub>SS</sub>	131	A3	197	V <sub>SS</sub>	—	—	66	DQ28	132	A2	198	DQS5_c	—	—

Figura 189 - DDR4 SODIMM PINOUT

## M.2 Type 2280 NAND Flash SSD<sup>74</sup>

### ***Footprint***



**Figura 190 - M.2 Type 2280 NAND Flash SSD**

74 [https://www.micron.com/-/media/client/global/documents/products/data-sheet/ssd/m550\\_m2\\_2280\\_ssdf.pdf](https://www.micron.com/-/media/client/global/documents/products/data-sheet/ssd/m550_m2_2280_ssdf.pdf) (Última revisión :20-09-2021)

**Pinout**

Primary Side			Secondary Side		
Pin #	Signal Name	Description	Pin #	Signal Name	Description
1	GND (PRESENCE)	Ground	2	3V3	+3.3V
3	GND	Ground	4	3V3	+3.3V
5	GND	No connect	6	Reserved	No connect
7	DNU	No connect	8	Reserved	No connect
9	DNU	Ground	10	DAS/DSS	Drive activity (host LED)
11	GND	Ground	Key		
Key			20	Reserved	No connect
21	GND (Direct to P69)	No connect	22	Reserved	No connect
23	DNU	No connect	24	Reserved	No connect
25	DNU	No connect	26	Reserved	No connect
27	GND	Ground	28	Reserved	No connect
29	Reserved	No connect	30	Reserved	No connect
31	Reserved	No connect	32	Reserved	No connect
33	GND	Ground	34	Reserved	No connect
35	Reserved	No connect	36	Reserved	No connect
37	Reserved	No connect	38	DEVSLP	Device sleep
39	GND	Ground	40	Reserved	No connect
41	SATA +B	SATA B differential pair	42	Reserved	No connect
43	SATA -B		44	Reserved	No connect
45	GND	Ground	46	Reserved	No connect
47	SATA -A	SATA A differential pair	48	Reserved	No connect
49	SATA +A		50	Reserved	No connect
51	GND	Ground	52	Reserved	No connect
53	Reserved	No connect	54	Reserved	No connect
55	Reserved	No connect	56	Reserved	Vendor use
57	GND	Ground	58	Reserved	Vendor use
Key			Key		
67	DNU	No connect	68	SUSCLK	No connect
69	PEDET	Ground	70	3V3	+3.3V
71	GND	Ground	72	3V3	+3.3V
73	GND	Ground	74	3V3	+3.3V
75	GND	Ground			

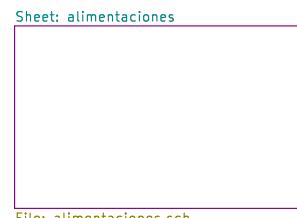
**Figura 191 - M.2 SSD Pinout**

## **Esquemáticos**

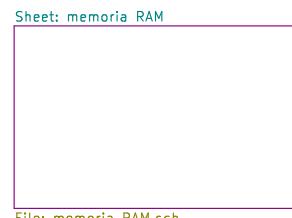
# TFG:GUÍA PRÁCTICA PARA EL DISEÑO DE SoCs

## A COMPONENTES:

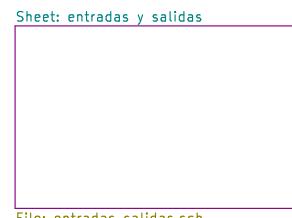
- XC7Z010-CLG400 (SoC)
- TPS563201 x4
- MT41K256M16 (MEMORIA RAM) x2
- FT2232H (JTAG)
- SD CONNECTOR
- S25FL128S
- ASE – 33.333MHz
- 93C46



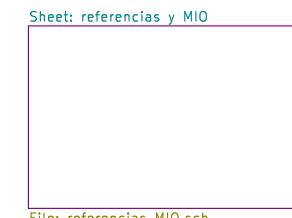
File: alimentaciones.sch



File: memoria\_RAM.sch



File: entradas\_salidas.sch



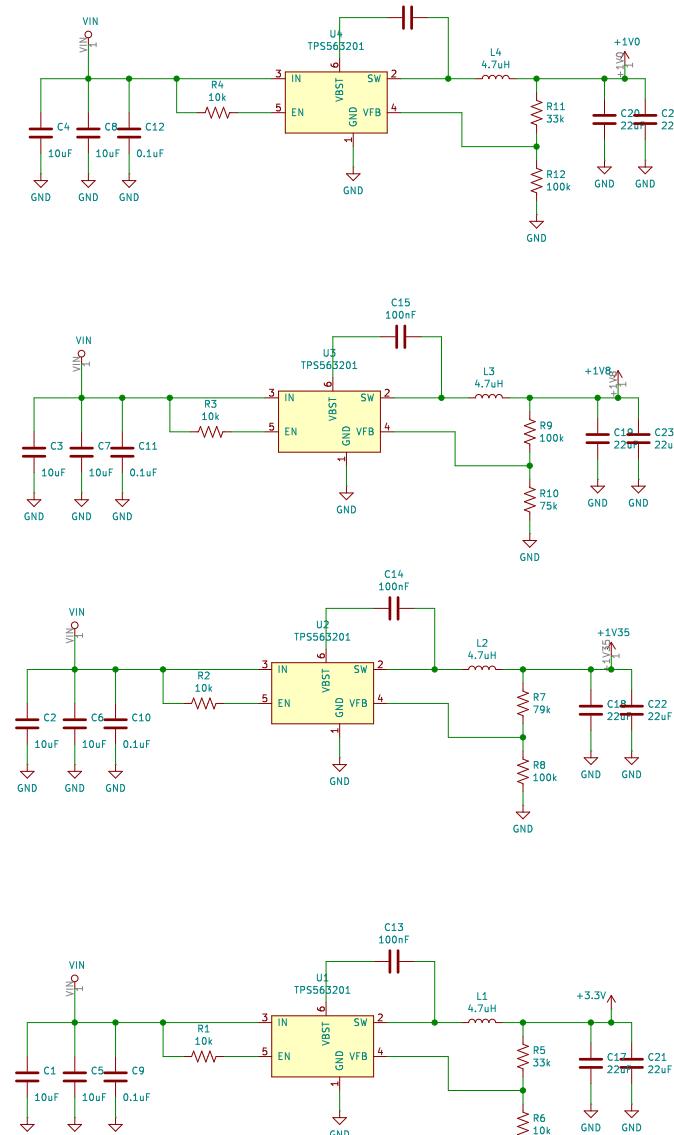
File: referencias\_MIO.sch

[https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/esquematico\\_Zynq\\_7000](https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/esquematico_Zynq_7000)

UAH	
Sheet: /	
File: esquematico_Zynq_7000.sch	
<b>Title: TFG: GUÍA PRÁCTICA PARA EL DISEÑO DE SoCs: Zynq-7000</b>	
Size: A4	Date:
KiCad E.D.A. kicad (5.1.9)-1	Rev: Id: 1/5

# TPS563201

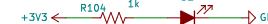
$$V_{out} = 0.768 \times (1 + R_1/R_2)$$



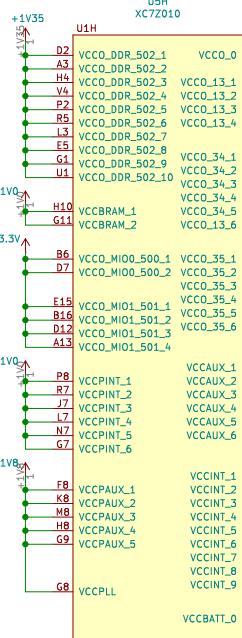
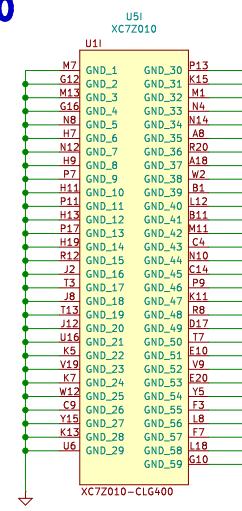
# Voltage Input



led ON



# XC7Z010



UAH

Sheet: /alimentaciones/

File: alimentaciones.sch

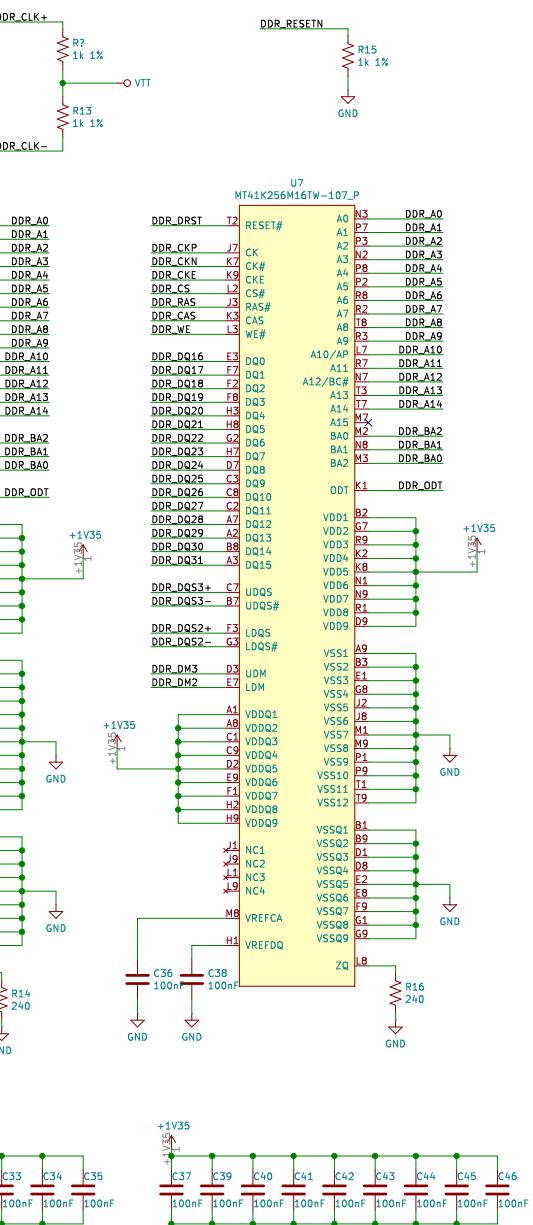
Title: TFG: GUÍA PRÁCTICA PARA EL DISEÑO DE SoCs: Zynq-7000

Size: A3 Date:

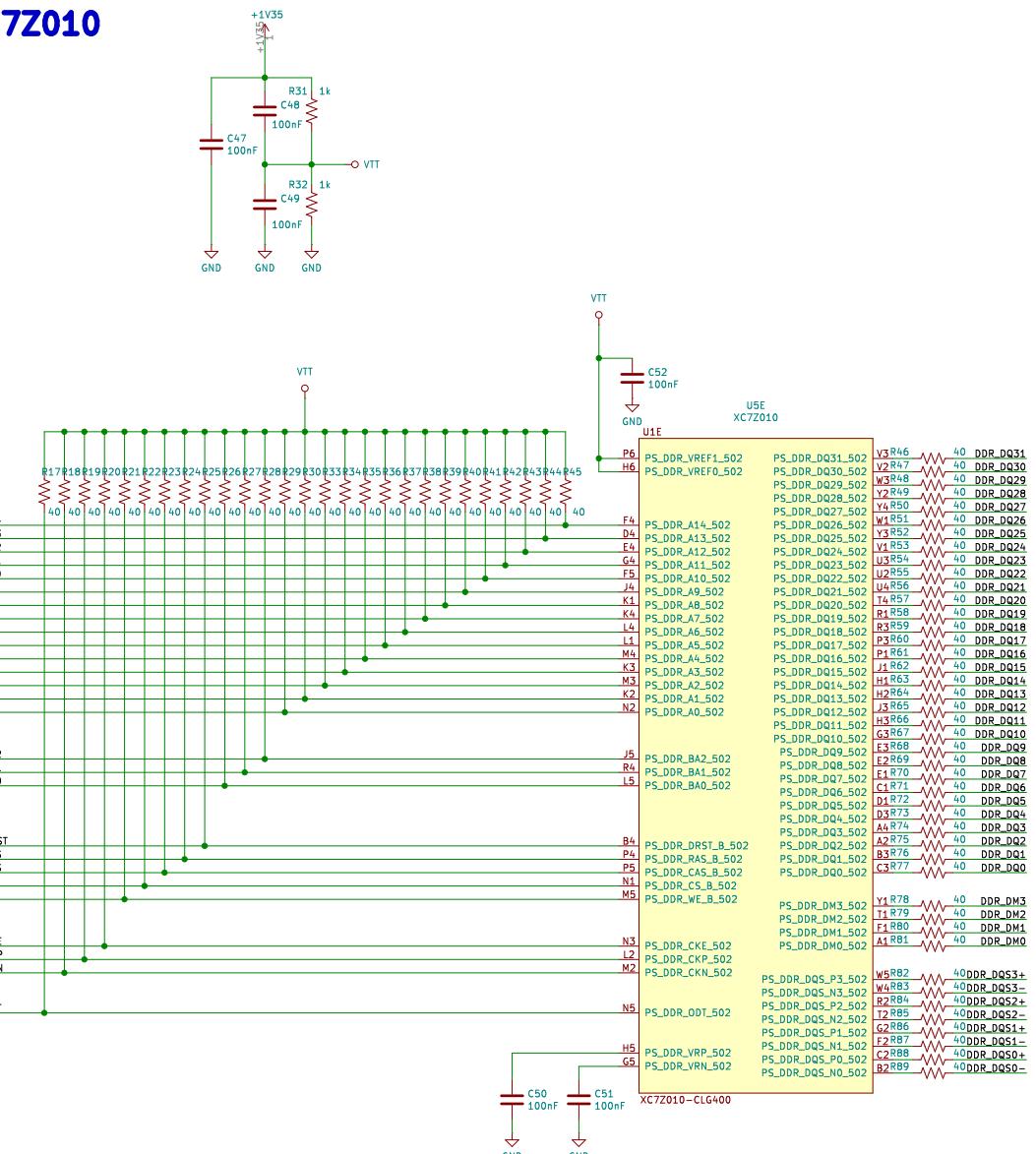
KiCad E.D.A. kicad (5.1.9)-1

Rev: Id: 2/5

## RAM Memory



## XC7Z010

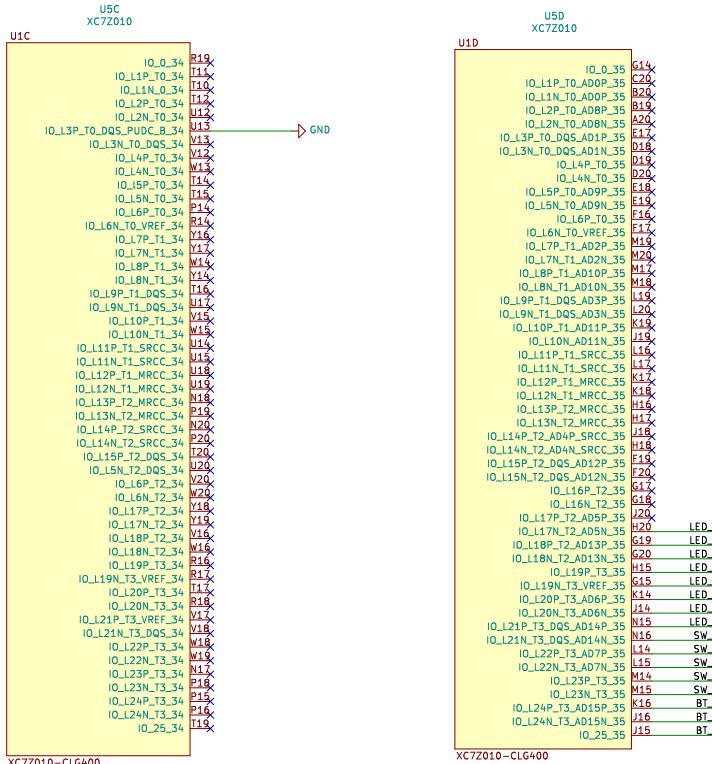


UAH

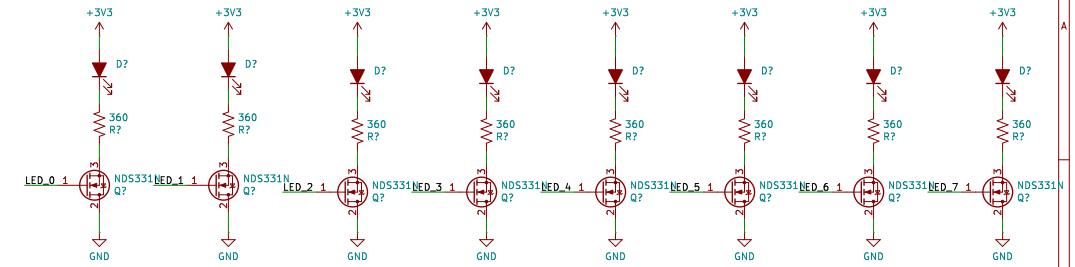
Sheet: /memoria\_RAM /  
File: memoria\_RAM.sch

Title: TFG: GUÍA PRÁCTICA PARA EL DISEÑO DE SoCs: Zynq-7000  
Size: A3 Date: Rev:  
KiCad E.D.A. kicad (5.1.9)-1 Id: 3/5

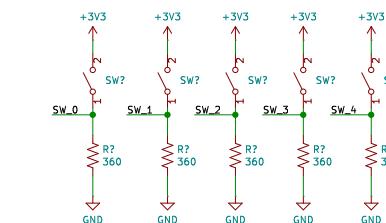
# XC7Z010



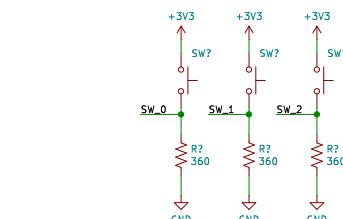
## LEDS



## SWITCHES



## BUTTON



UAH

Sheet: /entradas\_y\_salidas/

File: entradas\_salidas.sch

Title: TFG: GUÍA PRÁCTICA PARA EL DISEÑO DE SoCs: Zynq-7000

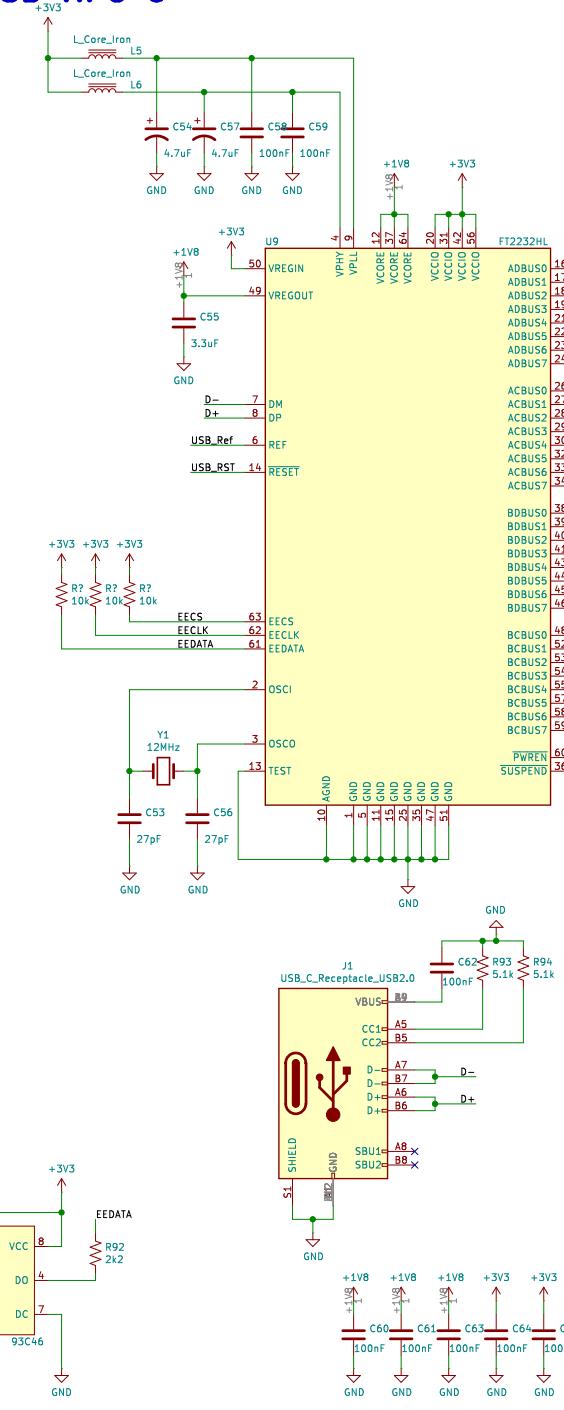
Size: A3 Date:

KiCad E.D.A. kicad (5.1.9)-1

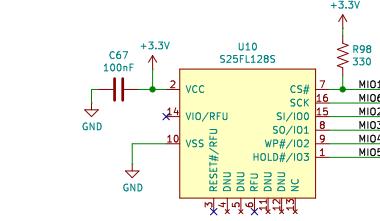
Rev:

Id: 4/5

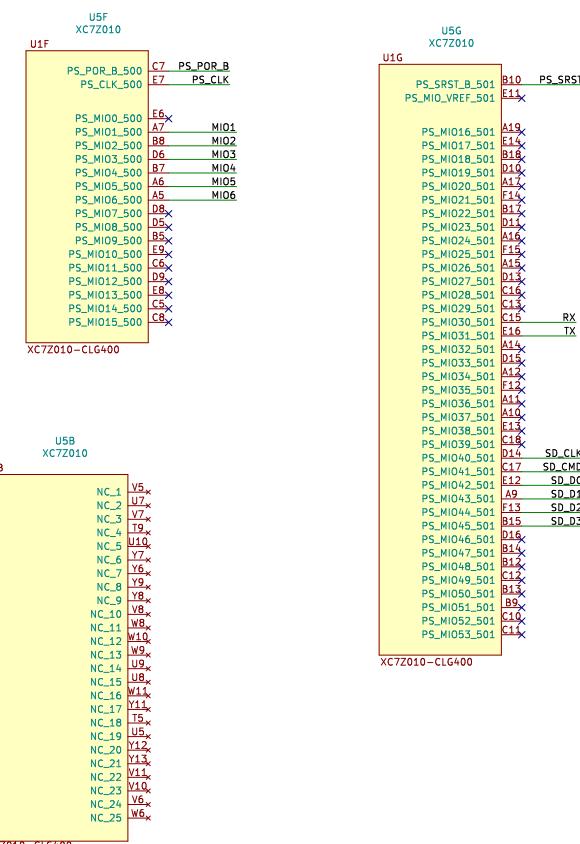
# JTAG - USB TIPO C



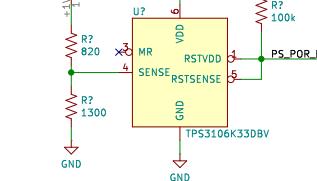
# QUAD SPI FLASH



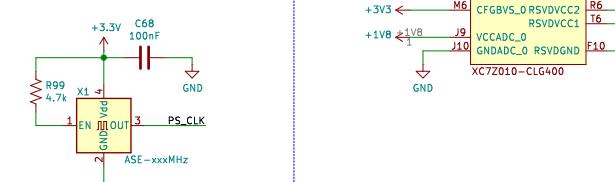
# XC7Z010



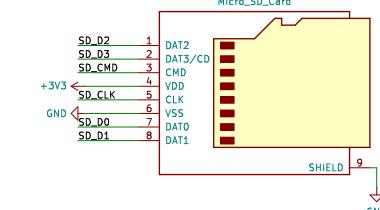
# delay RST



# 33MHz Oscillator



# SD Connector



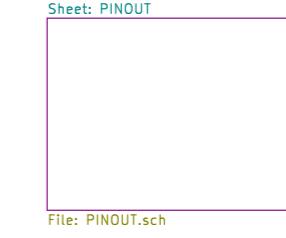
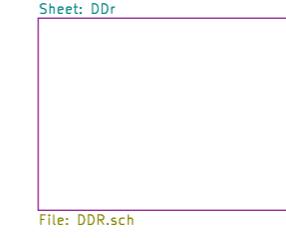
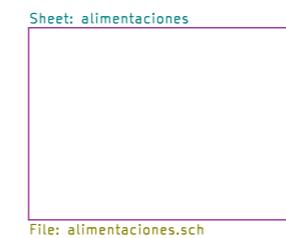
# UAH

Sheet: /referencias\_y\_MIO/  
File: referencias\_MIO.sch  
**Title: TFG: GUÍA PRACTICA PARA EL DISEÑO DE SoCs: Zynq-7000**  
Size: A3 Date:  
Rev:  
KiCad E.D.A. kicad (5.1.9)-1 Id: 5/5

# TFG: GUÍA PRÁCTICA PARA EL DISEÑO DE SoCs

## COMPONENTES:

- XC7ZU2CG
- MT40A512M16
- TPS563201
- USB3320
- SiT8103AC-23-18E-33.33333
- MAX16025
- MT25QU512ABB
- IP4856CX25

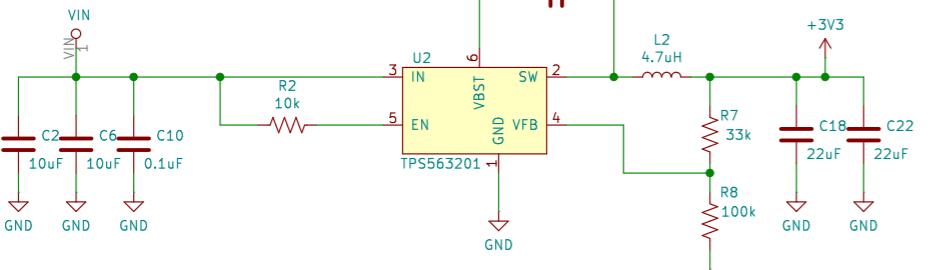
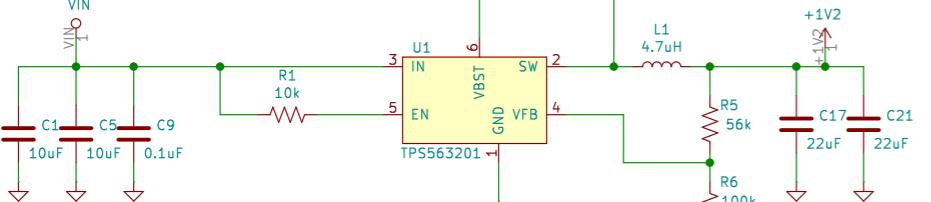
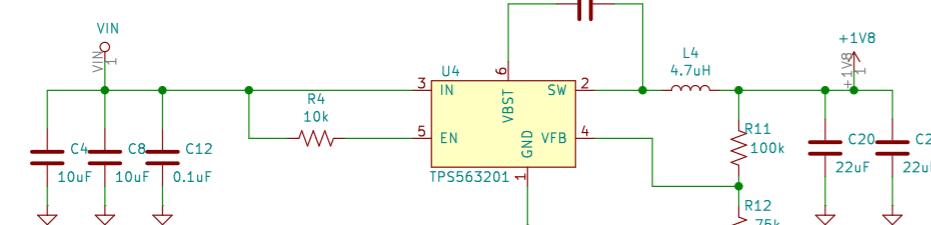
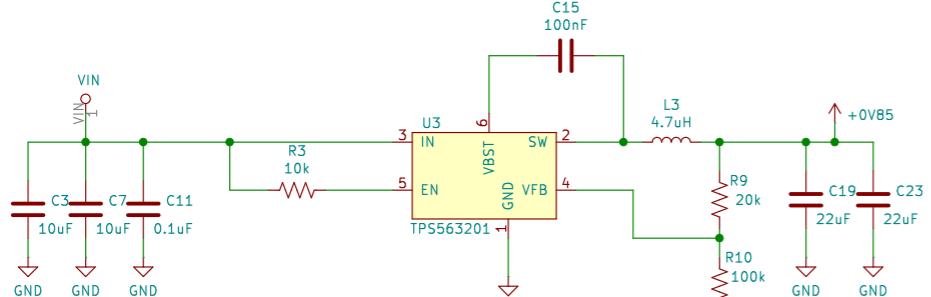


[https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/esquematico\\_Zynq-UltraScale/esquematico\\_Zynq-UltraScale](https://github.com/DRubioG/Guia-practica-para-el-dise-o-de-SoCs/tree/main/esquematico_Zynq-UltraScale/esquematico_Zynq-UltraScale)

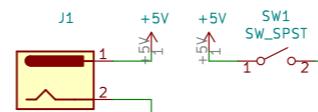
UAH	
Sheet: /	Date:
File: esquematico_Zynq-UltraScale.sch	
<b>Title: TFG: Guía práctica para el diseño de SoCs: Zynq UltraScale+</b>	
Size: A3	Date:
KiCad E.D.A. kicad (5.1.9)-1	Rev: 1/6

**TPS563201**

$$V_{out} = 0,768 \times (1 + R_1/R_2)$$



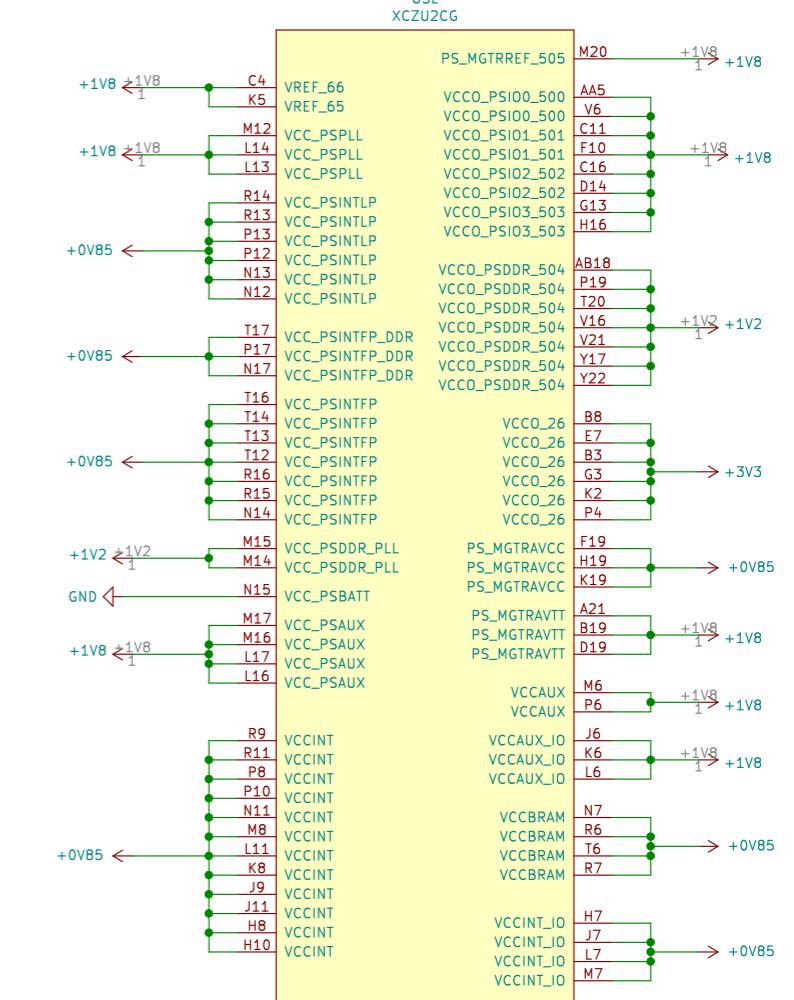
## VOLTAGE INPUT



## **led ON**



**XCZU2CG**



14

Sheet: /alimentaciones/  
Page: alimentaciones.sch

Título: TFG: Guía práctica para el diseño de SoCs: Zynq UltraScale+

Rev: Id: 2/6

A

B

C

D

E

F

A

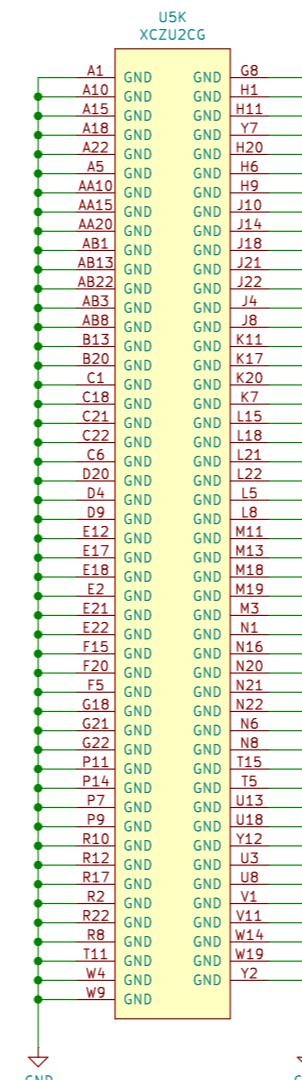
B

C

D

E

F

**UAH**

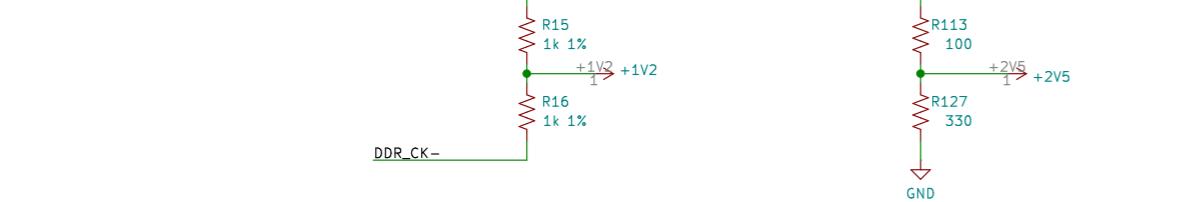
Sheet: /GND/  
File: GND.sch

**Title:** TFG: Guía práctica para el diseño de SoCs: Zynq UltraScale+

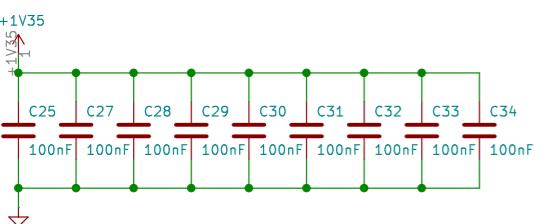
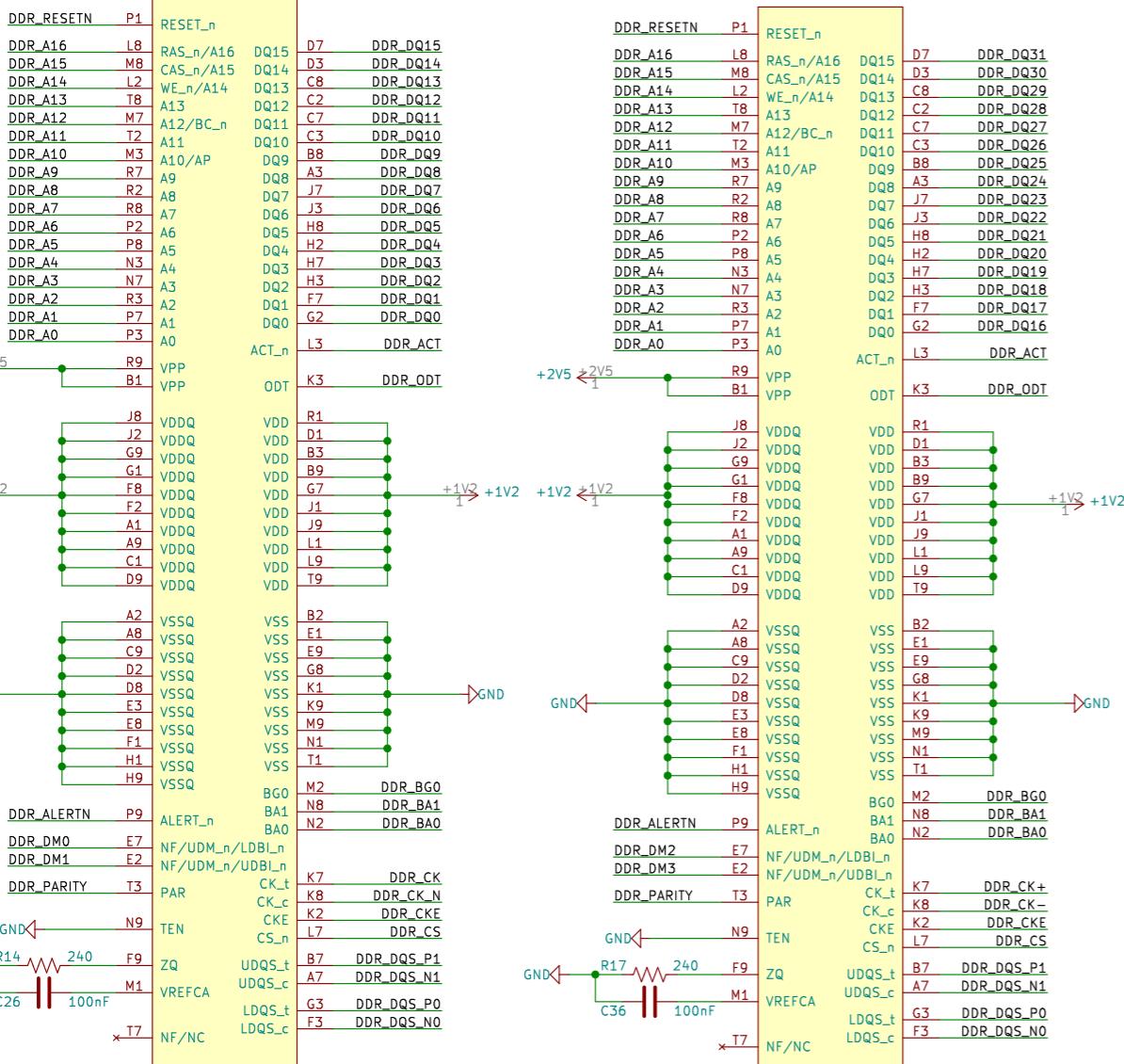
Size: A3 | Date:  
KiCad E.D.A. kicad (5.1.9)-1

Rev:  
Id: 3/6

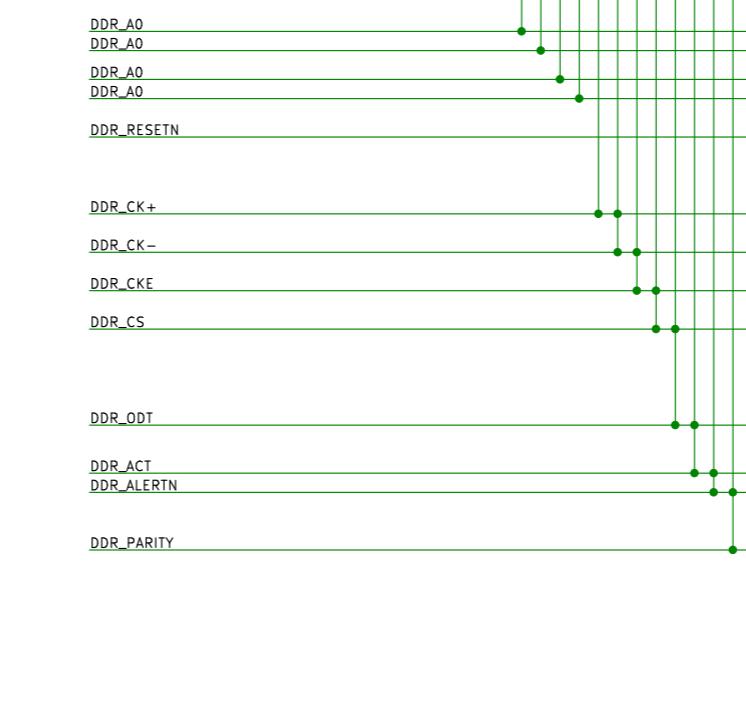
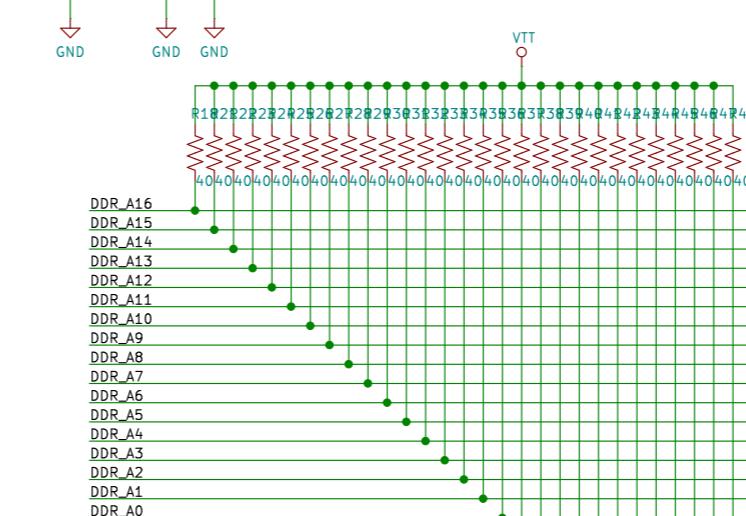
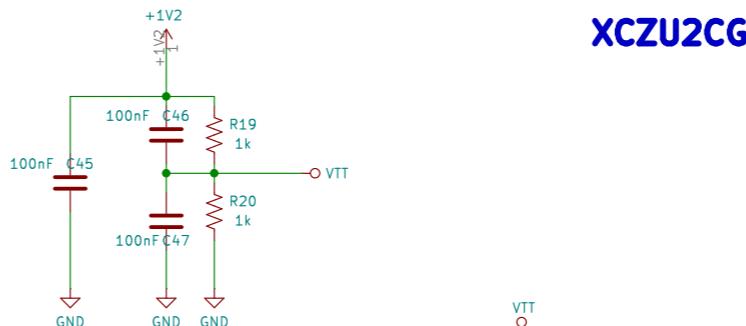
## MT40A512M16



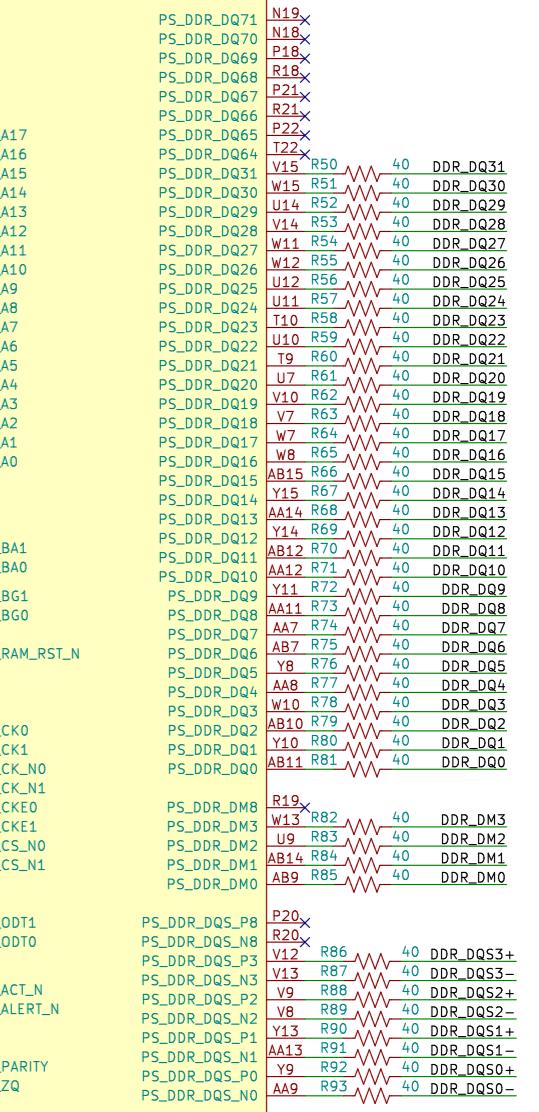
U6  
MT40A512M16



## XCZU2CG



U51  
XCZU2CG



## UAH

Sheet: /DDR/

File: DDR.sch

Title: TFG: Guía práctica para el diseño de SoCs: Zynq UltraScale+

Size: A3

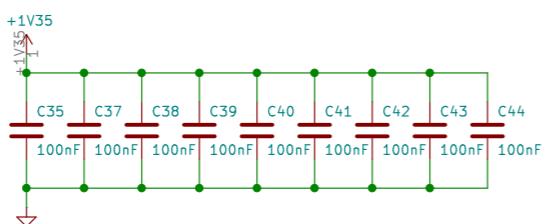
Date:

KiCad E.D.A.

kicad (5.1.9)-1

Rev:

Id: 4/6



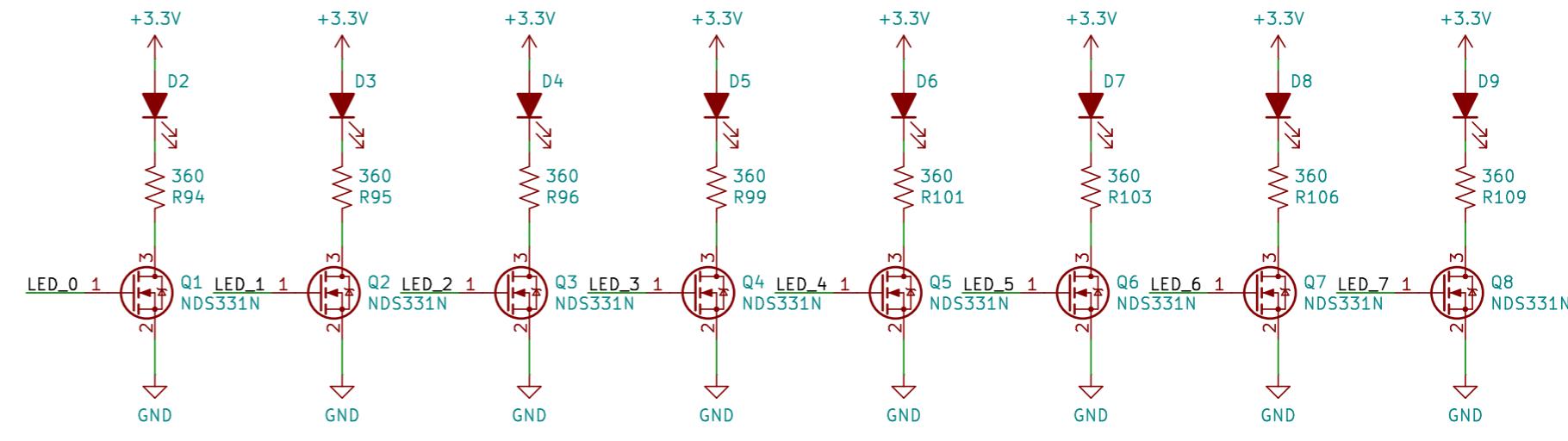
1 2 3 4 5 6 7 8

F F F F F F F F

**XCZU2CG**

1 2 3 4 5 6

## LEDS



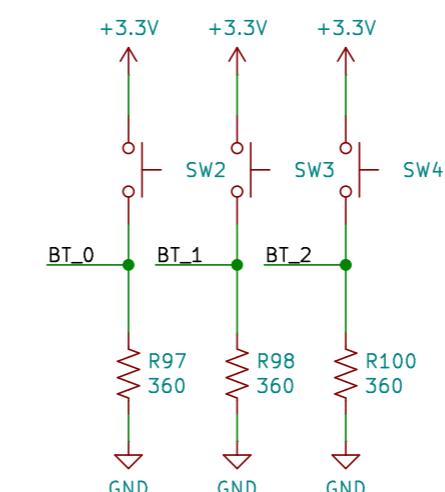
U5C  
XCZU2CG

A2
A3
A4
B1
B2
B3
B4

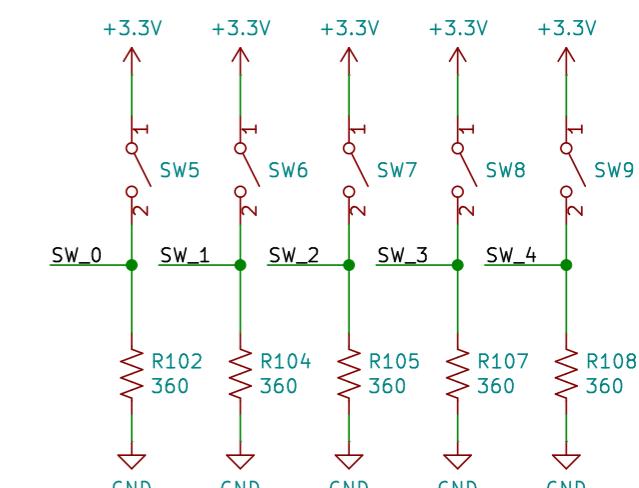
U5B  
XCZU2CG

A6	LED_0
B7	LED_1
B5	LED_2
B6	LED_3
A7	LED_4
B10	AD2N_26
I0_L10P_AD2P_26	LED_5
I0_L9N_AD3N_26	LED_6
I0_L9P_AD3P_26	LED_7
I0_L8N_HDGC_AD4N_26	C7
I0_L8P_HDGC_AD4P_26	C8
I0_L7N_HDGC_AD5N_26	C5
I0_L7P_HDGC_AD5P_26	D5
I0_L6N_HDGC_AD6N_26	D8
I0_L6P_HDGC_AD6P_26	E8
I0_L5N_HDGC_AD7N_26	D6
I0_L5P_HDGC_AD7P_26	D7
I0_L4N_AD8N_26	F7
I0_L4P_AD8P_26	F8
I0_L3N_AD9N_26	E5
I0_L3P_AD9P_26	F6
I0_L2N_AD10N_26	SW_0
I0_L2P_AD10P_26	SW_1
I0_L1N_AD11N_26	SW_2
I0_L1P_AD11P_26	SW_3

## BUTTON



## SWITCHES



## UAH

Sheet: /PINOUT/  
File: PINOUT.sch

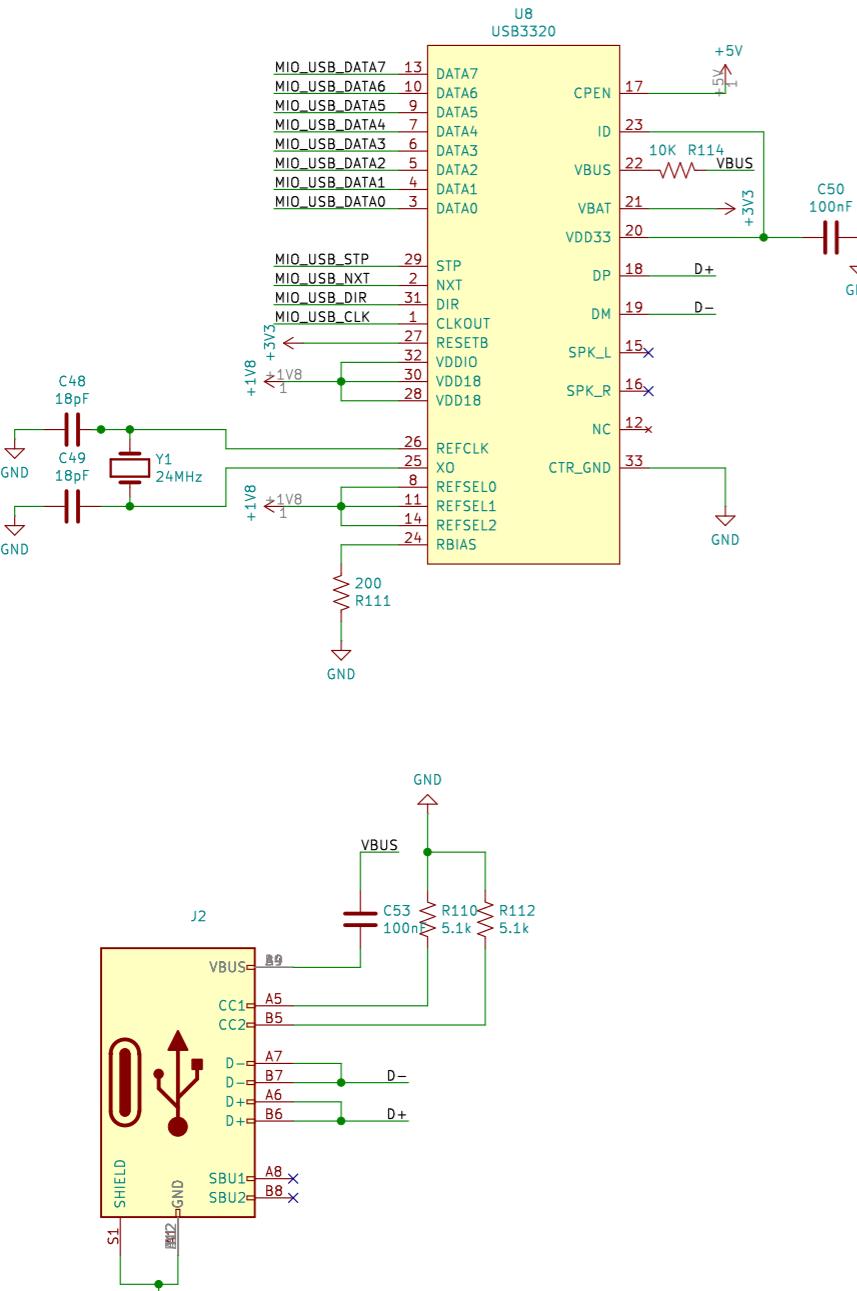
Title: TFG: Guía práctica para el diseño de SoCs: Zynq UltraScale+

Size: A4 Date:  
KiCad E.D.A. kicad (5.1.9)-1

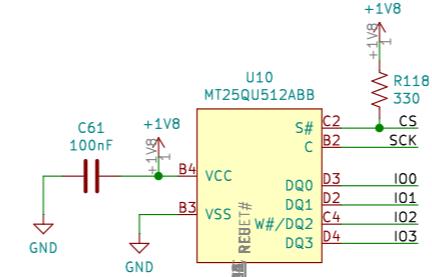
Rev:  
Id: 5/6

1 2 3 4 5 6 7 8

## USB TIPO C



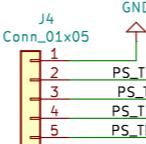
## SPI FLASH



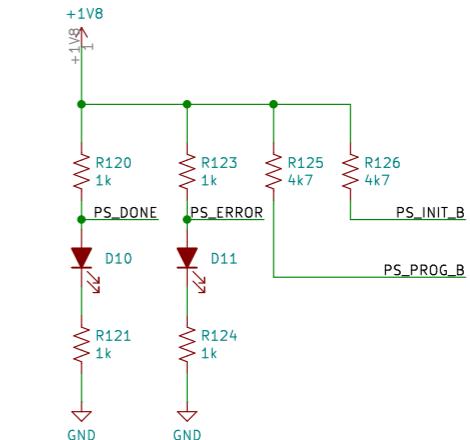
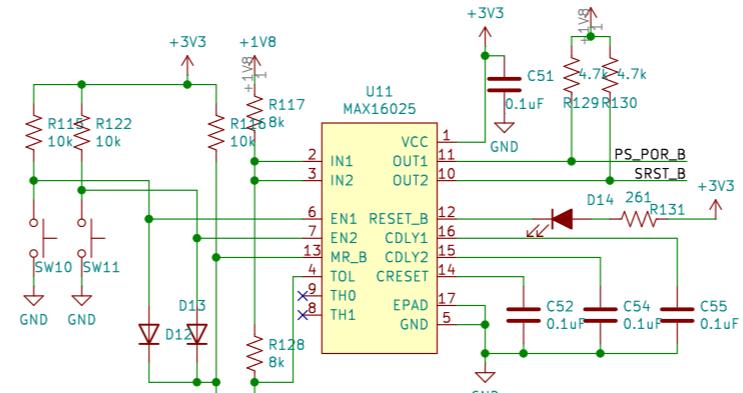
## XCZU2CG

U5E XCZU2CG		U5F XCZU2CG		U5G XCZU2CG	
PS_MIO0	U4	SCK	G9	MIO_USB_CLK	G14
PS_MIO1	W1	I02	G14	MIO_USB_DIR	F14
PS_MIO2	V2	I03	G15	MIO_USB_DATA2	G15
PS_MIO3	U5	I00	G14	MIO_USB_NXT	C14
PS_MIO4	U6	I00	E14	MIO_USB_DATA0	D14
PS_MIO5	A41	CS	F14	MIO_USB_DATA1	B14
PS_MIO6	Y1		F12	MIO_USB_STP	P5_MIO58
PS_MIO7	V4		F12	MIO_USB_DATA3	E15
PS_MIO8	V3		F9	MIO_USB_DATA4	D15
PS_MIO9	V5		F13	MIO_USB_DATA5	G16
PS_MIO10	A2		E10	MIO_USB_DATA6	C15
PS_MIO11	V2		D10	MIO_USB_DATA7	F16
PS_MIO12	A3		E11		P5_MIO63
PS_MIO13	V3		C9		P5_MIO64
PS_MIO14	V5		C10	MIO_SEL	B15
PS_MIO15	Y4		C11	MIO_DIR_CMD	D16
PS_MIO16	Y3		B10	MIO_DIR0	G17
PS_MIO17	A3		D12	MIO_DIR1_3	B16
PS_MIO18	Y5		E13		P5_MIO67
PS_MIO19	A4		A11	MIO_WP	A17
PS_MIO20	AB4		F17		P5_MIO71
PS_MIO21	V6		C12	MIO_DATO	C17
PS_MIO22	A46		B12	MIO_DAT1	D17
PS_MIO23	AB5		D12	MIO_DAT2	B18
PS_MIO24	AB6		D13	MIO_DAT3	P5_MIO74
PS_MIO25	Y6		A13	MIO_CMD	F18
PS_MIO26			P5_MIO75		P5_MIO76
PS_MIO27					B16
PS_MIO28					
PS_MIO29					
PS_MIO30					
PS_MIO31					
PS_MIO32					
PS_MIO33					
PS_MIO34					
PS_MIO35					
PS_MIO36					
PS_MIO37					
PS_MIO38					
PS_MIO39					
PS_MIO40					
PS_MIO41					
PS_MIO42					
PS_MIO43					
PS_MIO44					
PS_MIO45					
PS_MIO46					
PS_MIO47					
PS_MIO48					
PS_MIO49					
PS_MIO50					
PS_MIO51					

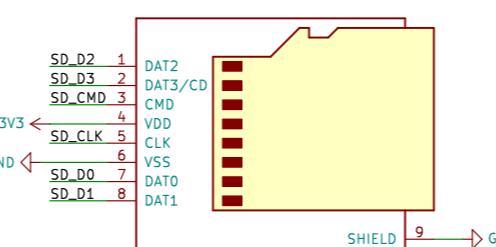
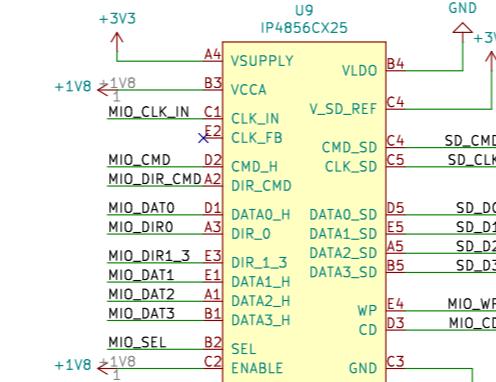
## JTAG



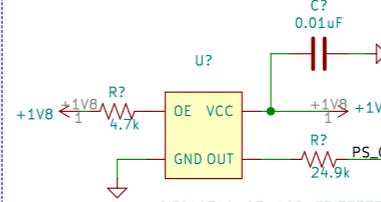
## DELAY RST



## SD



## OSCILLATOR 33MHz



U5H XCZU2CG	
PS_DONE	L12
PS_ERROR_OUT	P5_MGTTRXN1_505
K16	H22
PS_INIT_B	P5_MGTTRXN2_505
K15	B22
PS_JTAG_TCK	P5_MGTTRXN3_505
H13	M21
PS_JTAG_TDI	P5_MGTTRXP0_505
H12	D21
PS_JTAG_TDO	P5_MGTTRXP1_505
J13	B21
PS_JTAG_TMS	P5_MGTTRXP2_505
J12	C20
PS_MODE0	P5_MGTTRXP3_505
H15	K21
PS_MODE1	P5_MGTTRXN1_505
J15	A20
PS_MODE2	P5_MGTTRXN2_505
H16	F21
PS_MODE3	P5_MGTTRXN3_505
H17	C19
PS_PADI	P5_MGTTRXP0_505
K17	A19
PS_PAD0	P5_MGTTRXP1_505
K12	P5_MGTTRXP2_505
PS_POR_B	P5_MGTTRXP3_505
K14	E19
PS_PROG_B	
H14	
PS_CLK	
K13	
PS_SRST_B	

U5F XCZU2CG	
PS_MIO26	G14
PS_MIO27	F14
PS_MIO28	G15
PS_MIO29	F9
PS_MIO30	G14
PS_MIO31	F11
PS_MIO32	F12
PS_MIO33	F12
PS_MIO34	F13
PS_MIO35	F13
PS_MIO36	F10
PS_MIO37	F10
PS_MIO38	F11
PS_MIO39	F12
PS_MIO40	F11
PS_MIO41	F12
PS_MIO42	F12
PS_MIO43	F13
PS_MIO44	F14
PS_MIO45	F14
PS_MIO46	F15
PS_MIO47	F15
PS_MIO48	F15
PS_MIO49	F16
PS_MIO50	F16
PS_MIO51	F16

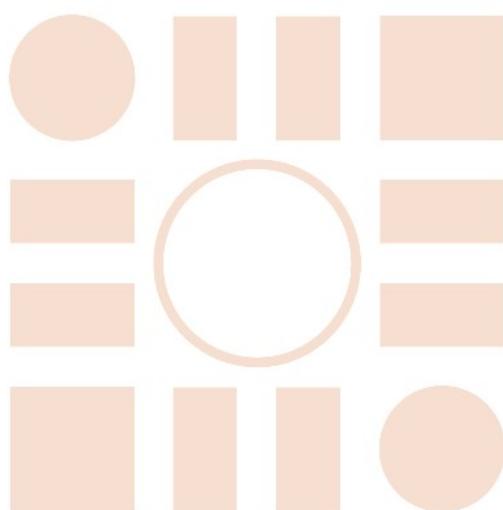
U5G XCZU2CG	
PS_MIO52	G14
PS_MIO53	F14
PS_MIO54	G15
PS_MIO55	F15
PS_MIO56	C14
PS_MIO57	A14
PS_MIO58	D14
PS_MIO59	E14
PS_MIO60	G16
PS_MIO61	D16
PS_MIO62	C15
PS_MIO63	F16
PS_MIO64	A16
PS_MIO65	B15
PS_MIO66	D16
PS_MIO67	G17
PS_MIO68	B16
PS_MIO69	A16
PS_MIO70	F17
PS_MIO71	C17
PS_MIO72	D17
PS_MIO73	D17
PS_MIO74	B17
PS_MIO75	F18
PS_MIO76	F18
PS_MIO77	B18

UAH  
Sheet: /MIO & REFERENCIA/  
File: MIO\_REFERENCIA.sch

Title: TFG: Guía práctica para el diseño de SoCs: Zynq UltraScale+

Size: A3	Date:	Rev:
Kicad E.D.A.	kicad (5.1.9)-1	Id: 6/6

Universidad de Alcalá  
Escuela Politécnica Superior



ESCUELA POLITECNICA  
SUPERIOR



Universidad  
de Alcalá