4Gb DDR4 (UDIMM)

designed by: SoC-eame
designed in Spain

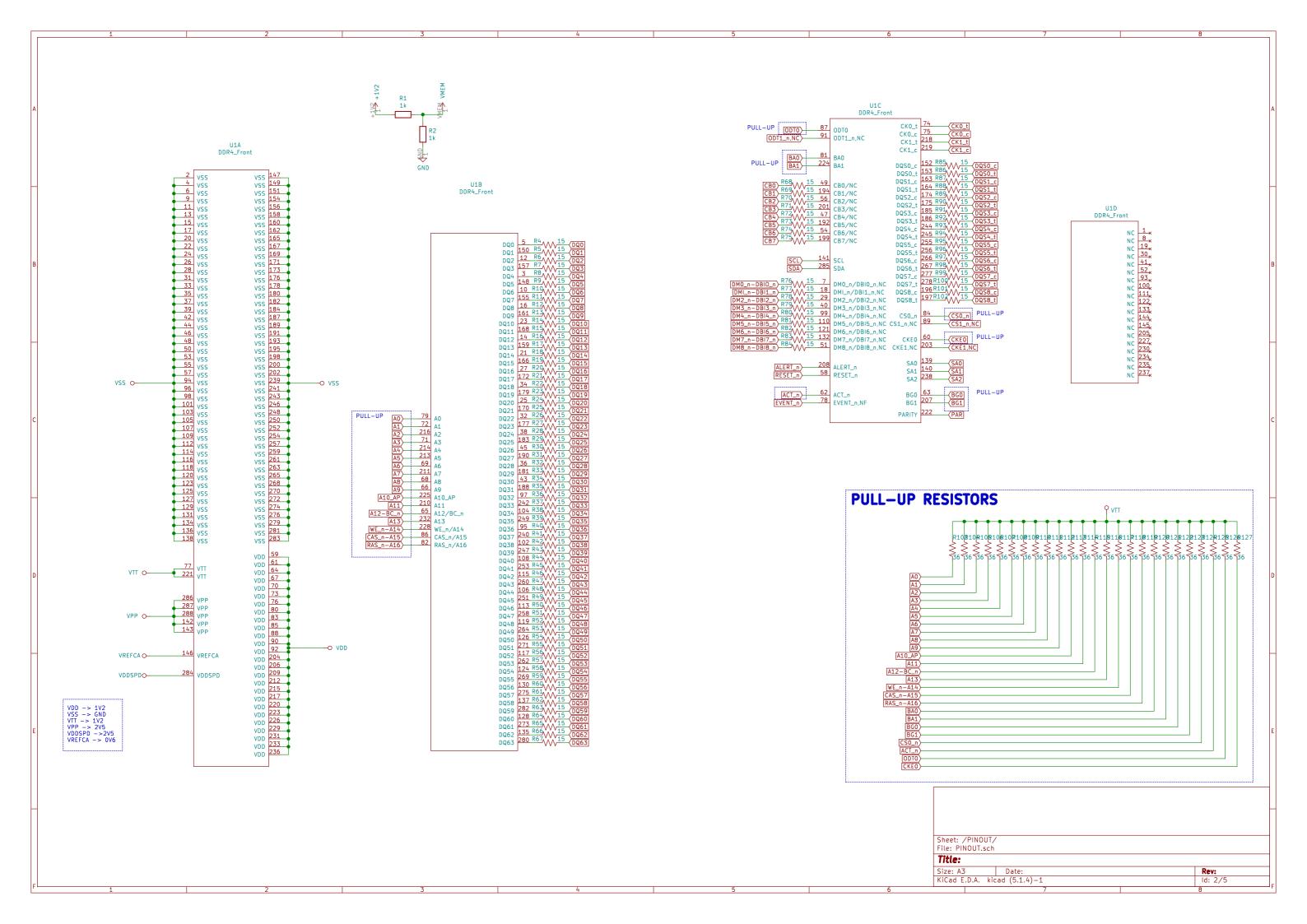**VERSION 0:**

RAM CHIP:
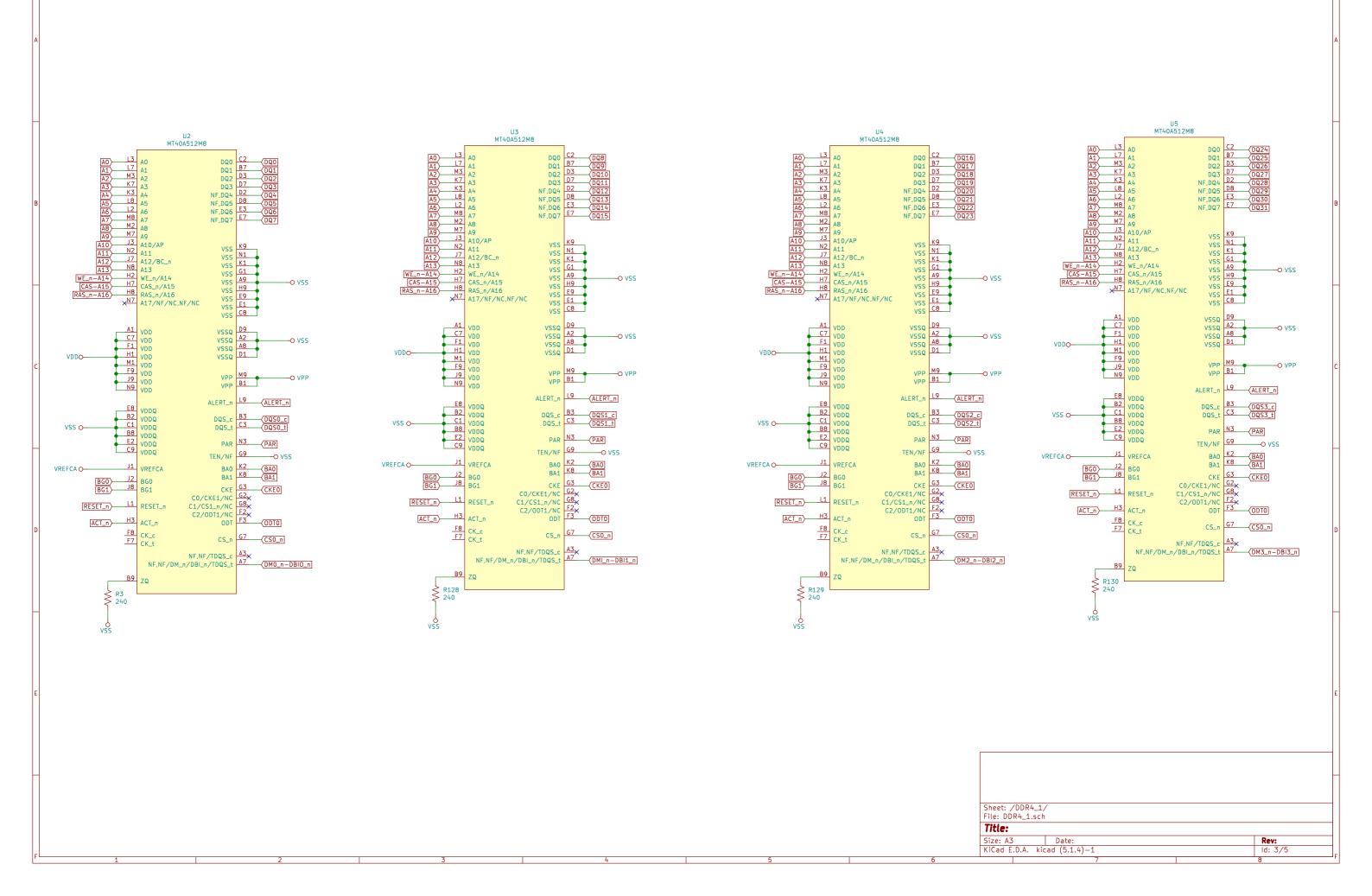 MT40A512M8 (x9)

TEMPERATURE SENSOR FOR SPD:
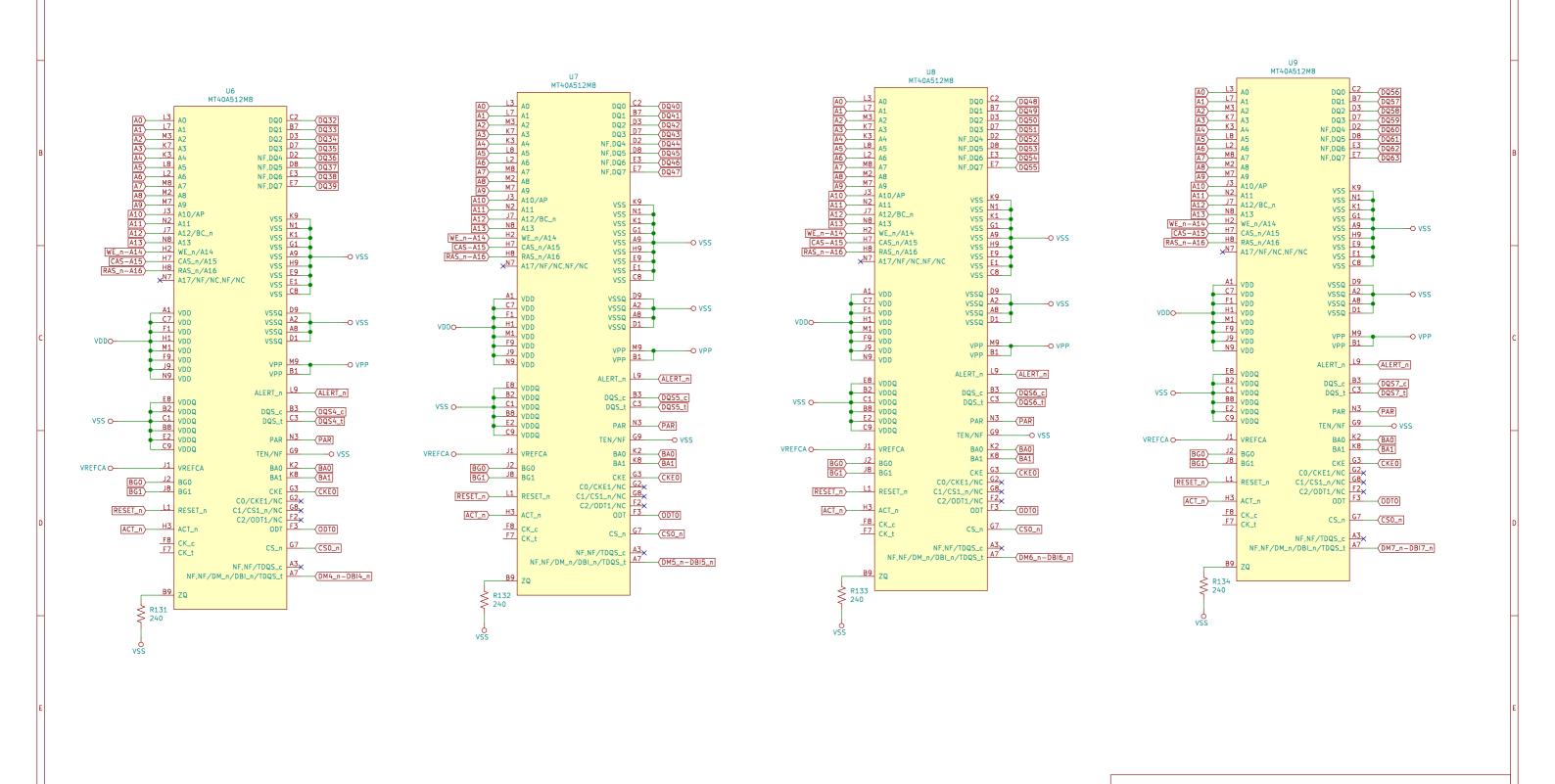 MCP9843

Sheet: PINOUT
File: PINOUT.sch

Sheet: DDR4_1
File: DDR4_1.sch

Sheet: DDR4_2
File: DDR4_2.sch

Sheet: TEMPERATURE&DDR4
File: DDR4_3.sch

soceame.wordpress.com

PULL-UP RESISTORS

VDD -> 1V2
VSS -> GND
VTT -> 1V2
VPP -> 2V5
VDDSPD ->2V5
VREFCA -> 0V6

U2 MT40A512M8

Pin	Signal		Signal	Pin	Net
L3	A0		DQ0	C2	DQ0
L7	A1		DQ1	B7	DQ1
M3	A2		DQ2	D3	DQ2
K7	A3		DQ3	D7	DQ3
K3	A4		NF,DQ4	D2	DQ4
L8	A5		NF,DQ5	D8	DQ5
L2	A6		NF,DQ6	E3	DQ6
M8	A7		NF,DQ7	E7	DQ7
M2	A8				
M7	A9				
J3	A10/AP		VSS	K9	
N2	A11		VSS	N1	
J7	A12/BC_n		VSS	K1	
N8	A13		VSS	G1	
H2	WE_n/A14		VSS	A9	
H7	CAS_n/A15		VSS	H9	
H8	RAS_n/A16		VSS	E9	
N7	A17/NF/NC,NF/NC		VSS	E1	VSS
			VSS	C8	
A1	VDD		VSSQ	D9	
C7	VDD		VSSQ	A2	
F1	VDD		VSSQ	A8	VSS
H1	VDD		VSSQ	D1	
M1	VDD				
F9	VDD		VPP	M9	VPP
J9	VDD		VPP	B1	
N9	VDD				
			ALERT_n	L9	ALERT_n
E8	VDDQ		DQS_c	B3	DQS0_c
B2	VDDQ		DQS_t	C3	DQS0_t
C1	VDDQ				
L8	VDDQ		PAR	N3	PAR
E2	VDDQ		TEN/NF	G9	VSS
C9	VDDQ				
J1	VREFCA		BA0	K2	BA0
			BA1	K8	BA1
J2	BG0		CKE	G3	CKE0
J8	BG1		C0/CKE1/NC	G2	
			C1/CS1_n/NC	G8	
L1	RESET_n		C2/ODT1/NC	F2	
H3	ACT_n		ODT	F3	ODT0
F8	CK_c		CS_n	G7	CS0_n
F7	CK_t				
			NF,NF/TDQS_c	A3	
			NF,NF/DM_n/DBI_n/TDQS_t	A7	DM0_n-DBI0_n
B9	ZQ				

R3 240 → VSS

U3 MT40A512M8

Pin	Signal		Signal	Pin	Net
L3	A0		DQ0	C2	DQ8
L7	A1		DQ1	B7	DQ9
M3	A2		DQ2	D3	DQ10
K7	A3		DQ3	D7	DQ11
K3	A4		NF,DQ4	D2	DQ12
L8	A5		NF,DQ5	D8	DQ13
L2	A6		NF,DQ6	E3	DQ14
M8	A7		NF,DQ7	E7	DQ15
M2	A8				
M7	A9				
J3	A10/AP		VSS	K9	
N2	A11		VSS	N1	
J7	A12/BC_n		VSS	K1	
N8	A13		VSS	G1	
H2	WE_n/A14		VSS	A9	
H7	CAS_n/A15		VSS	H9	VSS
H8	RAS_n/A16		VSS	E9	
N7	A17/NF/NC,NF/NC		VSS	E1	
			VSS	C8	
A1	VDD		VSSQ	D9	
C7	VDD		VSSQ	A2	VSS
F1	VDD		VSSQ	A8	
H1	VDD		VSSQ	D1	
M1	VDD				
F9	VDD		VPP	M9	VPP
J9	VDD		VPP	B1	
N9	VDD				
			ALERT_n	L9	ALERT_n
E8	VDDQ		DQS_c	B3	DQS1_c
B2	VDDQ		DQS_t	C3	DQS1_t
C1	VDDQ				
B8	VDDQ		PAR	N3	PAR
E2	VDDQ		TEN/NF	G9	VSS
C9	VDDQ				
J1	VREFCA		BA0	K2	BA0
			BA1	K8	BA1
J2	BG0		CKE	G3	CKE0
J8	BG1		C0/CKE1/NC	G2	
			C1/CS1_n/NC	G8	
L1	RESET_n		C2/ODT1/NC	F2	
H3	ACT_n		ODT	F3	ODT0
F8	CK_c		CS_n	G7	CS0_n
F7	CK_t				
			NF,NF/TDQS_c	A3	
			NF,NF/DM_n/DBI_n/TDQS_t	A7	DM1_n-DBI1_n
B9	ZQ				

R128 240 → VSS

U4 MT40A512M8

Pin	Signal		Signal	Pin	Net
L3	A0		DQ0	C2	DQ16
L7	A1		DQ1	B7	DQ17
M3	A2		DQ2	D3	DQ18
K7	A3		DQ3	D7	DQ19
K3	A4		NF,DQ4	D2	DQ20
L8	A5		NF,DQ5	D8	DQ21
L2	A6		NF,DQ6	E3	DQ22
M8	A7		NF,DQ7	E7	DQ23
M2	A8				
M7	A9				
J3	A10/AP		VSS	K9	
N2	A11		VSS	N1	
J7	A12/BC_n		VSS	K1	
N8	A13		VSS	G1	
H2	WE_n/A14		VSS	A9	VSS
H7	CAS_n/A15		VSS	H9	
H8	RAS_n/A16		VSS	E9	
N7	A17/NF/NC,NF/NC		VSS	E1	
			VSS	C8	
A1	VDD		VSSQ	D9	
C7	VDD		VSSQ	A2	VSS
F1	VDD		VSSQ	A8	
H1	VDD		VSSQ	D1	
M1	VDD				
F9	VDD		VPP	M9	VPP
J9	VDD		VPP	B1	
N9	VDD				
			ALERT_n	L9	ALERT_n
E8	VDDQ		DQS_c	B3	DQS2_c
B2	VDDQ		DQS_t	C3	DQS2_t
C1	VDDQ				
B8	VDDQ		PAR	N3	PAR
E2	VDDQ		TEN/NF	G9	VSS
C9	VDDQ				
J1	VREFCA		BA0	K2	BA0
			BA1	K8	BA1
J2	BG0		CKE	G3	CKE0
J8	BG1		C0/CKE1/NC	G2	
			C1/CS1_n/NC	G8	
L1	RESET_n		C2/ODT1/NC	F2	
H3	ACT_n		ODT	F3	ODT0
F8	CK_c		CS_n	G7	CS0_n
F7	CK_t				
			NF,NF/TDQS_c	A3	
			NF,NF/DM_n/DBI_n/TDQS_t	A7	DM2_n-DBI2_n
B9	ZQ				

R129 240 → VSS

U5 MT40A512M8

Pin	Signal		Signal	Pin	Net
L3	A0		DQ0	C2	DQ24
L7	A1		DQ1	B7	DQ25
M3	A2		DQ2	D3	DQ26
K7	A3		DQ3	D7	DQ27
K3	A4		NF,DQ4	D2	DQ28
L8	A5		NF,DQ5	D8	DQ29
L2	A6		NF,DQ6	E3	DQ30
M8	A7		NF,DQ7	E7	DQ31
M2	A8				
M7	A9				
J3	A10/AP		VSS	K9	
N2	A11		VSS	N1	
J7	A12/BC_n		VSS	K1	
N8	A13		VSS	G1	
H2	WE_n/A14		VSS	A9	VSS
H7	CAS_n/A15		VSS	H9	
H8	RAS_n/A16		VSS	E9	
N7	A17/NF/NC,NF/NC		VSS	E1	
			VSS	C8	
A1	VDD		VSSQ	D9	
C7	VDD		VSSQ	A2	VSS
H1	VDD		VSSQ	A8	
M1	VDD		VSSQ	D1	
F9	VDD				
F1	VDD		VPP	M9	VPP
J9	VDD		VPP	B1	
N9	VDD				
			ALERT_n	L9	ALERT_n
E8	VDDQ		DQS_c	B3	DQS3_c
B2	VDDQ		DQS_t	C3	DQS3_t
C1	VDDQ				
B8	VDDQ		PAR	N3	PAR
E2	VDDQ		TEN/NF	G9	VSS
C9	VDDQ				
J1	VREFCA		BA0	K2	BA0
			BA1	K8	BA1
J2	BG0		CKE	G3	CKE0
J8	BG1		C0/CKE1/NC	G2	
			C1/CS1_n/NC	G8	
L1	RESET_n		C2/ODT1/NC	F2	
H3	ACT_n		ODT	F3	ODT0
F8	CK_c		CS_n	G7	CS0_n
F7	CK_t				
			NF,NF/TDQS_c	A3	
			NF,NF/DM_n/DBI_n/TDQS_t	A7	DM3_n-DBI3_n
B9	ZQ				

R130 240 → VSS

U6
MT40A512M8

U7
MT40A512M8

U8
MT40A512M8

U9
MT40A512M8

U10
MT40A512M8

Pin	Signal		Signal	Pin
L3	A0	DQ0	C2	CB0
L7	A1	DQ1	B7	CB1
M3	A2	DQ2	D3	CB2
K7	A3	DQ3	D7	CB3
K3	A4	NF.DQ4	D2	CB4
L8	A5	NF.DQ5	D8	CB5
L2	A6	NF.DQ6	E3	CB6
M8	A7	NF.DQ7	E7	CB7

A0, A1, A2, A3, A4, A5, A6, A7
A8 (M2)
A9 (M7)
A10/AP (J3) — A10
A11 (N2) — A11
A12/BC_n (J7) — A12
A13 (N8) — A13
WE_n/A14 (H2) — WE_n-A14
CAS_n/A15 (H7) — CAS-A15
RAS_n/A16 (H8) — RAS_n-A16
A17/NF,NC,NF/NC (N7)

VSS: K9, N1, K1, G1, A9, H9, E9, E1, C8 — VSS

VDD: A1, C7, F1, H1, M1, F9, J9, N9 — VDD

VSSQ: D9, A2, A8, D1 — VSS

VPP: M9, B1 — VPP

VDDQ: E8, B2, C1, B8, E2, C9 — VSS

VREFCA (J1) — VREFCA

BG0 (J2) — BG0
BG1 (J8) — BG1

ALERT_n (L9) — ALERT_n
DQS_c (B3) — DQS8_c
DQS_t (C3) — DQS8_t
PAR (N3) — PAR
TEN/NF (G9) — VSS
BA0 (K2) — BA0
BA1 (K8) — BA1
CKE (G3) — CKE0
C0/CKE1/NC (G2)
C1/CS1_n/NC (G8)
C2/ODT1/NC (F2)
ODT (F3) — ODT0
CS_n (G7) — CS0_n

RESET_n (L1) — RESET_n
ACT_n (H3) — ACT_n
CK_c (F8)
CK_t (F7)

NF,NF/TDQS_c (A3)
NF,NF/DM_n/DBI_n/TDQS_t (A7) — DM8_n-DBI8_n

ZQ (B9)
R135
240
VSS

U11
MCP9843

Pin	Signal		Pin	Signal
	VDD	A0	1	SA0
5	SDA	A1	2	SA1
6	SCL	A2	3	SA2
	GND	EVENT	7	EVENT_n
	EP			

VDDSPD

R134
10K

SDA
SCL

VSS