

Cómo acceder al modelo de síntesis en Libero

Creador: David Rubio G.

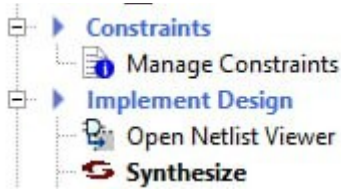
Entrada: <https://soceame.wordpress.com/2025/01/09/como-acceder-al-modelo-de-sintesis-en-libero/>

Blog: <https://soceame.wordpress.com/>

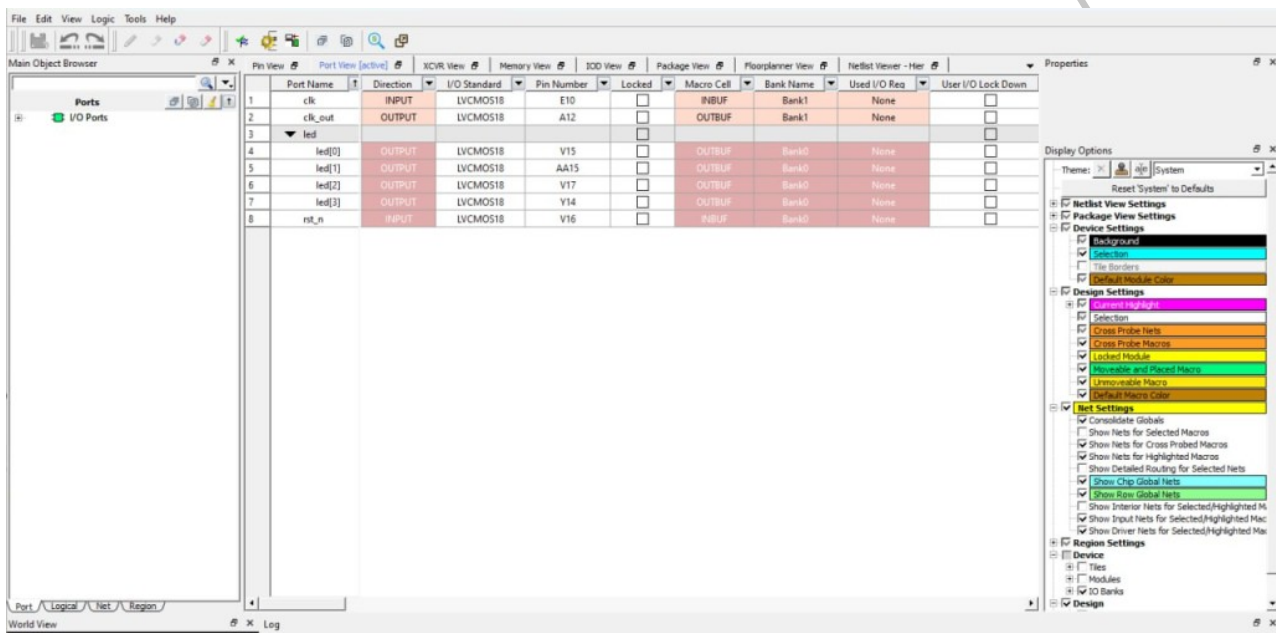
GitHub: <https://github.com/DRubioG>

Fecha última modificación: 24/02/2025

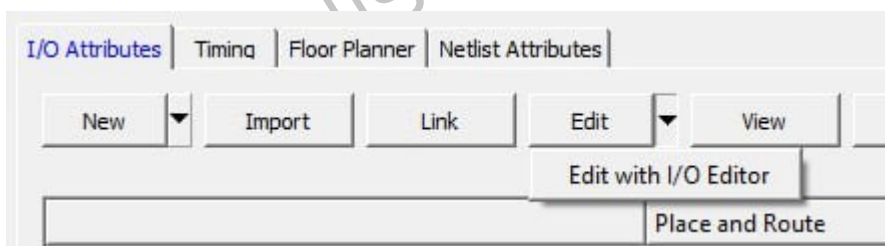
Para acceder a los modelos de síntesis tienes que tener primero hecha la implementación del FW. Después te tienes que dirigir a la pestaña *Manage Constraints*.



Se te abre una pestaña para editarla.



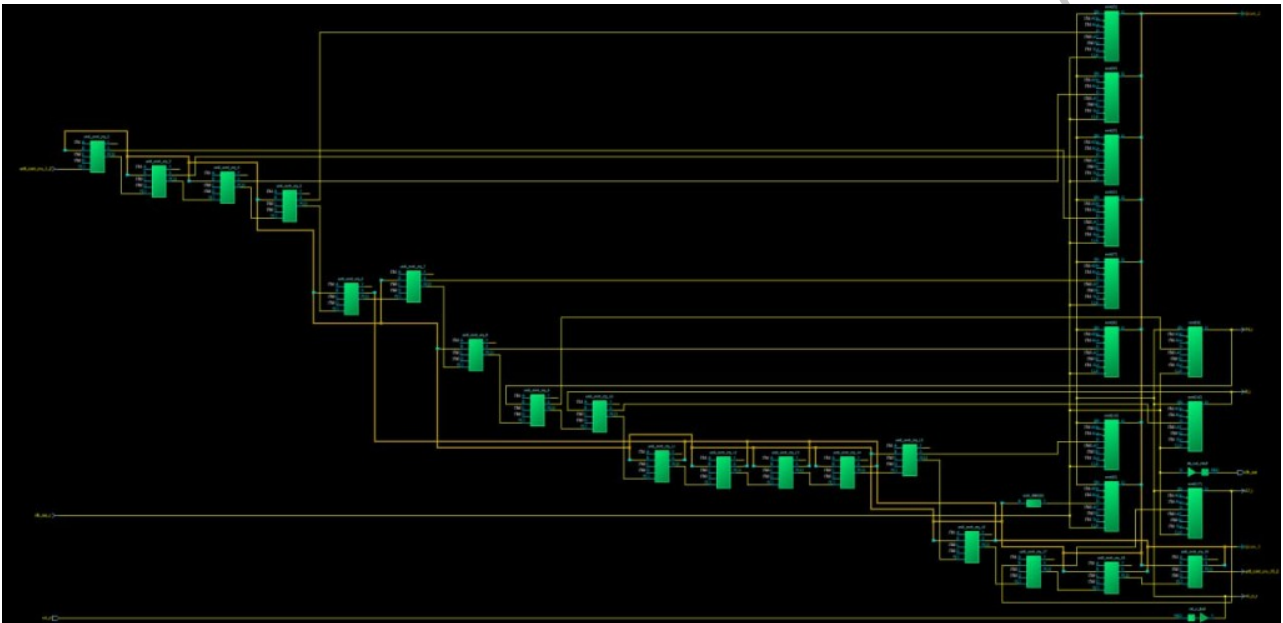
En la pestaña de *I/O Attributes* tienes que darle a *Edit with I/O Editor*.



Si te diriges a la pestaña **Netlist Viewer – Hier** aparece un mensaje como el siguiente.

Click on the Canvas to load the 'Hierarchical' view

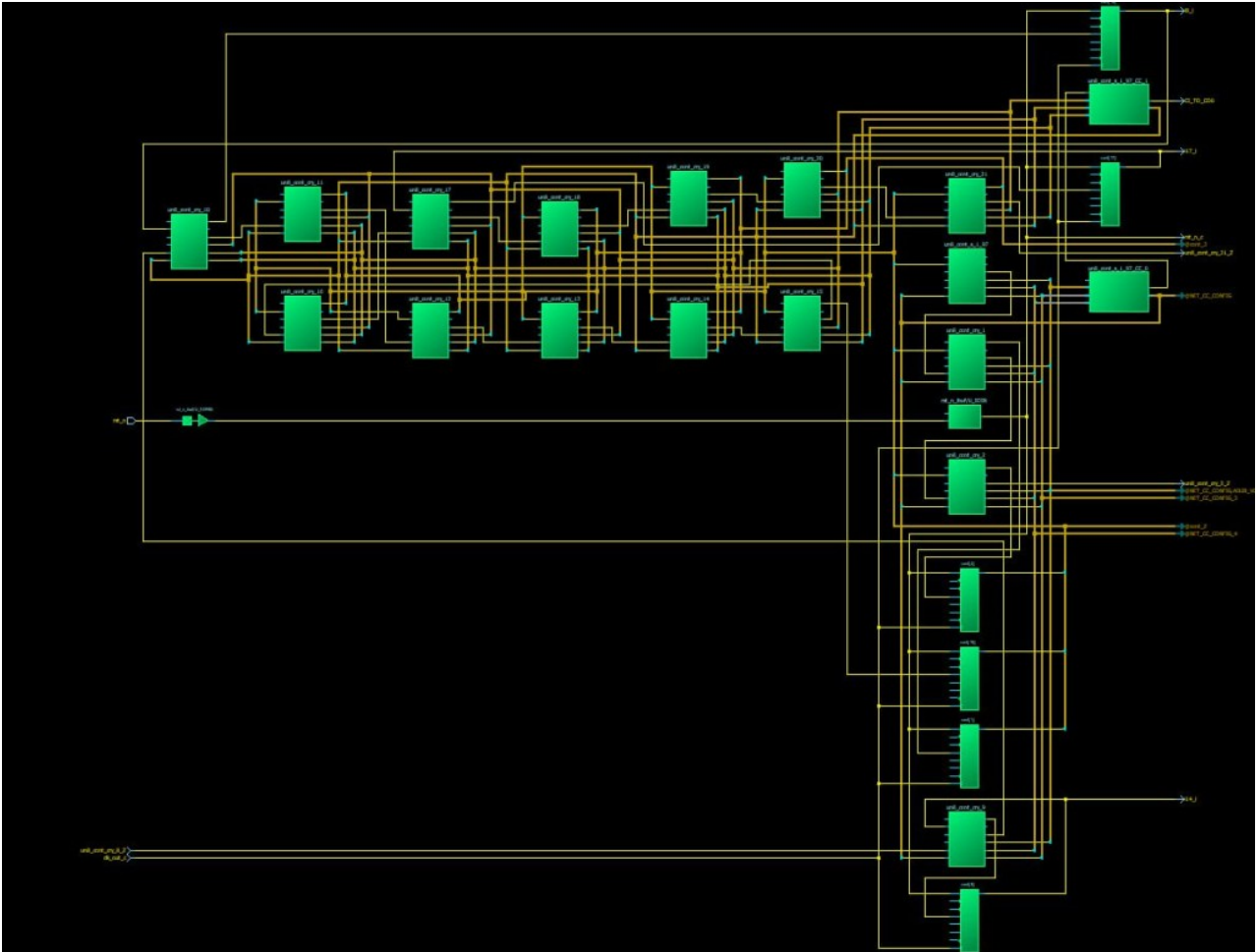
Solo tienes que clicar en él y se abre el modelo de síntesis.



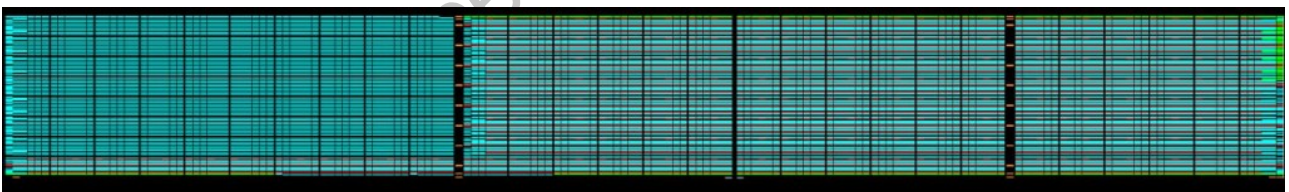
En la pestaña de al lado de **Netlist Viewer – Flat** aparece otro mensaje como este.

Click on the Canvas to load the 'Flat' view

Igual que antes le clicas.



En la pestaña **Floorplanner View** tienes el modelo de implementación de la FPGA/SoC.



Por último en la pestaña **Package View** tienes el modelo para configurar los pines del encapsulado.

