

# Forma de facilitar la representación de constantes en VHDL

Creador: David Rubio G.

Entrada: <https://soceame.wordpress.com/2024/11/26/forma-de-facilitar-la-representacion-de-constantes-en-vhdl/>

Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 23/02/2025

Una forma no muy conocida de representar números binarios en VHDL (y que figura en los primeros estándares, por lo que es compatible con el VHDL estándar) es la posibilidad del uso de una barra baja «\_» para separar los números. *(Esta representación existe en Verilog y se utiliza bastante)*

Se puede utilizar en comparaciones, en definiciones o en asignaciones. Cualquier tipo de representación.

Pongo un ejemplo

```
constant T1 : std_logic_vector(15 downto 0) := x"00_FF";
```

Para representar un código binario es necesario **definir que es un código binario**.

-- Así fallaría

```
constant T2 : std_logic_vector(7 downto 0) := "0011_0011";
```

-- Así se define correctamente (se puede usar b minúscula o B mayúscula)

```
constant T2 : std_logic_vector(7 downto 0) := B"0011_0011";
```

También se puede en código octal.

*PD: el código octal también está permitido en VHDL.*

```
constant T3 : std_logic_vector(7 downto 0) := o"0_F";
```

Por último comentar que se pueden poner tantas barras bajas como se quiera, pero nunca dos seguidas, ni empezar o terminar en una.

**NOTA: esto es un elemento para clarificar, utilízalo con cabeza.**