

# **Cómo añadir la UART a un FT2232 con JTAG**

Creador: David Rubio G.

Entrada: <https://soceame.wordpress.com/2025/02/02/como-anadir-la-uart-a-un-ft2232-con-jtag/>

Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 24/02/2025

<https://soceame.wordpress.com/2025/02/01/como-utilizar-un-chip-de-ftdi-como-cable-depurador-de-xilinx/>

<https://soceame.wordpress.com/2025/02/03/como-extraer-y-grabar-el-binario-de-los-ftdi-para-cualquier-fabricante-de-fpgas-socs/>

[https://github.com/DRubioG/FTDI\\_flash\\_binaries\\_Xilinx](https://github.com/DRubioG/FTDI_flash_binaries_Xilinx)

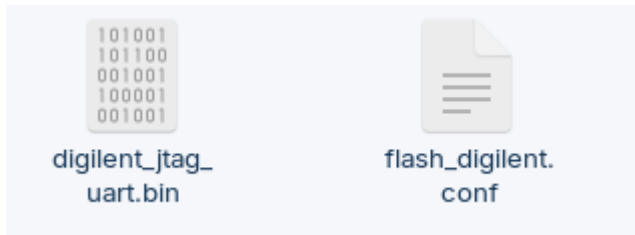
*Puedes crear un fichero o cargar uno del repositorio de GitHub anterior que he dejado.*

```
vendor_id=0x0403
product_id=0x6010
```

```
filename="digilent_jtag_uart.bin" # Filename, leave empty to skip file
writing
```

**NOTA:** no tiene que existir el fichero *digilent\_jtag\_uart.bin* en la carpeta dónde vayamos a crearlo.

Ahora se nos tiene que haber creado el .bin.



## Cargar fichero

Y ahora solo tenemos que lanzar el comando de programación del FTDI con el fichero de programación .conf que queremos grabar.

```
sudo ftdi_eeprom --flash-eeprom flash_digilent.conf
```

Solo necesita grabar comprobar que se graba de forma correcta el binario en el chip.

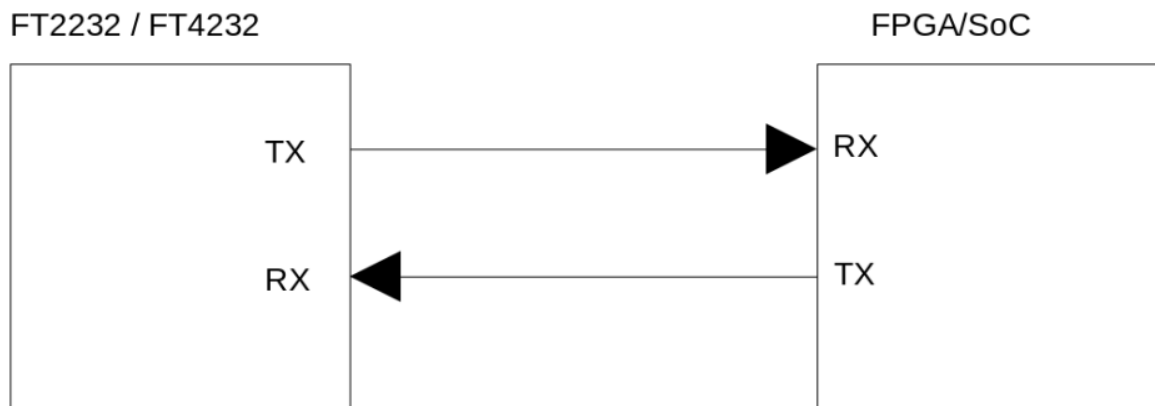
```
FTDI eeprom generator v0.17
(c) Intra2net AG and the libftdi developers <opensource@intra2net.com>
FTDI read eeprom: 0
EEPROM size: 256
Used eeprom space: 238 bytes
Flashing raw eeprom from file  (256 bytes)
FTDI write eeprom: 0
FTDI close: 0
```

## Conexión de la UART

Entonces, ahora podemos tener una UART en paralelo con un JTAG para hacer depuración o lo que se necesite. Solo sería necesario que se conectasen los pines del canal B como TX y RX.

Pin #	Pin Name	ASYNC Serial (RS232)	245 FIFO SYNC	245 FIFO	ASYNC Bit-bang	SYNC Bit-bang	MPSSE	Fast Serial interface	CPU Style FIFO	Host Bus Emulation
<b>Channel A</b>										
16	ADBUS0	TXD	D0	D0	D0	D0	TCK/SK	USES	D0	AD0
17	ADBUS1	RXD	D1	D1	D1	D1	TDI/DO		D1	AD1
18	ADBUS2	RTS#	D2	D2	D2	D2	TDO/DI		D2	AD2
19	ADBUS3	CTS#	D3	D3	D3	D3	TMS/CS		D3	AD3
21	ADBUS4	DTR#	D4	D4	D4	D4	GPIOL0		D4	AD4
22	ADBUS5	DSR#	D5	D5	D5	D5	GPIOL1		D5	AD5
23	ADBUS6	DCD#	D6	D6	D6	D6	GPIOL2		D6	AD6
24	ADBUS7	RI#	D7	D7	D7	D7	GPIOL3		D7	AD7
26	ACBUS0	TXDEN	RXF#	RXF#	**	**	GPIOH0		CS#	A8
27	ACBUS1	**	TXE#	TXE#	WRSTB	WRSTB	GPIOH1		A0	A9
28	ACBUS2	**	RD#	RD#	RDSTB#	RDSTB#	GPIOH2		RD#	A10
29	ACBUS3	RXLED#	WR#	WR#	**	**	GPIOH3		WR#	A11
30	ACBUS4	TXLED#	SIWUA	SIWUA	SIWUA	SIWUA	GPIOH4		SIWUA	A12
32	ACBUS5	**	CLKOUT	**	**	**	GPIOH5		**	A13
33	ACBUS6	**	OE#	**	**	**	GPIOH6		**	A14
34	ACBUS7	**	**	**	**	**	GPIOH7		**	A15
<b>Channel B</b>										
38	BDBUS0	TXD		D0	D0	D0	TCK/SK	FSDI	D0	CS#
39	BDBUS1	RXD		D1	D1	D1	TDI/DO	FSCLK	D1	ALE
40	BDBUS2	RTS#		D2	D2	D2	TDO/DI	FSDO	D2	RD#
41	BDBUS3	CTS#		D3	D3	D3	TMS/CS	FSCTS	D3	WR#
43	BDBUS4	DTR#		D4	D4	D4	GPIOL0		D4	IORDY
44	BDBUS5	DSR#		D5	D5	D5	GPIOL1		D5	CLKOUT
45	BDBUS6	DCD#		D6	D6	D6	GPIOL2		D6	I/O0
46	BDBUS7	RI#		D7	D7	D7	GPIOL3		D7	I/O1
48	BCBUS0	TXDEN		RXF#	**	**	GPIOH0		CS#	**
52	BCBUS1	**		TXE#	WRSTB	WRSTB	GPIOH1		A0	**
53	BCBUS2	**		RD#	RDSTB#	RDSTB#	GPIOH2		RD#	**
54	BCBUS3	RXLED#		WR#	**	**	GPIOH3		WR#	**
55	BCBUS4	TXLED#		SIWUB	SIWUB	SIWUB	GPIOH4	SIWUB	SIWUB	**
57	BCBUS5	**		**	**	**	GPIOH5		**	**
58	BCBUS6	**		**	**	**	GPIOH6		**	**
59	BCBUS7	PWRSV	PWRSV	PWRSV	PWRSV	PWRSV	GPIOH7	PWRSV	PWRS	PWRSV
60	PWREN	PWREN	PWREN	PWREN	PWREN	PWREN	PWREN	PWREN	PWRE	PWREN#
36	SUSPEN D#	SUSPEN D#	SUSPEN D#	SUSPEN D#	SUSPEN D#	SUSPEN D#	SUSPEN D#	SUSPEN D#	SUSPE ND#	SUSPEND #
<b>Configuration memory interface</b>										
63	EECS									
62	EECLK									
61	EEDATA									

La conexión para una UART es diferente de cómo sería para el JTAG debido a que en este caso los pines son opuestos (*no como en el JTAG que la referencia de los pines es la del chip*) por lo que la referencia está al revés, como una UART normal, donde RX va con TX del contrario y viceversa con TX.



En el mismo repositorio dónde están los binario, viene una carpeta con guías para la conexión de una UART al dispositivo, enlace:

[https://github.com/DRubioG/FTDI\\_flash\\_binaries\\_Xilinx/blob/main/design\\_references/DG232\\_20.pdf](https://github.com/DRubioG/FTDI_flash_binaries_Xilinx/blob/main/design_references/DG232_20.pdf)