

# Simulación en ModelSim (Libero)

Creador: David Rubio G.

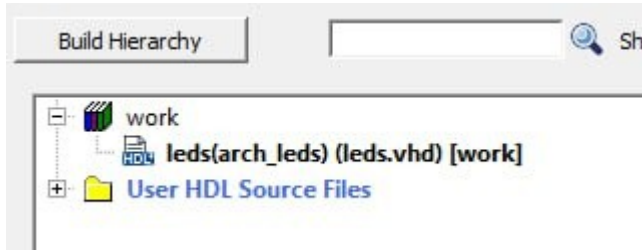
Entrada: <https://soceame.wordpress.com/2025/01/09/simulacion-en-modelsim-libero/>

Blog: <https://soceame.wordpress.com/>

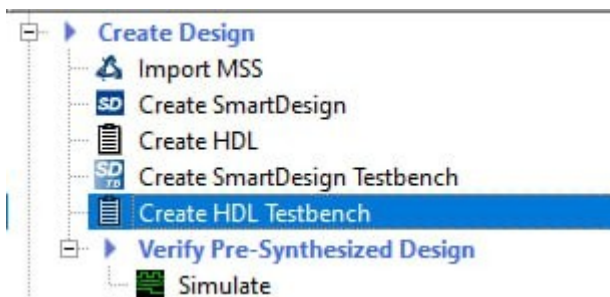
GitHub: <https://github.com/DRubioG>

Fecha última modificación: 24/02/2025

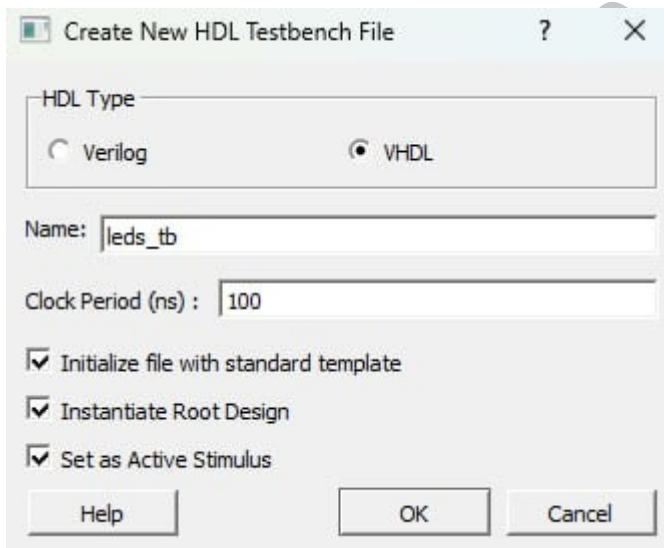
En esta entrada voy a explicar como simular utilizando el ModelSim que viene incluido con Libero. Para ello, lo primero que hay es que tener un fichero de FW en la jerarquía de Libero.



Lo siguiente que hacemos es crear un testbench dándole a *Create HDL Testbench*.



Nos pide el nombre del testbench.



Lo primero que hace es crearnos un modelo de testbench.

```
library ieee;
use ieee.std_logic_1164.all;

entity leds_tb is
end leds_tb;

architecture behavioral of leds_tb is

    constant SYSCLK_PERIOD : time := 5 ns; -- 200MHZ

    signal SYSCLK : std_logic := '0';
    signal NSYSRESET : std_logic := '0';

    component leds
    -- ports
    port(
        -- Inputs
        clk : in std_logic;
        rst_n : in std_logic;

        -- Outputs
        led : out std_logic_vector(3 downto 0);
        clk_out : out std_logic

        -- Inouts

    );
    end component;

begin

    process
```

Este modelo lo podemos cambiar por el modelo de testbench que nosotros queramos.

```
library ieee;
use ieee.std_logic_1164.all;

entity leds_tb is
end leds_tb;

architecture behavioral of leds_tb is

    constant SYSCLK_PERIOD : time := 10 ns; -- 100M

    component leds
        -- ports
        port(
            clk : in std_logic;
            rst_n : in std_logic;
            led : out std_logic_vector(3 downto 0);
            clk_out : out std_logic
        );
    end component;

    signal clk : std_logic := '0';
    signal rst_n : std_logic;
    signal led : std_logic_vector(3 downto 0);
    signal clk_out : std_logic;
begin

    -- Clock Driver
    clk <= not clk after (SYSCLK_PERIOD / 2.0 );

    rst_n <= '0', '1' after 50ns;

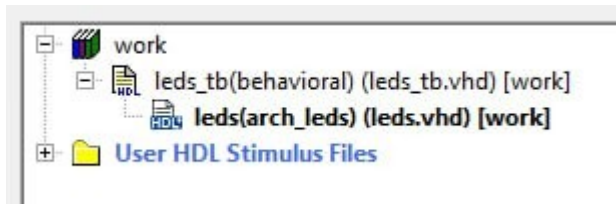
    DUT : leds
        port map(
            clk => clk,
            rst_n => rst_n,
            led => led,
            clk_out => clk_out
        );

end behavioral;
```

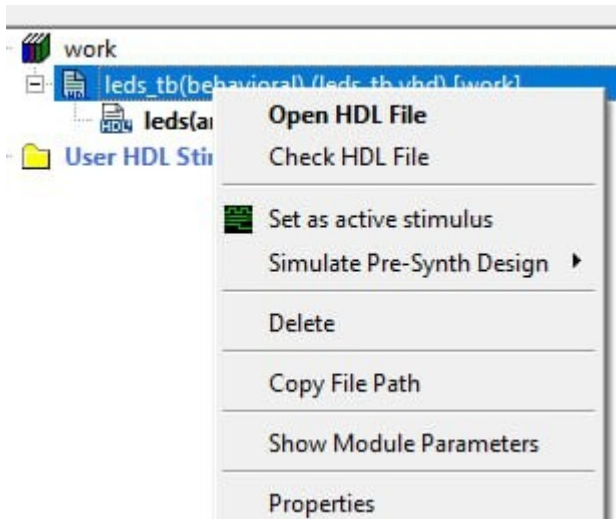
Podemos utilizar la opción de *Check HDL File* para comprobar si no tenemos errores en el código.



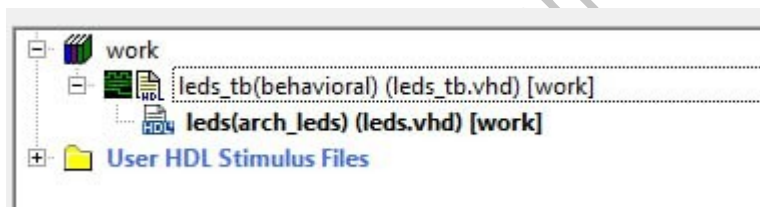
Después en la pestaña *Stimulus*, ya nos aparece el testbench estructurado con el FW a simular.



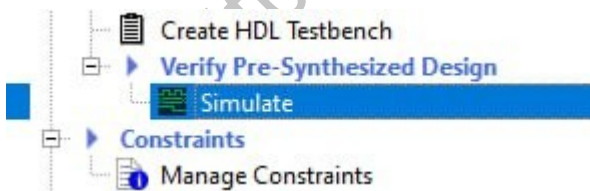
Lo siguiente que hay que hacer es convertir el testbench en el fichero de simulación, para ello se le da a *Set as active stimulus*.



Al darle aparece el símbolo de simulación al lado, esto viene bien debido a que podemos tener diferentes simulaciones en un solo proyecto.



Lo siguiente es darle a *Simulate* para que se abra el ModelSim.



Se abre automáticamente el ModelSim.

SIEMENS

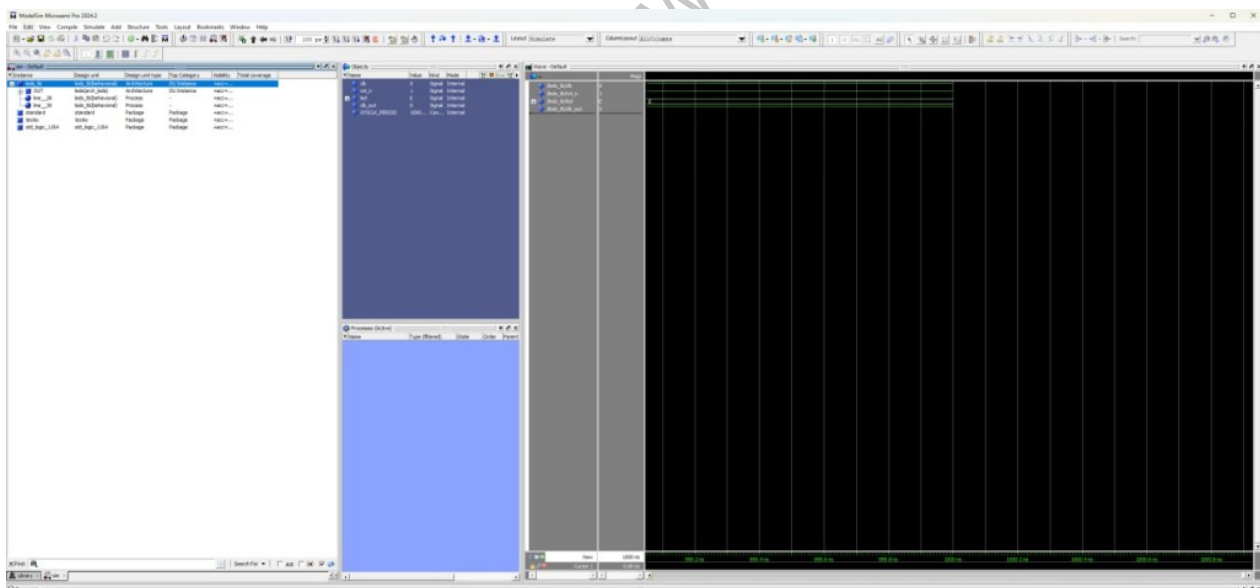
MODELSIM™

# Simulation Environment

Unpublished work. ©2024 Siemens

This material contains trade secrets or otherwise confidential information owned by Siemens Industry Software Inc. or its affiliates (collectively, "SISW"), or its licensors. Access to and use of this information is strictly limited as set forth in the Customer's applicable agreements with SISW.

Al abrirse el ModelSim aparece que ha hecho una minisimulación del proyecto.



Los controles del ModelSim son los siguientes.

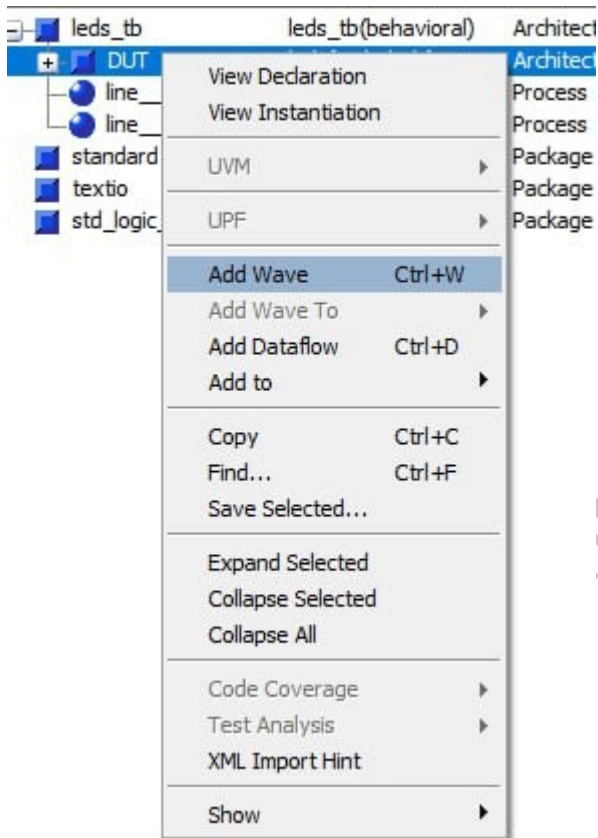
- **Control visual:** esta opción permite hacer zoom o poner toda la simulación en una sola pestaña (la lupa azul).



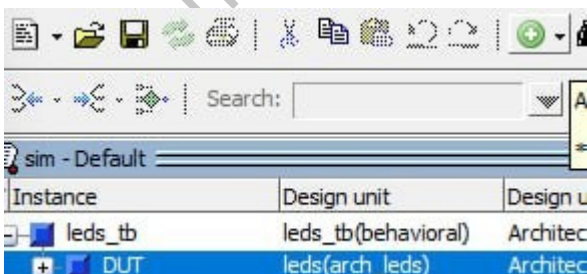
- **Control de simulación:** de izquierda a derecha, el primer icono es el reseteo de la simulación; el siguiente es el paso de simulación; el siguiente es la simulación con el tiempo anterior; el siguiente es la simulación punto a punto; el siguiente es la simulación sin restricción de tiempo (la simulación no se verá hasta pararla); el siguiente es la cancelación de la simulación; y el último es la parada de la simulación sin restricción de tiempo.



Para añadir más puertos y señales a la simulación tienes dos formas. Darle clic derecho al módulo que quieras añadir las señales y después a *Add Wave*.

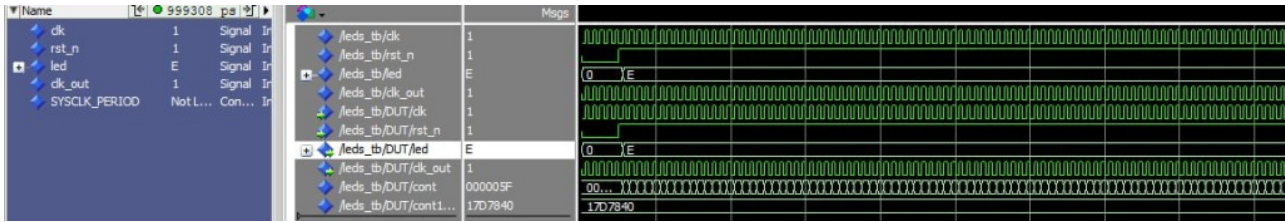


O marcar el módulo y darle al más con el símbolo verde.

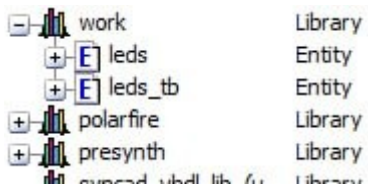


La simulación se vería de la siguiente forma.





**NOTA:** todos los ficheros tanto de FW como de testbench están en la librería work.



El resto de simulaciones como la post-síntesis o la post-implementación se hacen igual.