

¿Qué es un bloque ILA?

Creador: David Rubio G.

Entrada: <https://soceame.wordpress.com/2024/06/12/que-es-un-bloque-ila/>

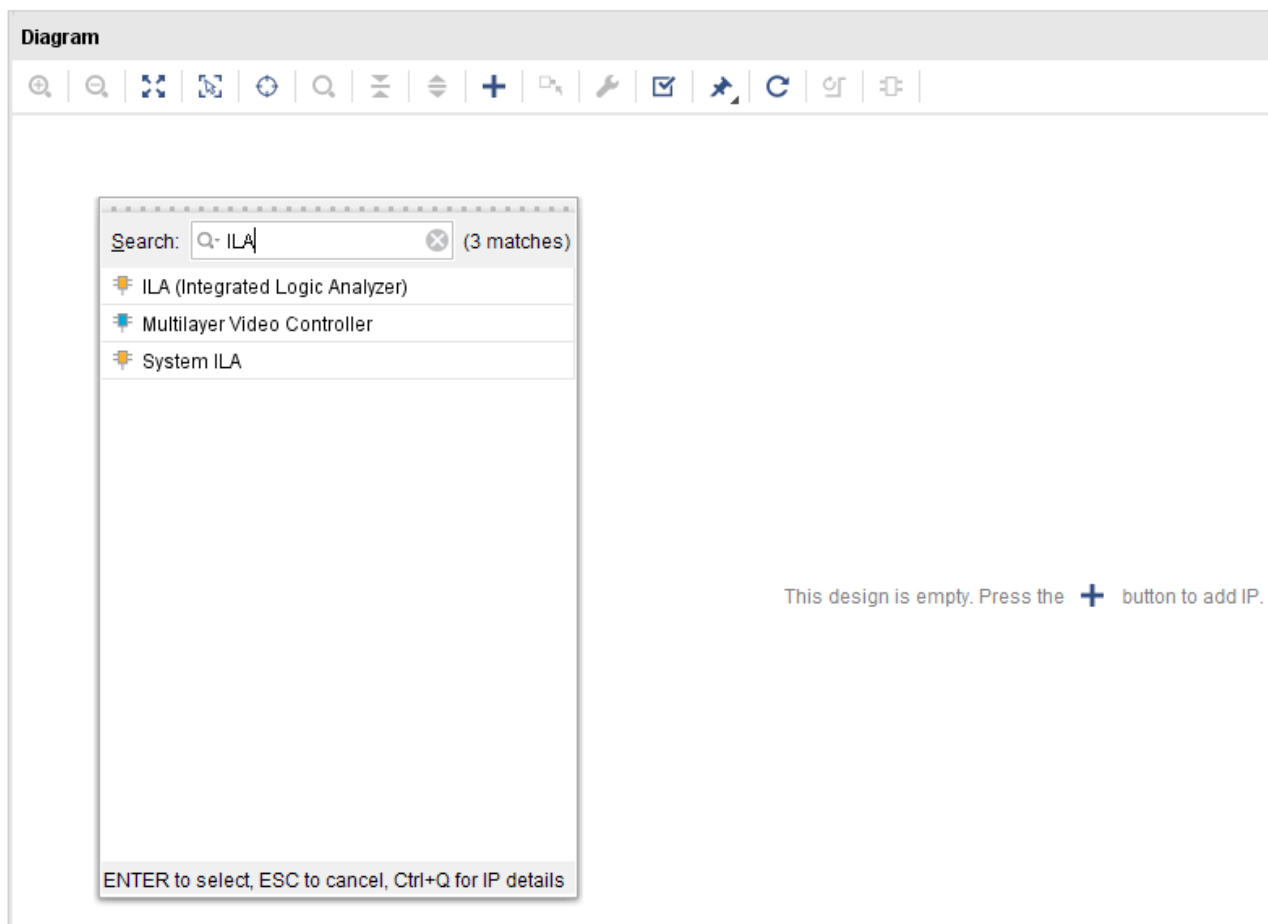
Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

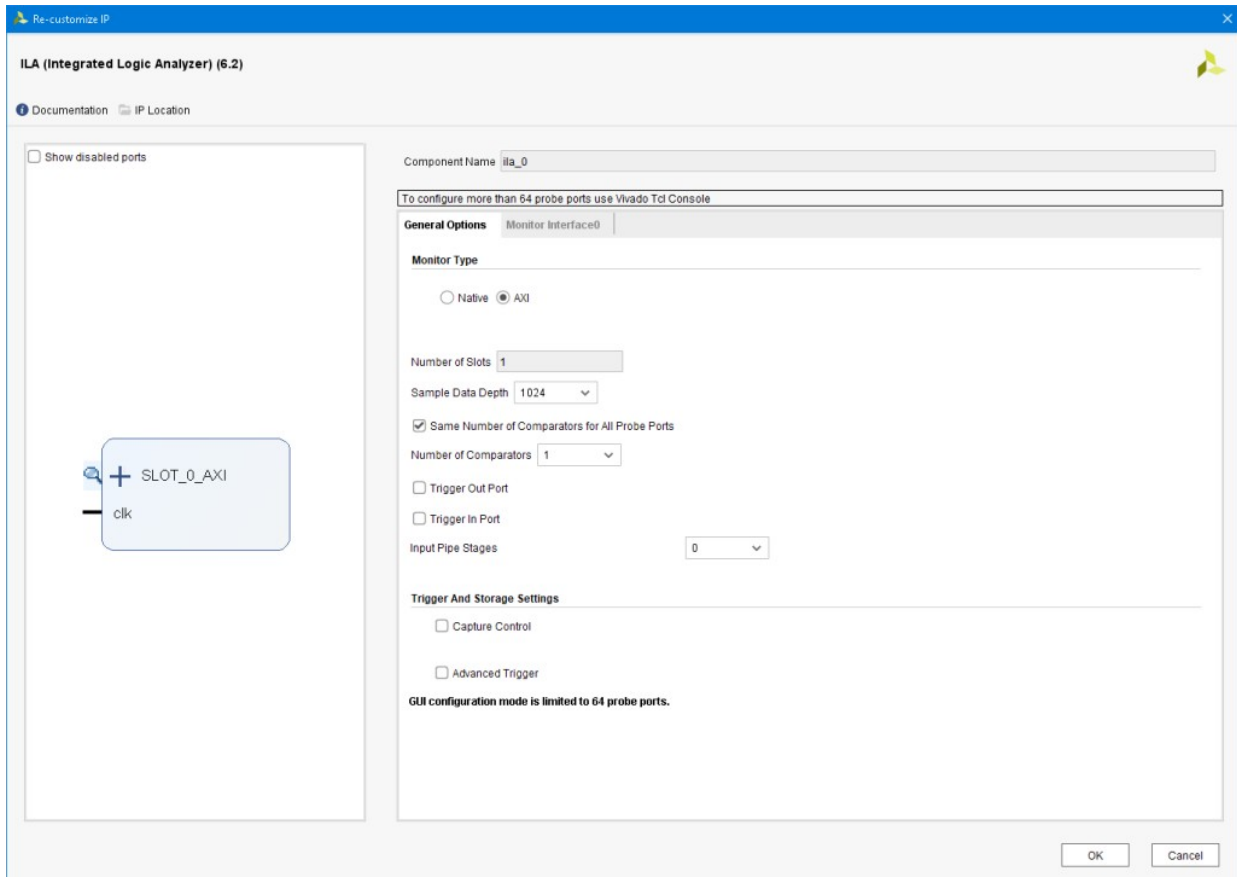
Fecha última modificación: 22/02/2025

Xilinx tiene creado unos bloques en tiempo real en que se permite al usuario comprobar las señales digitales de entrada y de salida de sus placas. Para ello ha creado unos bloques llamados ILA(Integrated Logic Analyzer) que hacen la función de un osciloscopio.

Para ejecutar los ILA se tiene que haber creado un Block Design y en Diagram se tiene que buscar dicho componente



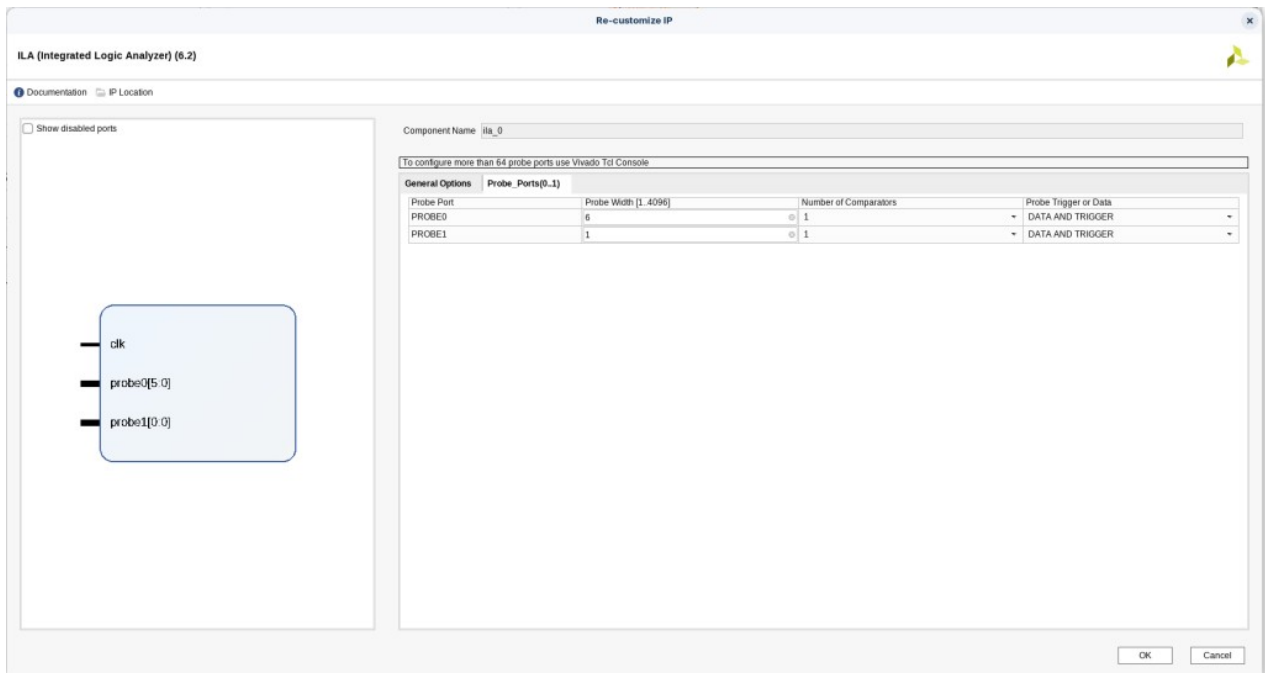
Una vez esté en ILA insertado en el Diagram se configura, para ello clicando sibro él se abre la pestaña de configuración.



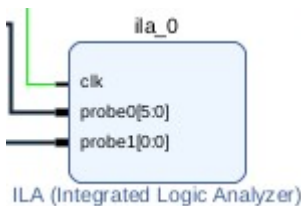
En esta pestaña aparecen diferentes parámetros para configurar que se desgranarán ahora:

- Native/AXI: una señal nativa es una señal que ha creado el usuario, y una señal AXI son las señales del sistema
- Number of Probes: son el número de señales que se van a capturar, en modo AXI es por defecto 1 y en modo Native se pueden hasta 1024 señales
- Sample Data Depth: número de muestras de la señal, este parámetro permite coger un mayor número de muestras para visualizar la señal
- Same Number of Comparators for All Probe Port: esta casilla permite seleccionar el mismo número de comparadores para todas las señales

Luego tenemos los Probe Ports que dónde se le indica el tamaño de las señales que se quiere muestrear.

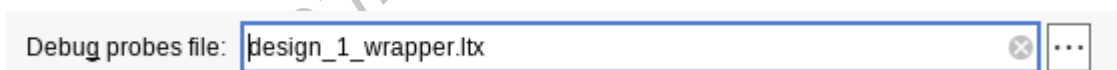


Bien, una vez seleccionado, se requiere de un reloj que es el que indica cuando se muestrea y las líneas de señal que se van a muestrear.



Una vez el bloque ya está colocado se puede generar el bitstream.

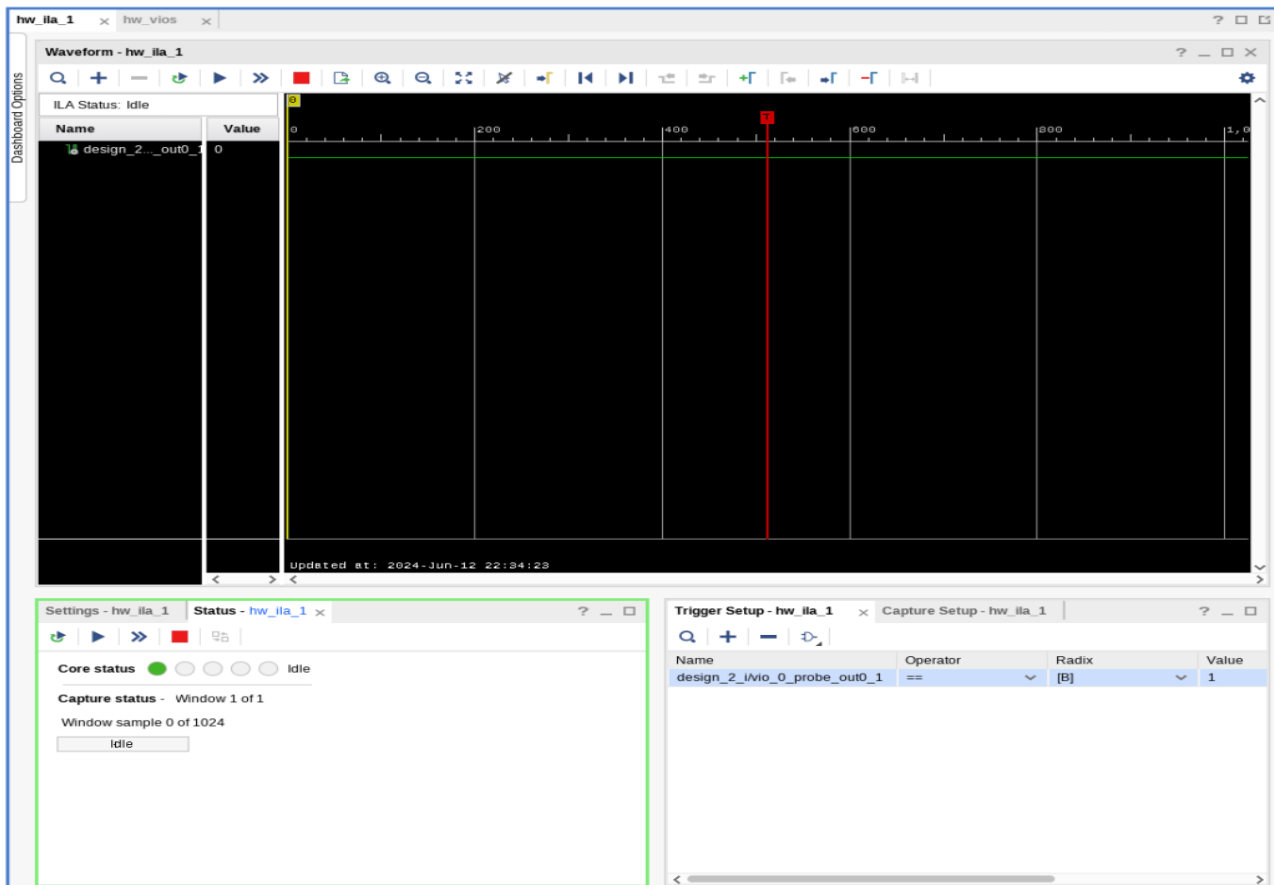
Una vez generado se graba, y se puede ver que el campo *Debug probes file* tiene un fichero .ltx que es lo que indica que tiene un ILA.



Y grabado en la FPGA/SoC, se puede ver en el Program Manager que aparece un ILA.

arm_dap_0 (0)	N/A
xc7z020_1 (4)	Programmed
XADC (System Monitor)	
hw_ila_1 (design_2_i/ila_0)	Idle
hw_vio_1 (design_2_i/vio_0)	OK - Outputs f
s25fl128s-3.3v-qspi-x4-single	

Al abrirlo, aparece un analizador lógico.



Este analizador lógico tiene una barra superior con diferentes opciones.



- Opción de comprobar el estado de la señal en un mismo instante.
- Luego tienes la opción de hacer un trigger de una señal en la pestaña inferior izquierda. Donde se le dice que cuando tiene que saltar. Y para lanzarlo se le da al botón de play.
- Otra opción para para la opción de trigger
- Y un botón que si se marca hace que el botón de trigger o de lectura instantánea se repita.

También comentar las opciones de captura que permiten visualizar los datos antes o después de que salte el trigger.

Settings - hw_ila_1 x Status - hw_ila_1 ? _ □

Trigger Mode Settings

Trigger mode: BASIC_ONLY ▾

Capture Mode Settings

Capture mode: ALWAYS ▾

Number of windows: 1 [1 - 1024]

Window data depth: 1024 ▾ [1 - 1024]

Trigger position in window: 512 [0 - 1023]

General Settings

Refresh rate: 500 ms