Instanciar bloques IP en FW en Libero sin utilizar un SmartDesign

Creador: David Rubio G.

Entrada: https://soceame.wordpress.com/2025/01/09/instanciar-bloques-ip-en-fw-en-libero-sin-utilizar-un-smartdesign/

Blog: https://soceame.wordpress.com/

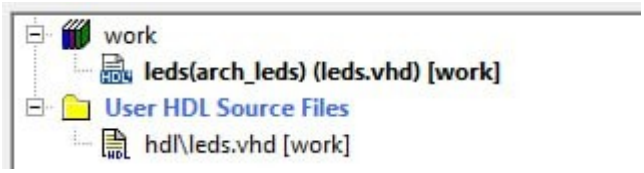
GitHub: https://github.com/DRubioG

Fecha última modificación: 24/02/2025

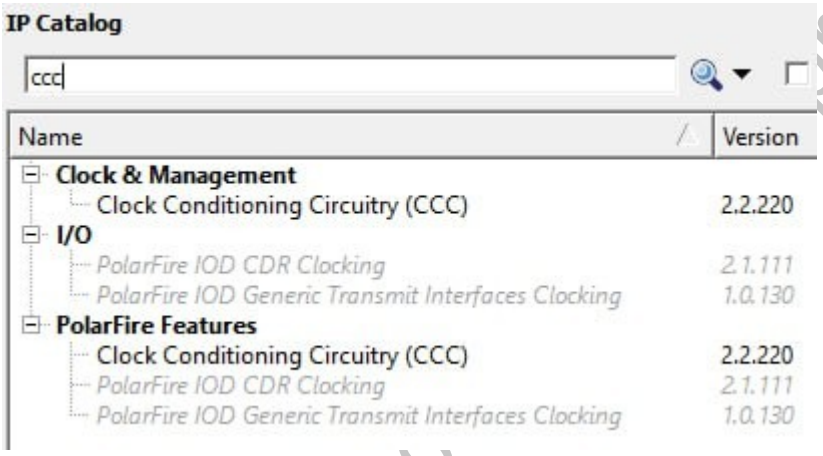
En esta entrada voy a explicar como se puede instanciar un bloque IP en FW en Libero. Para ello se va a hacer uso de un ejemplo real, para se quiere poner un PLL en un bloque de leds creado por el usuario.

Desarrollo

Lo primero que tienes que tener es el módulo de FW en el que vas a instanciar el bloque IP.

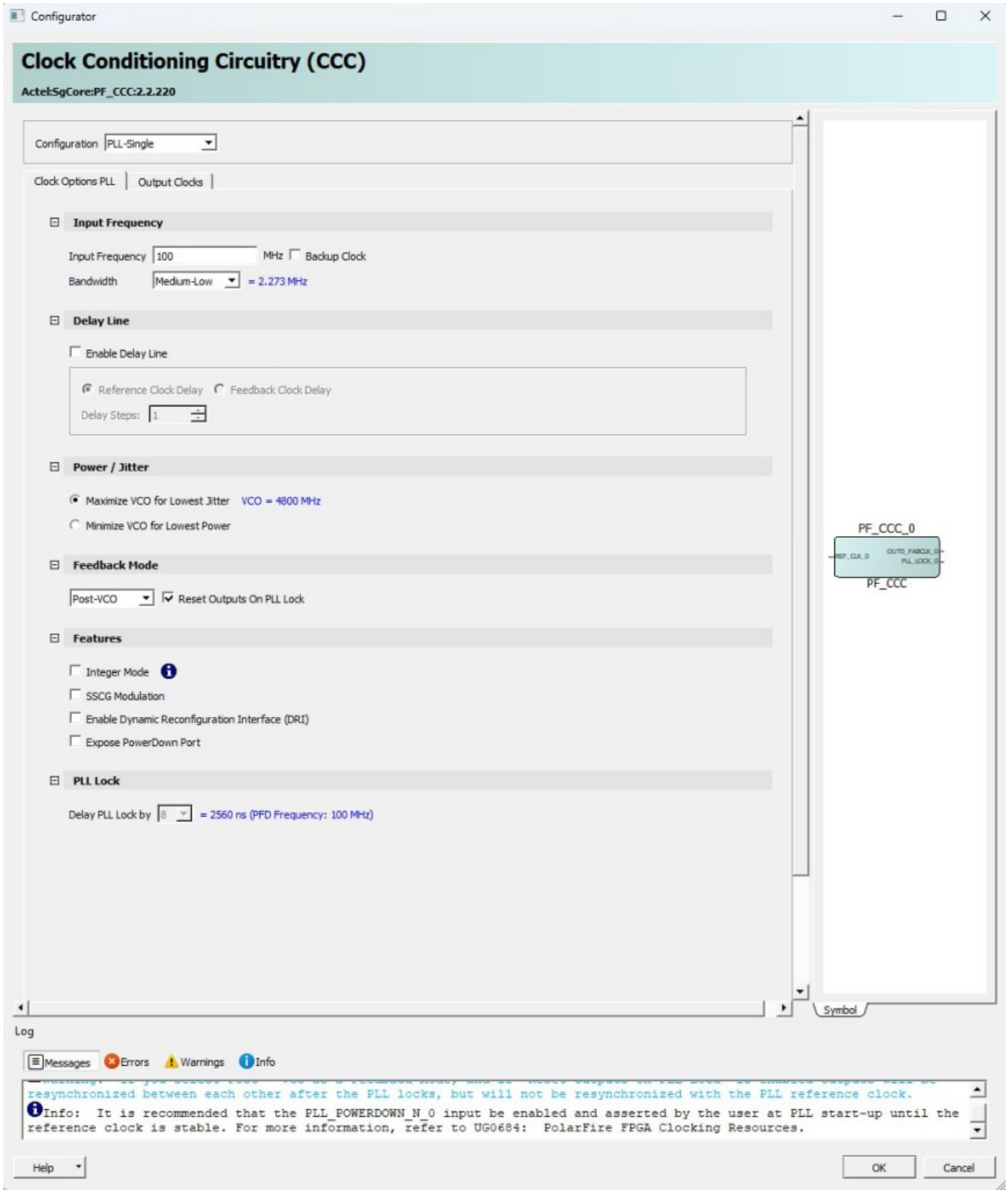


Ahora vas al Catalog, aquí eliges el bloque IP que quieres instanciar. En mi caso voy a instanciar un PLL.

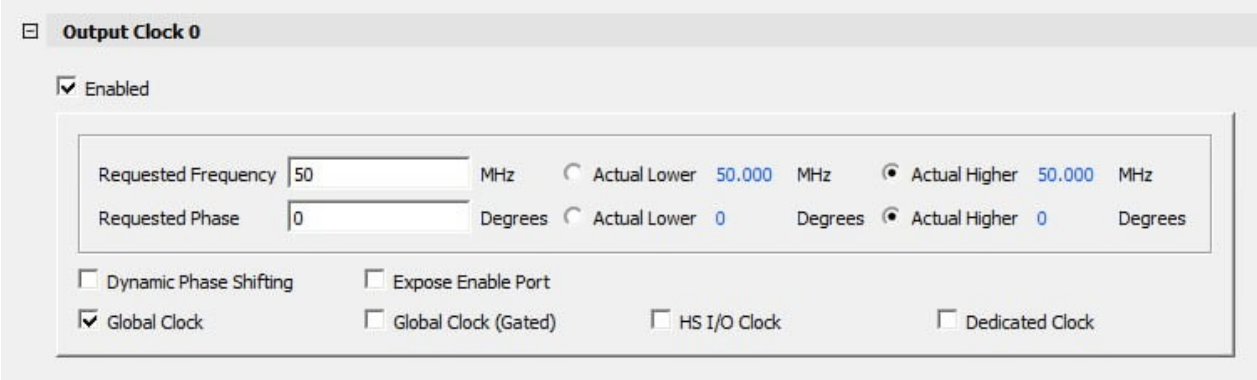


Al darle se me abre la pestaña de configuración del PLL. Aquí configuramos el PLL como queremos.

https://soceame.wordpress.com/2025/01/09/instanciar-bloques-ip-en-fw-en-libero-sin-utilizar-un-smartdesign/

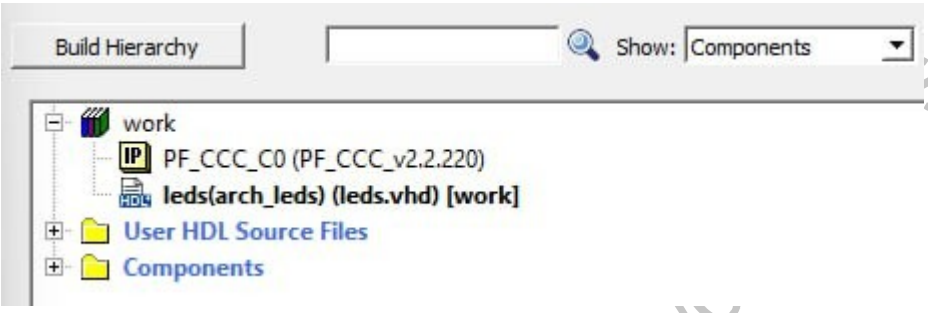


Lo configuramos con la salida en frecuencia deseada.

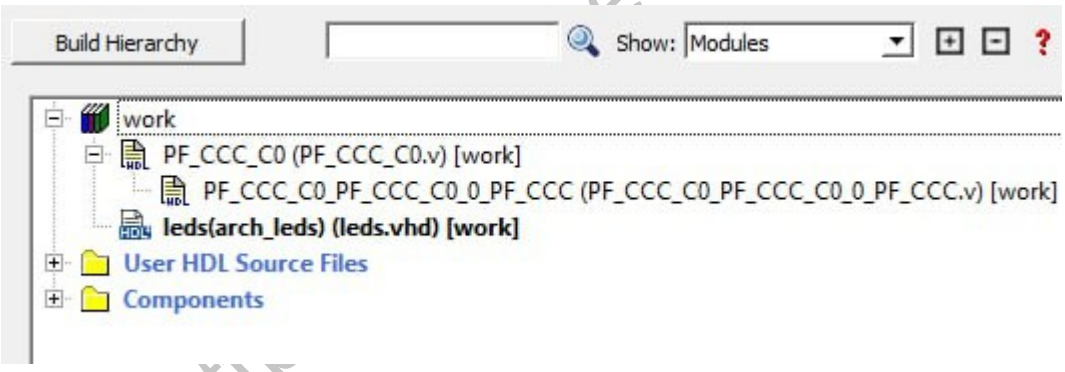


Al terminar la configuración nos aparece el bloque IP en la jerarquía al mismo nivel que el FW.

NOTA: *aquí sería donde de normal arrastras el bloque IP a un SmartDesign y lo unes.*



Ahora lo que tienes que hacer es cambiar la vista de la jerarquía de *Components* por la de *Modules*.



Ahora se aprecian dos módulos para implementar el PLL, ambos en Verilog. A nosotros solo nos interesa el módulo top del PLL, el *PF_CCC_C0*.

Si lo abrimos podemos ver que el sistema de puertos es el mismo que el del PLL que hemos configurado.

```
// PF_CCC_C0
module PF_CCC_C0(
    // Inputs
    REF_CLK_0,
    // Outputs
    OUT0_FABCLK_0,
    PLL_LOCK_0
);

//--------------------------------------------------------------------
// Input
//--------------------------------------------------------------------
input  REF_CLK_0;
//--------------------------------------------------------------------
// Output
//--------------------------------------------------------------------
output OUT0_FABCLK_0;
output PLL_LOCK_0;
//--------------------------------------------------------------------
// Nets
//--------------------------------------------------------------------
wire   OUT0_FABCLK_0_net_0;
wire   PLL_LOCK_0_net_0;
wire   REF_CLK_0;
wire   OUT0_FABCLK_0_net_1;
wire   PLL_LOCK_0_net_1;
//--------------------------------------------------------------------
// TiedOff Nets
//--------------------------------------------------------------------
wire   GND_net;
wire   [10:0]DRI_CTRL_0_const_net_0;
wire   [32:0]DRI_WDATA_0_const_net_0;
wire   [10:0]DRI_CTRL_1_const_net_0;
wire   [32:0]DRI_WDATA_1_const_net_0;
```

Ahora lo único que necesitamos es llevarnos los puertos del fichero en Verilog.

```
// PF_CCC_C0
module PF_CCC_C0(
    // Inputs
    REF_CLK_0,
    // Outputs
    OUT0_FABCLK_0,
    PLL_LOCK_0
);
```

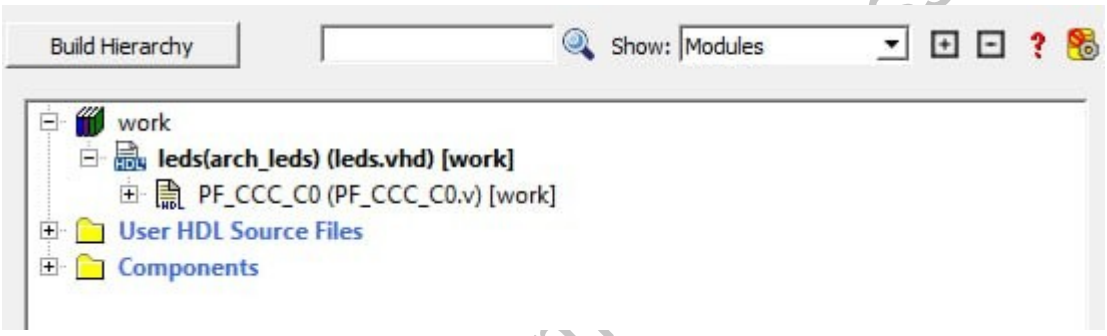
Ahora estos puertos los pegamos en nuestro proyecto. Y si estamos trabajando en VHDL lo convertimos en un *component* con la información que nos da el fichero.

```
component PF_CCC_C0
port (
     REF_CLK_0 : in std_logic;
     OUT0_FABCLK_0 : out std_logic;
     PLL_LOCK_0 : out std_logic
);
end component;
```

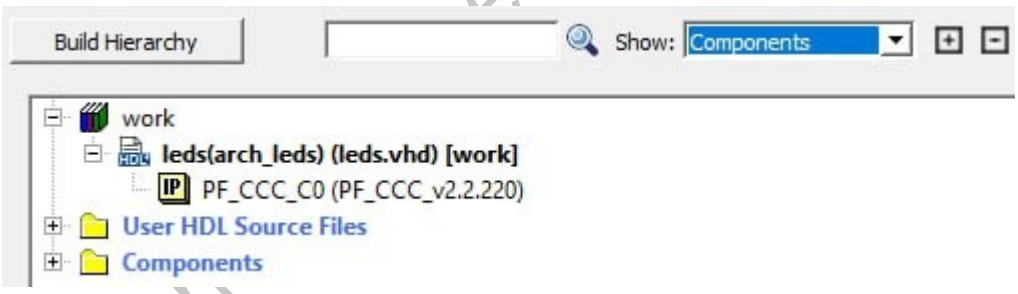
Ahora solo tenemos que hacer la instanciación del bloque IP con nuestro FW.

```
CC_inst : PF_CCC_C0
port map (
     REF_CLK_0 => clk,
     OUT0_FABCLK_0 => clk_i,
     PLL_LOCK_0 => open
);
```

Al hacerlo la jerarquía nos da establece que el PLL está aguas abajo del módulo FW.

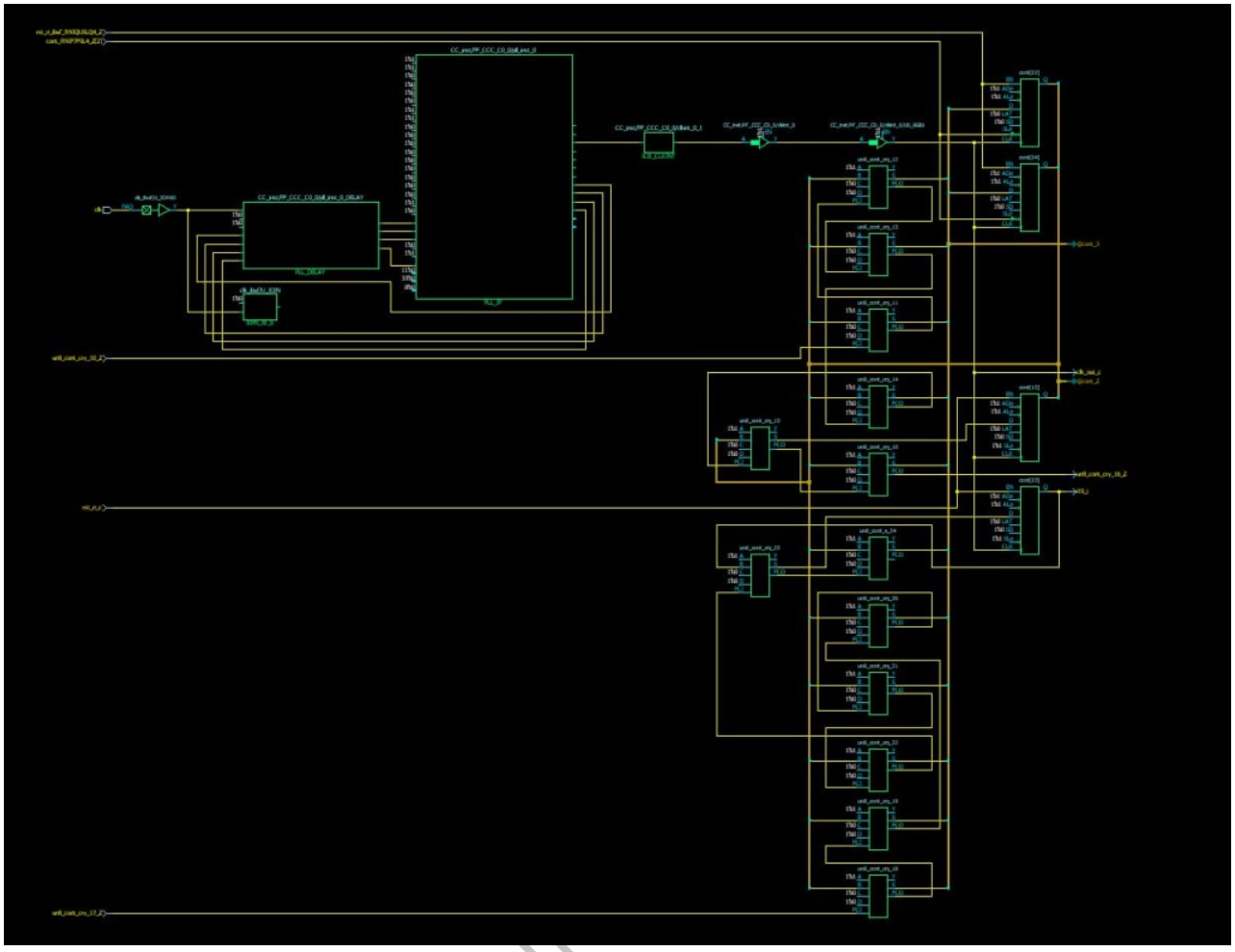


Si cambiamos la vista de *Modules* a *Components* queda mejor reflejado la estructura.

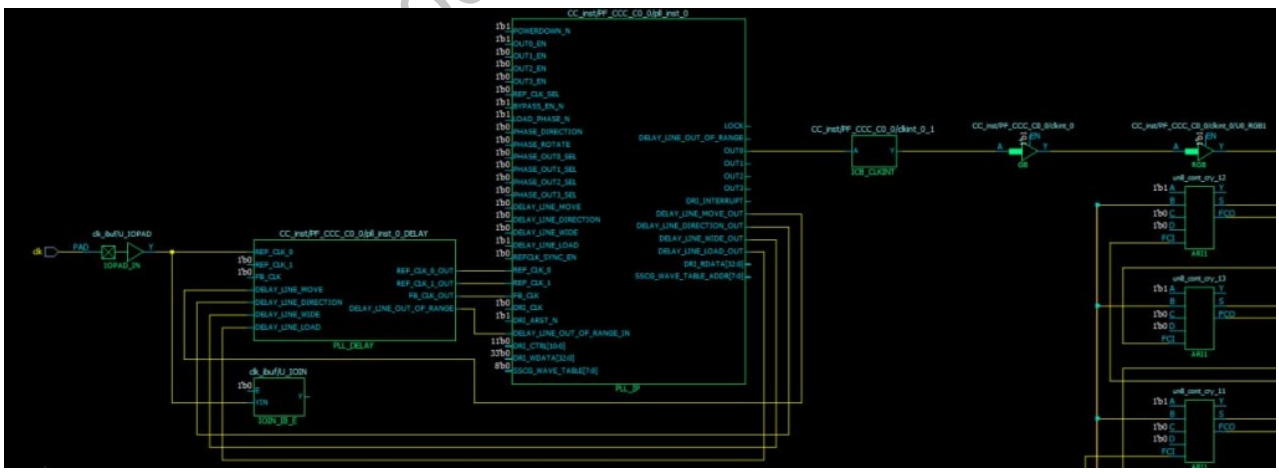


Si ahora sintetizamos el FW, podemos ver que Libero no da ningún tipo de error, y que sintetiza todo el FW, incluido el PLL.

https://soceame.wordpress.com/2025/01/09/instanciar-bloques-ip-en-fw-en-libero-sin-utilizar-un-smartdesign/



Y si miramos detalladamente la síntesis podemos ver que hay una parte que se corresponde directamente con el PLL que hemos instanciado.



NOTA FINAL

Pues esto mismo que se ha explicado con un PLL se puede hacer con todos los bloques IP de Libero. Y así no tener que hacer uso del SmartDesign.