

¿Se puede cambiar cambiar la tensión de salida de un banco de una FPGA?

Creador: David Rubio G.

Entrada: <https://soceame.wordpress.com/2024/10/19/se-puede-cambiar-cambiar-la-tension-de-salida-de-un-banco-de-una-fpga/>

Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 23/02/2025

Una pregunta que surge al configurar la tensión de un banco de una FPGA es: Si fijo una tensión de un banco a un valor, ¿puedo cambiar la tensión de entrada/salida de ese banco?

Para empezar lo primero que hay es que tener claro qué se quiere o se puede hacer. Imaginemos:

- Si yo alimento un banco a 1,8V, y configuro un pin de entrada a 3,3V y le meto una señal de 3,3V -> **NO SE PUEDE** (básicamente estás excediendo los márgenes de tensión de la FPGA, y te puedes cargar la lógica interna o los buffers internos).
 - **No se puede configurar los pines con una tensión mayor a la del banco.**
- Si yo alimento un banco con 3,3V y quiero que dos pines sean pines diferenciales a 1,2V, pero el resto de pines siga siendo de 3,3V -> **NO SE PUEDE** (el sistema de alimentación de los pines el mismo para todos los pines, por lo que todos van a 3,3V). Lo que sí que se puede es configurar pines diferenciales a 3,3V (o a la tensión del banco)
 - **Todo los pines de un banco van a la misma tensión**

Ahora viene una pregunta interesante con el criterio anterior.

- Si yo alimento un banco a 3,3V, y quiero que todos los pines del banco funcionen a 1,8V (con este criterio no violo la primera restricción porque *la tensión es menor a la del banco*, y tampoco la segunda restricción, porque todos *los pines van a la misma tensión*).
 - Bien pues la respuesta es que: **NO SE PUEDE**, esto es debido a que todos los pines funcionan a la tensión del banco.

La mejor forma de contarlo es con una demostración.

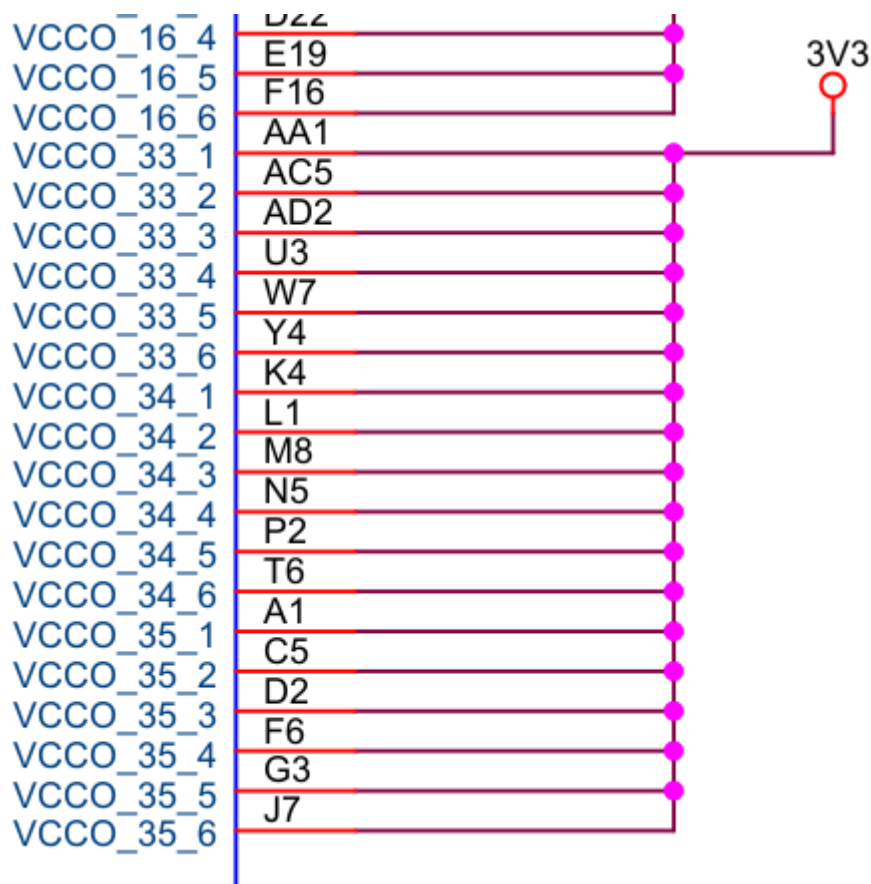
Demostración del criterio anterior

Para ello creamos un pequeño proyecto en el que lo único que hacemos es poner todos los pines a '1' por defecto.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity test is
    Port (
        output : out std_logic_vector(7 downto 0)
    );
end test;

architecture Behavioral of test is
begin
    output <= (others=>'1');
end Behavioral;
```

Este proyecto va a una FPGA que tiene el banco utilizado (banco 35) a 3,3V.



Teóricamente los pines de salida van a salir a 3,3V. Entonces, yo quiero provocar que salgan a 1,8V. Para ello en el XDC los declaro a 1,8V.

```
set_property -dict { PACKAGE_PIN H4 IOSTANDARD LVCMOS18 } [get_ports {output[0]}};  
set_property -dict { PACKAGE_PIN F4 IOSTANDARD LVCMOS18 } [get_ports {output[1]}};  
set_property -dict { PACKAGE_PIN A4 IOSTANDARD LVCMOS18 } [get_ports {output[2]}};  
set_property -dict { PACKAGE_PIN A5 IOSTANDARD LVCMOS18 } [get_ports {output[3]}};  
set_property -dict { PACKAGE_PIN J4 IOSTANDARD LVCMOS18 } [get_ports {output[4]}};  
set_property -dict { PACKAGE_PIN G4 IOSTANDARD LVCMOS18 } [get_ports {output[5]}};  
set_property -dict { PACKAGE_PIN B4 IOSTANDARD LVCMOS18 } [get_ports {output[6]}};  
set_property -dict { PACKAGE_PIN B5 IOSTANDARD LVCMOS18 } [get_ports {output[7]}};
```

Entonces, ahora genero el bitstream y se lo cargo a la FPGA.

Una vez cargado mido la tensión de los pines a ver si hay 1,8V, y resulta que los pines tienen una tensión de 3,3V, que es la misma tensión que tiene el banco.



Entonces, se puede decir que:

- La tensión que se declara en los XDC no influye directamente en la tensión de salida de los pines (seguramente influya en la configuración interna de la FPGA)
- Y también, que la tensión de los bancos es directamente la tensión de los pines, y que está solo se puede cambiar en el diseño de la PCB de la FPGA. Y en caso de ser fija, no se puede cambiar.

NOTA: Todas las tensiones de las FPGAs dependen del documento que da fabricante sobre tensiones en función de la generación de la FPGA.