

Cómo implementar un clock enable para un reloj en Xilinx

Creador: David Rubio G.

Entrada: <https://soceame.wordpress.com/2024/12/18/como-implementar-un-clock-enable-para-un-reloj-en-xilinx/>

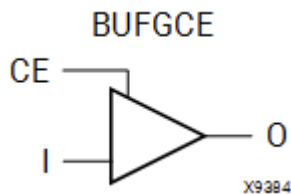
Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 23/02/2025

Para implementar un clock enable en una FPGA de Xilinx no hay que hacer una AND al reloj con la señal de enable, porque estaríamos cambiando el reloj de la FPGA por una señal de enable.

Por ello hay que utilizar la directiva que da Xilinx para conservar el reloj y crear poder deshabilitar el reloj de la FPGA. La directiva es la **BUFGCE**.



La tabla de la verdad de esta puerta es la siguiente.

Logic Table

Inputs		Outputs
I	CE	O
X	0	0
I	1	I

Para implementarla se tiene que utilizar esta estructura (para la familia de las Versal hay otra estructura similar pero cambiando parte de los genéricos)

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGCE: Global Clock Buffer with Clock Enable
-- 7 Series
-- Xilinx HDL Language Template, version 2020.1

BUFGCE_inst : BUFGCE
port map (
    O => O,    -- 1-bit output: Clock output
    CE => CE,  -- 1-bit input: Clock enable input for IO
    I => I     -- 1-bit input: Primary clock
);

-- End of BUFGCE_inst instantiation
```

Ejemplo

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
library UNISIM;
use UNISIM.VComponents.all;

entity test_clk is
    Port (
        clk : in std_logic;
        ce : in std_logic;
        clk_out : out std_logic
    );
end test_clk;

architecture Behavioral of test_clk is

    signal clk_buf : std_logic;

begin

    BUFG_inst : BUFG
    port map (
        0 => clk_buf,
        I => clk
    );

    BUFGCE_inst : BUFGCE
    port map (
        0 => clk_out,
        CE => ce,
        I => clk_buf
    );

end Behavioral;
```

NOTA: recordad siempre bufferear los relojes de entrada en la FPGA con un **BUFG**.

Otro posible método es utilizar un multiplexor de frecuencias (como el que expliqué en una entrada anterior). Lo que se tiene que hacer es que la entrada 0 esté a GND. De tal forma que cuando el CE esté a 0 la salida sea GND, o sea, 0. Y cuando sea 1 la salida sea el reloj que queremos utilizar.

<https://soceame.wordpress.com/2024/12/18/como-implementar-un-multiplexor-de-frecuencias-para-xilinx/>

Referencia

<https://docs.amd.com/r/2020.2-English/ug953-vivado-7series-libraries/BUFGCE>