

Deja de abusar de los process (VHDL)

Creador: David Rubio G.

Entrada: <https://soceame.wordpress.com/2025/01/20/deja-de-abusar-de-los-process-vhdl/>

Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 13/02/2025

Una situación típica a la hora de programar FW en VHDL es encontrarse *process* que solo hacen comparativas.

Y luego a la hora de mirar su funcionamiento, tienen un motón de señales en la lista de sensibilidad, debido a que **(aquí viene la falacia)** *SOLO si está en la lista de sensibilidad cualquier cambio en las señales de entrada se refleja a la salida*. Pero internamente solo cumplen una sentencia condicional.

Esto se puede ver es estructuras con un *if*.

```
process(a, b, c)
begin
    if c = '1' then
        d <= a;
    elsif c = '0' then
        d <= b;
    end if;
end process;
```

O estructuras con un *case*.

```
process(a, b, c)
begin
    case(c) is
        when '1' => d <= a;
        when '0' => d <= b;
    end case;
end process;
```

Bien, pues este tipo de sentencias reflejan un bajo nivel del entendimiento del funcionamiento de VHDL. Esto es debido a que cualquier asignación que se haga fuera de un *process* también se ve afectada por cualquier cambio que se produzca en las señales de entrada.

Por lo que una estructura como la siguiente con un *when else*, que se ejecuta fuera de un *process*, hace exactamente lo mismo que las estructuras anteriores, además de que es más fácil de comprobar su funcionamiento, y el código está más recogido.

```
d <= a when c = '1' else
    b when c = '0';
```

Es importante tener en cuenta que esta estructura sólo se puede aplicar a condicionales que no lleven señal de reloj.