

# Declarar pines de reloj diferenciales en Vivado

Creador: David Rubio G.

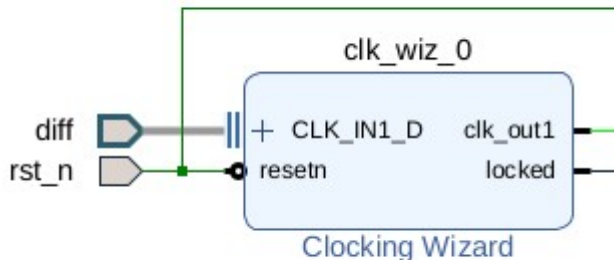
Entrada: <https://soceame.wordpress.com/2024/10/19/declarar-pines-de-reloj-diferenciales-en-vivado/>

Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 23/02/2025

Las placas más potentes suelen llevar pines diferenciales de reloj, para ello el Clocking Wizard tiene que tener una entrada para pines diferenciales.



Esto se configura en la pestaña *Clocking Options*, en *Input Clock Information*, en la opción *Source*. Se selecciona la opción **Differential clock capable pin**.

Component Name: clk\_wiz\_0

**Clocking Options** | Output Clocks | MMCM Settings | Summary

**Clock Monitor**

☐ Enable Clock Monitoring

**Primitive**

☒ MMCM ☐ PLL ☐ Auto

☐ Optimize Clocking Structure

RECOMMENDED TO ENABLE THE "OPTIMIZE CLOCKING STRUCTURE" CHECK-BOX TO GET OPTIMIZED CLOCKING STRUCTURE

**Clocking Features**

☒ Frequency Synthesis ☐ Minimize Power

☐ Phase Alignment ☐ Spread Spectrum

☐ Dynamic Reconfig ☐ Dynamic Phase Shift

☐ Safe Clock Startup ☐ Use CDDC

**Jitter Optimization**

☒ Balanced

☐ Minimize Output Jitter

☐ Maximize Input Jitter filtering

**Dynamic Reconfig Interface Options**

☒ AXI4Lite ☐ DRP

☐ Phase Duty Cycle Config ☐ Write DRP registers

**Input Clock Information**

Input Clock	Port Name	Input Frequency(MHz)	Jitter Options	Input Jitter	Source
<input checked="" type="checkbox"/> Primary	clk_in1	200	10.000 - 933.000	0.010	Differential clock capable pin
<input type="checkbox"/> Secondary	clk_in2	100.000	120.000 - 288.000	0.010	Single ended clock capable pin

OK Cancel

Bien, y ahora para los pines del XDC se tiene que configurar de la siguiente forma.

Si el reloj yo le he llamado (en la imagen principal) **diff**, en el XDC le voy a declarar como diferencial, entonces solo tengo que declarar el **pin positivo**, porque Vivado rellena el negativo.

Entonces, a este pin **diff** para el diferencial positivo de reloj le tengo que llamar **diff\_clk\_p** en el XDC.

**NOTA:** se le añade el sufijo «\_clk\_p»

```
create_clock -period 5.000 [get_ports diff_clk_p]
set_property PACKAGE_PIN AK17 [get_ports diff_clk_p]
set_property IOSTANDARD DIFF_SSTL12 [get_ports diff_clk_p]
```

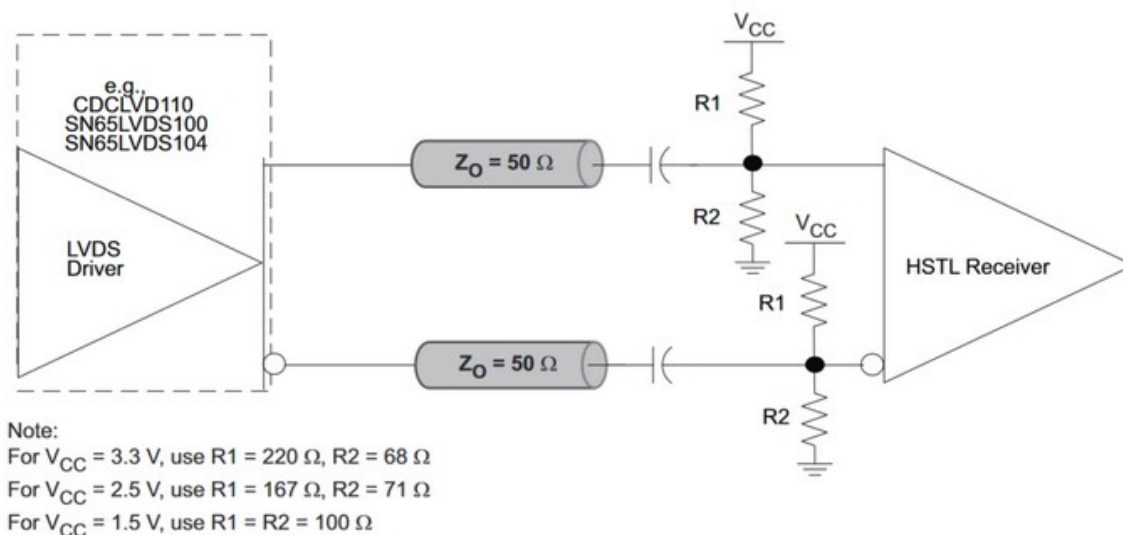
Si se comprueba como Vivado entiende los pines, se puede ver que Vivado autorrellena la columna **Neg Diff Pair** llamando a este pin «diff\_clk\_n».

Name	Direction	Neg Diff Pair	Package Pin	Fixed	Bank	IO Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Termination
▼ All ports (5)												
> RST_RST_N_54720 (1)	IN			<input checked="" type="checkbox"/>	64	LVC MOS18	1.800				NONE	NONE
> uart_rt_54720 (2)	(Multiple)			<input checked="" type="checkbox"/>	65	LVC MOS18	1.800				NONE	(Multiple)
▼ Scalar ports (2)												
diff_clk_p	IN	diff_clk_n	AK17	<input checked="" type="checkbox"/>	45	DIFF_SSTL12					NONE	NONE

Eso es porque el pin positivo del reloj va al pin positivo **IO\_L12P**, y el negativo del reloj va al negativo **IO\_L12N**.

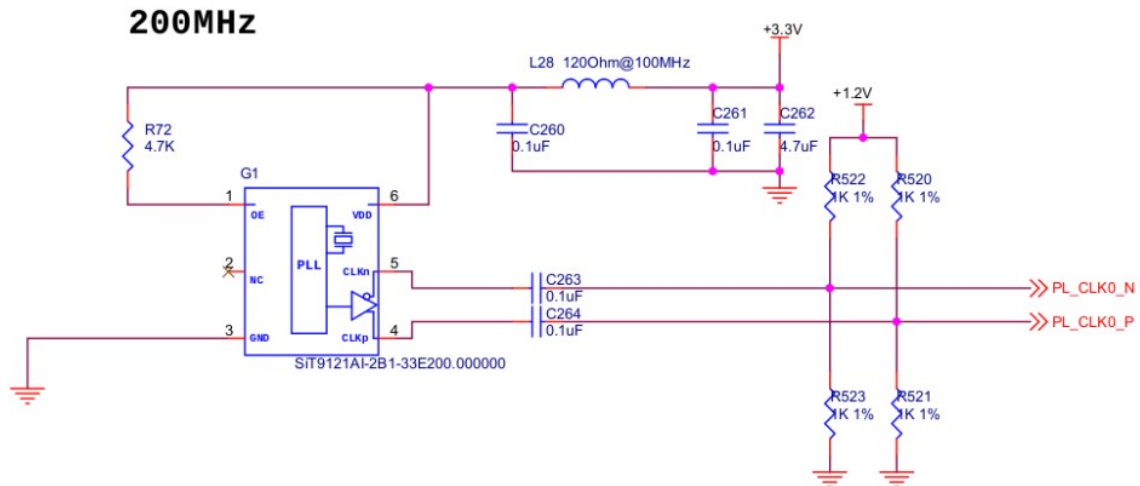
IO_L11P_T1U_N8_GC_45	AK16	PL_CLK0_N
IO_L12N_T1U_N11_GC_45	AK17	PL_CLK0_P
IO_L12P_T1U_N10_GC_45	AH17	

**NOTA:** el uso del **DIFF\_SSTL12** es por la tecnología con la que el fabricante de la PCB ha usado para acoplar el reloj con la FPGA, y el 12 es porque la VCC de la línea se ha usado 1,2V.



**Figure 15. LVDS to HSTL**

En mi caso, el ejemplo para utilizar el **DIFF\_SSTL12** es:



**NOTA 2:** para poder utilizar una tensión de 1,2V se requiere que la alimentación del banco de la FPGA donde se encuentra el reloj (en mi caso el 45) esté alimentado a 1,2V.

