

¿Qué es y cómo funciona el DEVRST_N de las FPGAs de Microchip?

Creador: David Rubio G.

Entrada: https://soceame.wordpress.com/2024/12/08/que-es-y-como funciona-el-devrst_n-de-las-fgpas-de-microchip/

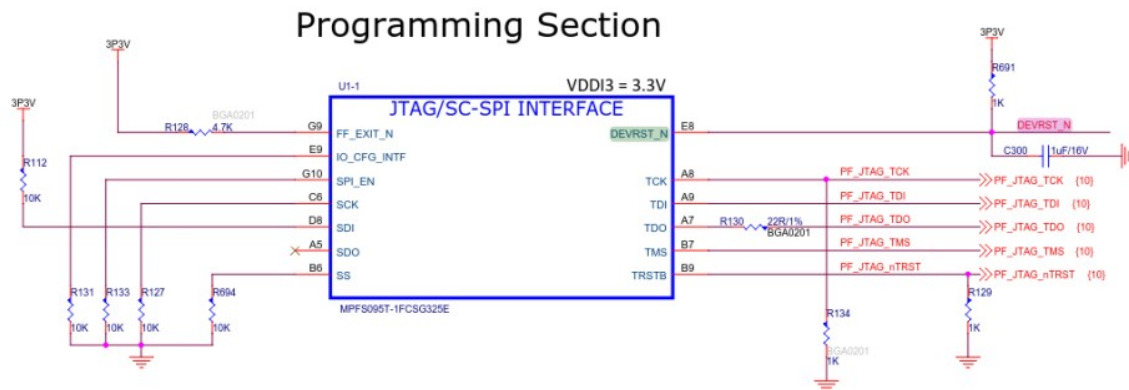
Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 23/02/2025

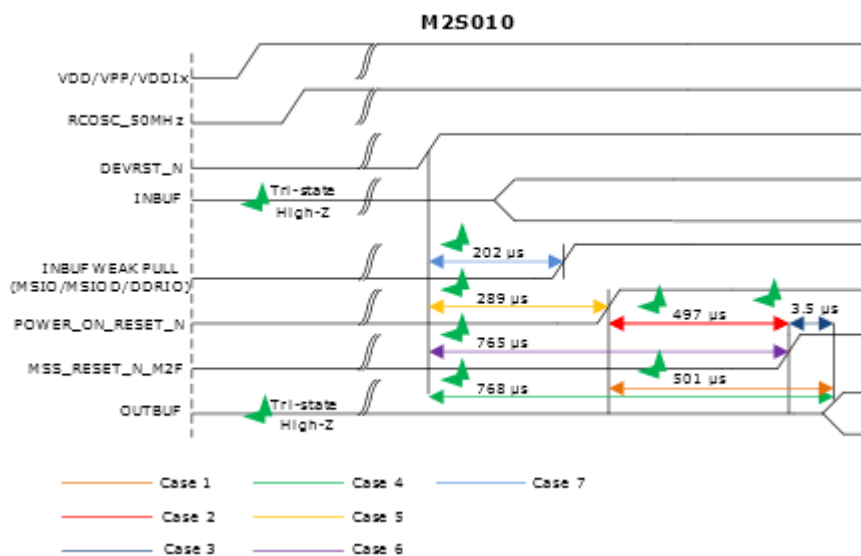
Una duda muy recurrente dentro de las FPGAs/SoCs de Microchip es ¿para qué se utiliza el pin DEVRST_N?

El pin DEVRST_N es un pin que incluye Microchip en sus FPGAs, pero este pin que pudiera ser parecido a los que tienen otros fabricantes de FPGAs para borrar el bitstream de sus FPGAs, pero no es así.



El funcionamiento de este pin es para cortar la habilitación de la lógica de la FPGA, porque debido a que este tipo de FPGAs es de tipo Flash, el bitstream no se borra.

Fabricante publica la máquina de estados que maneja el DEVRST_N al ser activado. Entonces, se puede ver que en ningún caso resetea o recarga el bitstream de la FPGA, lo único que hace es habilitar la lógica interna de la FPGA.



Forma de uso

El pin DEVRST_N es un pin no seleccionable para su uso en firmware, por lo que la única forma que hay es mediante el bloque *SYSRESET*, este bloque se enlaza con la lógica solo para el arranque de un core MSS en una SmartFusion2.

