

Cómo leer con un ADC y escribir con un DAC en una FPGA

Creador: David Rubio G.

Entrada: <https://soceame.wordpress.com/2025/02/11/como-leer-con-un-adc-y-escribir-con-un-dac-en-una-fpga/>

Blog: <https://soceame.wordpress.com/>

GitHub: <https://github.com/DRubioG>

Fecha última modificación: 13/02/2025

Leer datos de un ADC o escribir en un DAC, se tiene que conocer su forma específica de hacerlo. Por ello se debe de disponer de un módulo que hace de interfaz con del ADC/DAC y de un FIFO asíncrono para poder hacer una transmisión/recepción correcta.

Lectura con un ADC

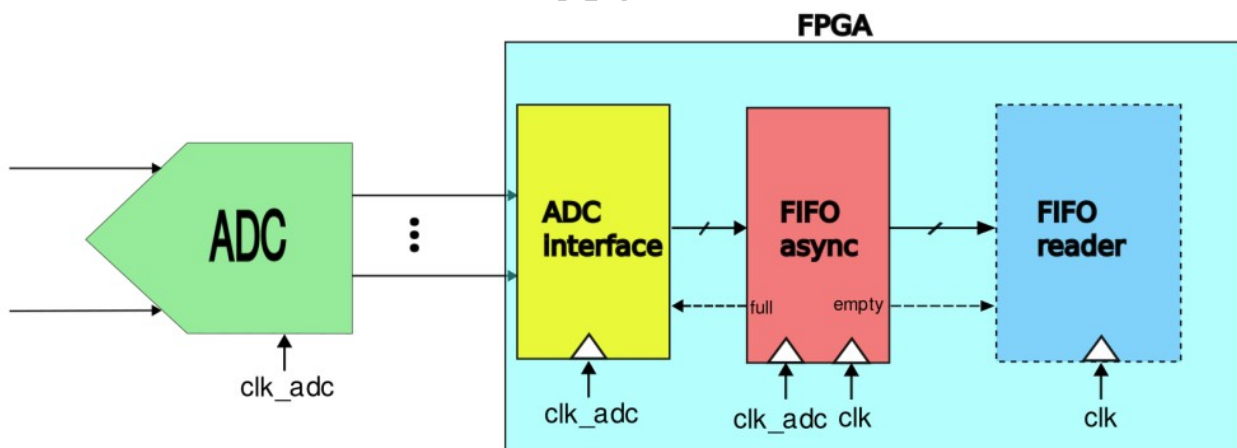
Para la lectura de un ADC se tiene que disponer de un módulo que haga de interfaz para recibir los datos con la frecuencia de lectura del ADC. Después, debido a que esta frecuencia de lectura puede no ser la misma que tiene el sistema se tiene que disponer de un FIFO asíncrono que es el encargado de guardar los datos, hasta que otro módulo venga a leer los datos del FIFO.

- **ADC Interface:** esta interfaz de comunicación es el módulo que se encarga de extraer el dato del ADC para convertirlo en un dato que se pueda manejar internamente en la FPGA. Esta interfaz suele ser para datos en paralelo o por SPI de lectura.
- **FIFO asíncrono:** el FIFO es el encargado de sincronizar los datos entre el dominio de entrada de la interfaz del ADC con el dominio de frecuencia de la FPGA. Además, también almacena el dato hasta que algún módulo interno lea los datos de FIFO.

<https://soceame.wordpress.com/2024/12/14/introduccion-al-cdc-clock-domain-crossing/>

<https://soceame.wordpress.com/2024/11/17/como-implementar-memorias-en-vivado-parte-3-fifos/>

- **FIFO reader:** esto realmente no es un módulo como tal, si no que es el módulo interno de la FPGA que se encarga de utilizar los datos guardados del FIFO.

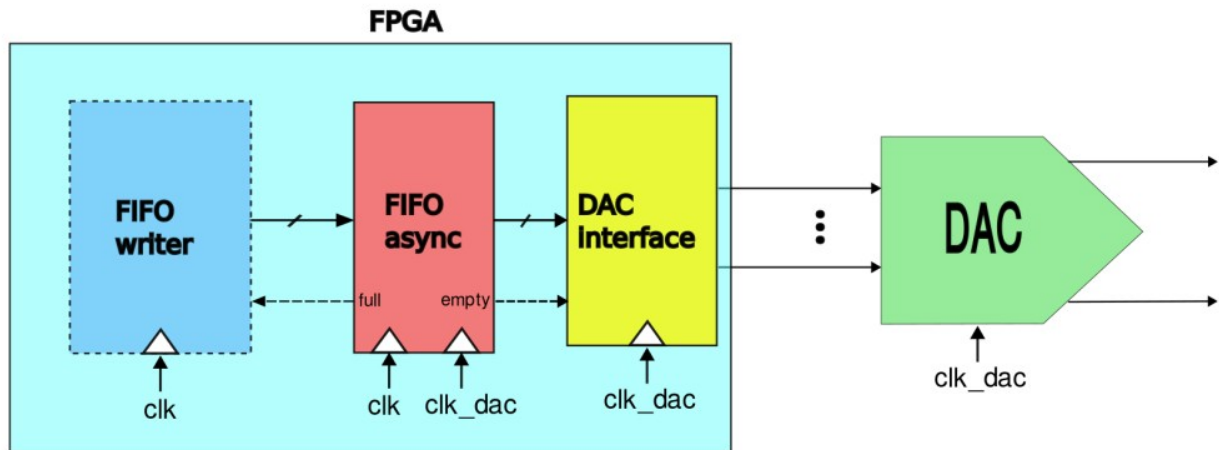


Escritura con un DAC

El funcionamiento del DAC es igual que el del ADC, pero en dirección contraria, es la lógica de la FPGA la que pone el dato en el FIFO, y la interfaz del DAC la que transmite el dato al DAC.

- **FIFO writer:** es la lógica de la FPGA que se encarga de generar los datos que se van a poner en el DAC.

- **FIFO asíncrono:** es el FIFO encargado de almacenar y sincronizar los datos del ADC entre el dominio de tiempo de la FPGA y el dominio de tiempo del DAC.
- **DAC Interface:** es la interfaz del DAC que se encarga de transmitir los datos al DAC desde el FIFO al DAC en el mundo exterior utilizando el protocolo correspondiente que necesita el DAC, este puede ser I2C, paralelo, etc.



Nota final

Por último, si lo que se quiere es crear tu un FIFO a mano puedes utilizar la macro que ofrece Xilinx directamente.

<https://soceame.wordpress.com/2024/12/01/macros-basicas-en-vivado/>

O implementarla en VHDL.

<https://soceame.wordpress.com/2025/01/22/implementar-memorias-en-vhdl/>

Además, también como recordatorio, aquí dejo cómo se tiene que estructurar un bloque IP.

<https://soceame.wordpress.com/2025/01/06/como-estructurar-un-bloque-ip/>