

**Transceivers**

**Xilinx**

Por [ing\\_davidrubio@outlook.com](mailto:ing_davidrubio@outlook.com) | [Blog](#)

# Introducción

Este documento tiene como objetivo explicar los conceptos básicos sobre el uso de transceivers de Xilinx.

## Puertos básicos

Nombre	Dirección	Tamaño	Función
<i>gtwiz_reset_clk_freerun_in</i>	In	1	Entrada de reloj del sistema, nunca superior a 250MHz
<i>gtwiz_userclk_tx_active_in</i>	In	1	Entrada de activación de Tx. Esta entrada tiene que estar sincronizada. Activa a nivel alto.
<i>gtwiz_userclk_rx_active_in</i>	In	1	Entrada de activación de Rx. Esta entrada tiene que estar sincronizada. Activa a nivel alto.
<i>gtwiz_reset_all_in</i>	In	1	Reset global del Transceiver
<i>gtwiz_userdata_tx_in</i>	In	32/40 x N.º canal	Salida de datos por el Transceiver
<i>gtwiz_userdata_rx_out</i>	Out	32/40 x N.º canal	Entrada de datos por el transceiver
<i>gtrefclk00_in</i>	In	1	Reloj de referencia, este reloj no tiene mucho valor. Viene de la salida de un IBUFGDS_GTE3 con entrada de los relojes del MGT.
<i>gthrxn_in</i>	In	1	Entradas que vienen del exterior. No se define el pin en el XDC de este puerto. (es posible que está sea la entrada exterior del transceiver)
<i>gthrxp_in</i>	In	1	
<i>gthtxn_out</i>	Out	1	Salidas que vienen del exterior. No se define el pin en el XDC de este puerto. (es posible que está sea la salida exterior del transceiver)
<i>gthtxp_out</i>	Out	1	

<i>rxoutclk_out</i>	Out	1	Reloj de salida de Rx, va a un BUFG_GT
<i>txoutclk_out</i>	Out	1	Reloj de salida de Tx, va a un BUFG_GT
<i>rxusrclk_in</i>	In	1	Reloj de Rx. Este reloj proviene de un BUFG_GT del puerto de salida <i>rxoutclk_out</i> . El reloj útil para el trabajo en FPGA es el <i>rxusrclk2_in</i>
<i>rxusrclk2_in</i>	In	1	
<i>txusrclk_in</i>	In	1	Reloj de Tx. Este reloj proviene de un BUFG_GT del puerto de salida <i>txoutclk_out</i> . El reloj útil para el trabajo en FPGA es el <i>txusrclk2_in</i>
<i>txusrclk2_in</i>	In	1	
<señales de entrada>	In	<>	Señales activas a '1', se pueden meter a un VIO, con el reloj de <i>txusrclk2_in</i> o <i>rxusrclk2_in</i>
<señales de salida>	Out	<>	Señales activas a '1', se pueden meter a un ILA o a un VIO, con el reloj de <i>txusrclk2_in</i> o <i>rxusrclk2_in</i>

## Relojes

- Reloj para Freerun**

Con un reloj diferencial se utiliza un IBUFGDS que convierte la señal en una señal de una línea, después, se pasa por un PLL para rebajarla a 100MHz, y por último, se utiliza un BUFG para conseguir la señal CLK\_FREERUN.



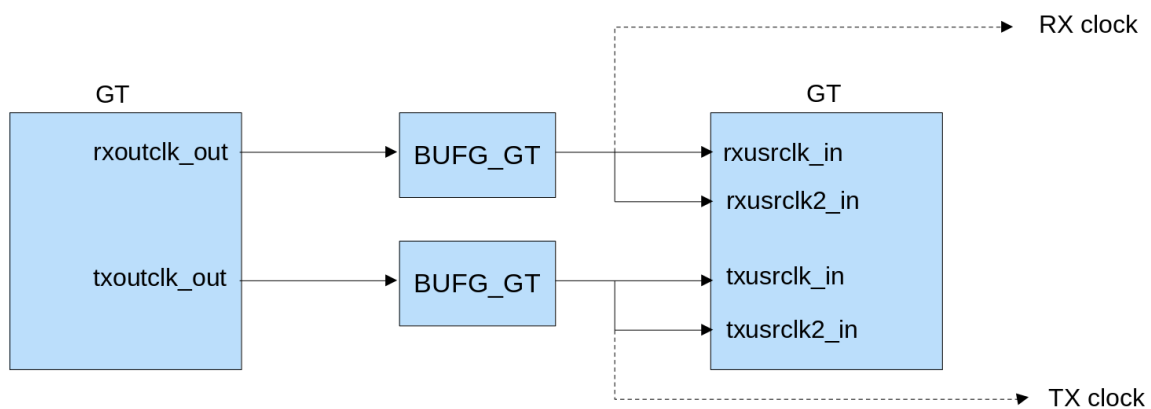
- Reloj para referencia**

Para conseguir el reloj de referencia `gtrefclk00_in` se tiene que coger las señales de reloj diferenciales del transceiver a 125MHz y se pasan por un `IBUFGDS_GTE3` (`IBUFGDS_GTE4` para los MPSoCs).

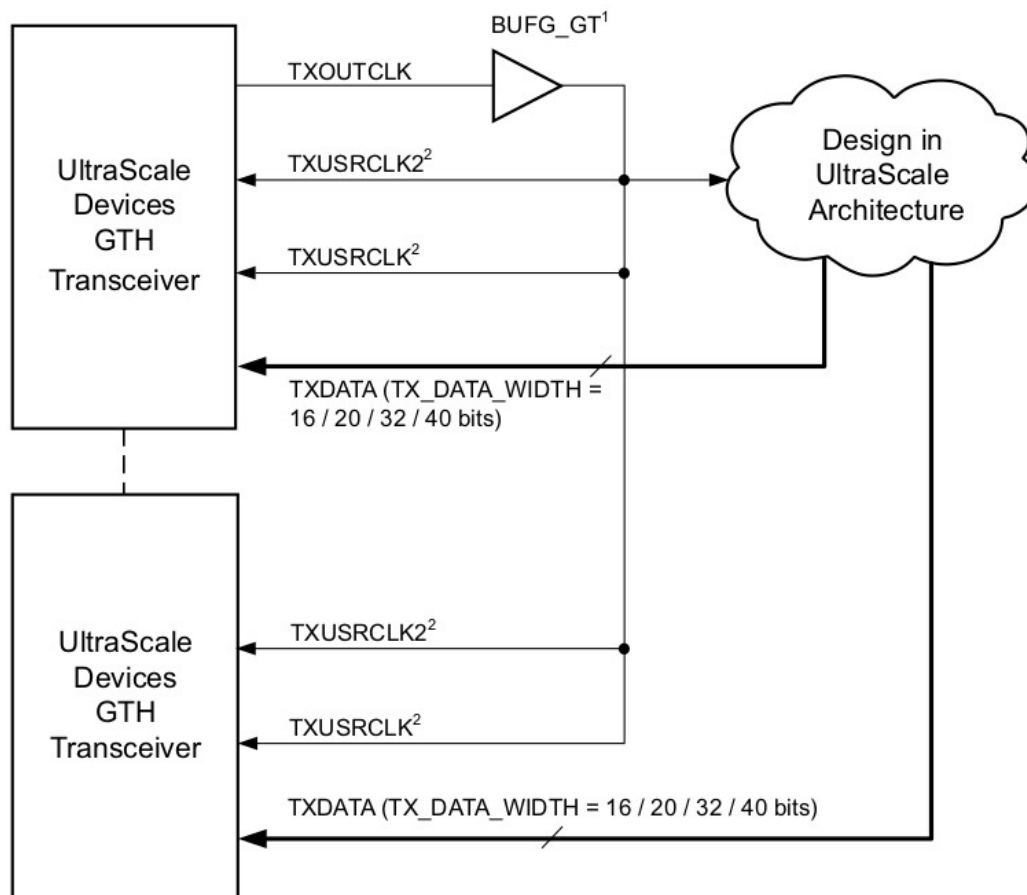


- **Relojes de trabajo**

Los relojes de trabajo y fundamentales del transceiver provienen de los puertos de salida del propio transceiver, estos puertos son el ***rxoutclk\_out*** y el ***txoutclk\_out***. Estos relojes se pasan cada uno por un **BUFG\_GT**, dónde se pueden dividir sus frecuencias en caso de ser necesario. Estos relojes son también entradas del propio transceiver por los puertos ***rxusrclk\_in***, ***rxusrclk2\_in***, ***txusrclk\_in*** y ***txusrclk2\_in***. Estos relojes tienen que estar sincronizados entre '1' y '2' (*aunque no tengan la misma frecuencia*). El reloj útil para la FPGA es el '2'.



Ejemplos de fabricante (documentación):



UG576\_c3\_03\_050217

<https://soceame.com>

