Device/Package xc7z020clg400 9/18/2012 09:51:09

Devi	ce/Package xc7z020clg400	9/18/2012 09:51:09					
Din	Din Namo	Mamany Pyta Group	Pank	VCCALLY Group	Super Logic Region	T/O Type	No Connect
Pin R11	Pin Name DONE 0	Memory Byte Group NA	Bank 0	VCCAUX Group NA	Super Logic Region NA	CONFIG	No-Connect NA
M9	DXP_0	NA	0	NA	NA	CONFIG	NA
J10	GNDADC Ø	NA	ø	NA	NA	CONFIG	NA
J9	VCCADC 0	NA	0	NA	NA	CONFIG	NA
L9	VREFP_0	NA	0	NA	NA	CONFIG	NA
L10	VN_0	NA	0	NA	NA	CONFIG	NA
F11	VCCBATT_0	NA	0	NA	NA	CONFIG	NA
F9	TCK_0	NA	0	NA	NA	CONFIG	NA
M10	DXN_0	NA	0	NA	NA	CONFIG	NA
K10	VREFN_0	NA	0	NA	NA	CONFIG	NA
K9	VP_0	NA	0	NA	NA	CONFIG	NA
F10	RSVDGND	NA NA	0	NA	NA NA	CONFIG	NA
N6 R6	RSVDVCC3 RSVDVCC2	NA NA	0 0	NA NA	NA NA	CONFIG CONFIG	NA NA
R10	INIT B 0	NA	0	NA	NA	CONFIG	NA
G6	TDI_0	NA	0	NA	NA NA	CONFIG	NA
F6	TDO 0	NA	ø	NA	NA	CONFIG	NA
T6	RSVDVCC1	NA	0	NA	NA	CONFIG	NA
M6	CFGBVS_0	NA	0	NA	NA	CONFIG	NA
L6	PROGRAM_B_0	NA	0	NA	NA	CONFIG	NA
J6	TMS_0	NA	0	NA	NA	CONFIG	NA
V5	IO_L6N_T0_VREF_13	0	13	NA	NA	HR	7Z010
U7	IO_L11P_T1_SRCC_13	1	13	NA	NA	HR	7Z010
V7	IO_L11N_T1_SRCC_13	1	13	NA	NA	HR	7Z010
T9	IO_L12P_T1_MRCC_13	1	13	NA	NA	HR	7Z010
U10 Y7	IO_L12N_T1_MRCC_13	1 2	13 13	NA NA	NA NA	HR HR	7Z010 7Z010
Y6	IO_L13P_T2_MRCC_13 IO_L13N_T2_MRCC_13	2	13	NA NA	NA NA	HR	7Z010 7Z010
Y9	IO L14P T2 SRCC 13	2	13	NA NA	NA	HR	7Z010 7Z010
Y8	IO_L14N_T2_SRCC_13	2	13	NA	NA	HR	7Z010
V8	IO L15P T2 DQS 13	2	13	NA	NA	HR	7Z010
W8	IO_L15N_T2_DQS_13	2	13	NA	NA	HR	7Z010
W10	IO_L16P_T2_13	2	13	NA	NA	HR	7Z010
W9	IO_L16N_T2_13	2	13	NA	NA	HR	7Z010
U9	IO_L17P_T2_13	2	13	NA	NA	HR	7Z010
U8	IO_L17N_T2_13	2	13	NA	NA	HR	7Z010
W11	IO_L18P_T2_13	2	13	NA	NA	HR	7Z010
Y11	IO_L18N_T2_13	2	13	NA	NA NA	HR	7Z010
T5 U5	IO_L19P_T3_13	3	13	NA NA	NA NA	HR	7Z010
Y12	IO_L19N_T3_VREF_13 IO L20P T3 13	3	13 13	NA NA	NA NA	HR HR	7Z010 7Z010
Y13	IO_L20N_T3_13	3	13	NA	NA	HR	7Z010 7Z010
V11	IO_L21P_T3_DQS_13	3	13	NA	NA	HR	7Z010 7Z010
V10	IO_L21N_T3_DQS_13	3	13	NA	NA	HR	7Z010
V6	IO_L22P_T3_13	3	13	NA	NA	HR	7Z010
W6	IO_L22N_T3_13	3	13	NA	NA	HR	7Z010
R19	IO_0_34	NA	34	NA	NA	HR	NA
T11	IO_L1P_T0_34	0	34	NA	NA	HR	NA
T10	IO_L1N_T0_34	0	34	NA	NA	HR	NA
T12	IO_L2P_T0_34	0	34	NA	NA	HR	NA
U12	IO_L2N_T0_34	0	34	NA	NA	HR	NA
U13	IO_L3P_T0_DQS_PUDC_B_34	0	34 34	NA NA	NA NA	HR	NA
V13 V12	IO_L3N_T0_DQS_34 IO_L4P_T0_34	0	34 34	NA NA	NA NA	HR HR	na na
W13	IO_L4N_T0_34	0	34	NA	NA	HR	NA
T14	IO L5P T0 34	0	34	NA	NA	HR	NA
T15	IO L5N T0 34	0	34	NA	NA	HR	NA
P14	IO_L6P_T0_34	0	34	NA	NA	HR	NA
R14	IO_L6N_T0_VREF_34	0	34	NA	NA	HR	NA
Y16	IO_L7P_T1_34	1	34	NA	NA	HR	NA
Y17	IO_L7N_T1_34	1	34	NA	NA	HR	NA
W14	IO_L8P_T1_34	1	34	NA	NA	HR	NA
Y14	IO_L8N_T1_34	1	34	NA	NA	HR	NA
T16 U17	IO_L9P_T1_DQS_34 IO L9N T1 DQS 34	1 1	34 34	NA NA	NA NA	HR HR	NA NA
V15	IO L10P T1 34	1	34	NA	NA	HR	NA
W15	IO_L10P_T1_34 IO_L10N_T1_34	1	34	NA NA	NA NA	HR	NA
U14	IO_L11P_T1_SRCC_34	1	34	NA	NA NA	HR	NA
U15	IO_L11N_T1_SRCC_34	1	34	NA	NA	HR	NA
U18	IO_L12P_T1_MRCC_34	1	34	NA	NA	HR	NA
U19	IO_L12N_T1_MRCC_34	1	34	NA	NA	HR	NA
N18	IO_L13P_T2_MRCC_34	2	34	NA	NA	HR	NA
P19	IO_L13N_T2_MRCC_34	2	34	NA	NA	HR	NA
N20	IO_L14P_T2_SRCC_34	2	34	NA	NA	HR	NA
P20	IO_L14N_T2_SRCC_34	2	34	NA NA	NA NA	HR	NA
T20 U20	IO_L15P_T2_DQS_34 IO_L15N_T2_DQS_34	2	34 34	NA NA	NA NA	HR HR	NA NA
V20	IO_L15N_T2_DQS_34 IO_L16P_T2_34	2	34 34	NA NA	NA NA	HR	NA NA
W20	IO_L16N_T2_34	2	34	NA NA	NA NA	HR	NA
Y18	IO_L17P_T2_34	2	34	NA	NA	HR	NA
Y19	IO_L17N_T2_34	2	34	NA	NA	HR	NA
V16	IO_L18P_T2_34	2	34	NA	NA	HR	NA
W16	IO_L18N_T2_34	2	34	NA	NA	HR	NA
R16	IO_L19P_T3_34	3	34	NA	NA	HR	NA
R17	IO_L19N_T3_VREF_34	3	34	NA	NA	HR	NA
T17	IO_L20P_T3_34	3	34	NA	NA NA	HR	NA
R18	IO_L20N_T3_34	3	34	NA NA	NA NA	HR	NA
V17 V18	IO_L21P_T3_DQS_34 IO L21N T3 DQS 34	3	34 34	NA NA	NA NA	HR HR	NA NA
W18	IO_L2IN_T3_DQS_34 IO_L22P_T3_34	3	34 34	NA NA	NA NA	HR HR	NA NA
W19	IO_L22P_T3_34 IO_L22N_T3_34	3	34	NA	NA NA	HR	NA
N17	IO L23P T3 34	3	34	NA	NA NA	HR	NA
P18	IO_L23N_T3_34	3	34	NA	NA	HR	NA

29/1/20	021	ŀ	nttps://www.	xilinx.com/suppo	ort/packagefiles/z7pac	kages/xc7z0	)20c
P15	IO_L24P_T3_34	3	34	NA	NA	HR	NA
P16 T <b>1</b> 9	IO_L24N_T3_34 IO_25_34	3 NA	34 34	NA NA	NA NA	HR HR	NA NA
G14	10_0_35	NA	35	NA	NA	HR	NA
C20 B20	IO_L1P_T0_AD0P_35 IO L1N T0 AD0N 35	0 0	35 35	NA NA	NA NA	HR HR	NA NA
B19	IO_L2P_T0_AD8P_35	0	35	NA	NA	HR	NA
A20 E17	IO_L2N_T0_AD8N_35 IO_L3P_T0_DQS_AD1P_35	0 0	35 35	NA NA	NA NA	HR HR	NA NA
D18	IO_L3N_T0_DQS_AD1N_35	0	35	NA	NA	HR	NA
D19	IO_L4P_T0_35	0	35	NA NA	NA	HR	NA
D20 E18	IO_L4N_T0_35 IO_L5P_T0_AD9P_35	0 0	35 35	NA NA	NA NA	HR HR	NA NA
E19	IO_L5N_T0_AD9N_35	0	35	NA	NA	HR	NA
F16 F17	IO_L6P_T0_35 IO_L6N_T0_VREF_35	0 0	35 35	NA NA	NA NA	HR HR	NA NA
M19	IO_L7P_T1_AD2P_35	1	35	NA	NA	HR	NA
M20 M17	IO_L7N_T1_AD2N_35 IO_L8P_T1_AD10P_35	1	35 35	NA NA	NA NA	HR HR	NA NA
M18	IO_L8N_T1_AD10N_35	1	35	NA	NA	HR	NA
L19 L20	IO_L9P_T1_DQS_AD3P_35	1	35 35	NA NA	NA NA	HR	NA NA
K19	IO_L9N_T1_DQS_AD3N_35 IO_L10P_T1_AD11P_35	1	35	NA NA	NA	HR HR	NA
J19	IO_L10N_T1_AD11N_35	1	35	NA	NA	HR	NA
L16 L17	IO_L11P_T1_SRCC_35 IO_L11N_T1_SRCC_35	1	35 35	NA NA	NA NA	HR HR	NA NA
K17	IO_L12P_T1_MRCC_35	1	35	NA	NA	HR	NA
K18 H16	IO_L12N_T1_MRCC_35 IO L13P T2 MRCC 35	1 2	35 35	NA NA	NA NA	HR HR	NA NA
H17	IO_L13N_T2_MRCC_35	2	35	NA	NA	HR	NA
J18 H18	IO_L14P_T2_AD4P_SRCC_35 IO_L14N_T2_AD4N_SRCC_35	2	35 35	NA NA	NA NA	HR HR	NA NA
F19	IO_L14N_T2_AD4N_3RCC_33	2	35 35	NA	NA	HR	NA
F20	IO_L15N_T2_DQS_AD12N_35	2	35	NA	NA	HR	NA
G17 G18	IO_L16P_T2_35 IO_L16N_T2_35	2	35 35	NA NA	NA NA	HR HR	NA NA
J20	IO_L17P_T2_AD5P_35	2	35	NA	NA	HR	NA
H20 G19	IO_L17N_T2_AD5N_35 IO_L18P_T2_AD13P_35	2	35 35	NA NA	NA NA	HR HR	NA NA
G20	IO_L18N_T2_AD13N_35	2	35	NA	NA	HR	NA
H15 G15	IO_L19P_T3_35 IO_L19N_T3_VREF_35	3	35 35	NA NA	NA NA	HR HR	NA NA
K14	IO_L20P_T3_AD6P_35	3	35	NA	NA	HR	NA
J14	IO_L20N_T3_AD6N_35	3	35	NA	NA	HR	NA
N15 N16	IO_L21P_T3_DQS_AD14P_35 IO_L21N_T3_DQS_AD14N_35	3	35 35	NA NA	NA NA	HR HR	NA NA
L14	IO_L22P_T3_AD7P_35	3	35	NA	NA	HR	NA
L15 M14	IO_L22N_T3_AD7N_35 IO_L23P_T3_35	3	35 35	NA NA	NA NA	HR HR	NA NA
M15	IO_L23N_T3_35	3	35	NA	NA	HR	NA
К16 J16	IO_L24P_T3_AD15P_35 IO_L24N_T3_AD15N_35	3	35 35	NA NA	NA NA	HR HR	NA NA
J15	IO_25_35	NA	35	NA	NA	HR	NA
E7 E <b>11</b>	PS_CLK_500 PS_MIO_VREF_501	NA NA	500 5 <b>01</b>	NA NA	NA NA	MIO MIO	NA NA
C7	PS_POR_B_500	NA	500	NA	NA	MIO	NA
C8	PS_MI015_500	NA NA	500	NA NA	NA NA	MIO	NA
E14 D10	PS_MI017_501 PS MI019 501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
F14	PS_MI021_501	NA	501	NA	NA	MIO	NA
D11 F15	PS_MI023_501 PS_MI025_501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
D13	PS_MIO27_501	NA	501	NA	NA	MIO	NA
C13 E16	PS_MI029_501 PS MI031 501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
D15	PS_MI033_501	NA	501	NA	NA	MIO	NA
F12 E13	PS_MI035_501 PS MI038 501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
D14	PS_MI040_501	NA	501	NA	NA	MIO	NA
E12	PS_MI042_501	NA NA	501	NA NA	NA NA	MIO	NA
F13 D16	PS_MIO44_501 PS_MIO46_501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
B12	PS_MI048_501	NA	501	NA	NA	MIO	NA
B13 C10	PS_MI050_501 PS MI052 501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
B10	PS_SRST_B_501	NA	501	NA	NA	MIO	NA
C5 <b>A1</b> 9	PS_MI014_500 PS_MI016_501	NA NA	500 501	NA NA	NA NA	MIO MIO	NA NA
B18	PS_MI018_501	NA	501	NA	NA	MIO	NA
A17 B17	PS_MIO20_501 PS MIO22 501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
A16	PS_MI024_501	NA	501	NA	NA	MIO	NA
A15	PS_MI026_501	NA NA	501	NA NA	NA	MIO	NA
C16 C15	PS_MIO28_501 PS_MIO30_501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
A14	PS_MI032_501	NA	501	NA	NA	MIO	NA
A12 A11	PS_MI034_501 PS_MI036_501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
A10	PS_MIO37_501	NA	501	NA	NA	MIO	NA
C18 C17	PS_MIO39_501 PS_MIO41_501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA NA
Α9	PS_MIO43_501	NA	501	NA	NA	MIO	NA
B15 B14	PS_MIO45_501 PS_MIO47_501	NA NA	501 501	NA NA	NA NA	MIO	NA NA
C12	PS_MI047_501 PS_MI049_501	NA NA	501 501	NA NA	NA NA	MIO MIO	NA
B9	PS_MIO51_501 PS_MIO53_501	NA NA	501	NA NA	NA NA	MIO	NA
C11	. 2 <sup>-1,1</sup> 1022 <sup>-2</sup> 001	NA	501	NA	NA	MIO	NA

29/1/2	021		https://ww	w.xilin	x.com/support/packagefiles	s/z7packages/xo	:7z020c
E8	PS_MI013_500	NA	500	NA	NA	MIO	NA
D9	PS_MI012_500	NA	500	NA	NA	MIO	NA
C6	PS_MI011_500	NA	500	NA	NA	MIO	NA
E9	PS_MI010_500	NA	500	NA	NA	MIO	NA
B5	PS_MI09_500	NA	500	NA	NA	MIO	NA
D5	PS_MI08_500	NA NA	500	NA	NA NA	MIO	NA
D8 A5	PS_MIO7_500 PS_MIO6_500	NA NA	500 500	NA NA	NA NA	MIO MIO	NA NA
A6	PS_MIO5_500	NA NA	500	NA	NA NA	MIO	NA NA
B7	PS MIO4 500	NA	500	NA	NA NA	MIO	NA
D6	PS_MI03_500	NA	500	NA	NA	MIO	NA
В8	PS_MI02_500	NA	500	NA	NA	MIO	NA
A7	PS_MI01_500	NA	500	NA	NA	MIO	NA
E6	PS_MI00_500	NA	500	NA	NA	MIO	NA
B4	PS_DDR_DRST_B_502	NA	502	NA	NA	DDR	NA
C3	PS_DDR_DQ0_502	NA	502	NA	NA	DDR	NA
B3	PS_DDR_DQ1_502	NA NA	502	NA	NA NA	DDR	NA
A2	PS_DDR_DQ2_502	NA NA	502 502	NA	NA NA	DDR	NA
A4 A1	PS_DDR_DQ3_502 PS_DDR_DM0_502	NA NA	502	NA NA	NA NA	DDR DDR	NA NA
C2	PS DDR DQS PØ 502	NA NA	502	NA	NA NA	DDR	NA
B2	PS_DDR_DQS_N0_502	NA NA	502	NA	NA	DDR	NA
D3	PS DDR DQ4 502	NA	502	NA	NA NA	DDR	NA
D1	PS_DDR_DQ5_502	NA	502	NA	NA	DDR	NA
C1	PS_DDR_DQ6_502	NA	502	NA	NA	DDR	NA
E1	PS_DDR_DQ7_502	NA	502	NA	NA	DDR	NA
E2	PS_DDR_DQ8_502	NA	502	NA	NA	DDR	NA
E3	PS_DDR_DQ9_502	NA	502	NA	NA	DDR	NA
G3	PS_DDR_DQ10_502	NA	502	NA	NA NA	DDR	NA
H3	PS_DDR_DQ11_502	NA NA	502	NA	NA NA	DDR	NA
F1 G2	PS_DDR_DM1_502 PS_DDR_DQS_P1_502	NA NA	502 502	NA NA	NA NA	DDR DDR	NA NA
F2	PS_DDR_DQS_P1_502 PS_DDR_DQS_N1_502	NA NA	502	NA	NA NA	DDR	NA
J3	PS_DDR_DQ12_502	NA NA	502	NA	NA NA	DDR	NA NA
H2	PS DDR DQ13 502	NA	502	NA	NA	DDR	NA
H1	PS DDR DQ14 502	NA	502	NA	NA	DDR	NA
J1	PS_DDR_DQ15_502	NA	502	NA	NA NA	DDR	NA
F4	PS_DDR_A14_502	NA	502	NA	NA	DDR	NA
D4	PS_DDR_A13_502	NA	502	NA	NA	DDR	NA
E4	PS_DDR_A12_502	NA	502	NA	NA	DDR	NA
G4	PS_DDR_A11_502	NA	502	NA	NA	DDR	NA
F5	PS_DDR_A10_502	NA	502	NA	NA	DDR	NA
J4	PS_DDR_A9_502	NA	502	NA	NA	DDR	NA
K1	PS_DDR_A8_502	NA	502	NA	NA NA	DDR	NA
K4	PS_DDR_A7_502	NA NA	502	NA	NA NA	DDR	NA
L4 L1	PS_DDR_A6_502 PS_DDR_A5_502	NA NA	502 502	NA NA	NA NA	DDR DDR	NA NA
M4	PS_DDR_A4_502	NA NA	502	NA	NA NA	DDR	NA NA
K3	PS DDR A3 502	NA	502	NA	NA	DDR	NA
G5	PS_DDR_VRN_502	NA	502	NA	NA	DDR	NA
H5	PS DDR VRP 502	NA	502	NA	NA	DDR	NA
L2	PS_DDR_CKP_502	NA	502	NA	NA	DDR	NA
M2	PS_DDR_CKN_502	NA	502	NA	NA	DDR	NA
М3	PS_DDR_A2_502	NA	502	NA	NA	DDR	NA
K2	PS_DDR_A1_502	NA	502	NA	NA	DDR	NA
N2	PS_DDR_A0_502	NA	502	NA	NA	DDR	NA
J5	PS_DDR_BA2_502	NA	502	NA	NA NA	DDR	NA
R4 L5	PS_DDR_BA1_502	NA NA	502 502	NA	NA NA	DDR	NA
N5	PS_DDR_BA0_502 PS_DDR_ODT_502	NA NA	502	NA NA	NA NA	DDR DDR	NA NA
N1	PS_DDR_CS_B_502	NA	502	NA	NA NA	DDR	NA
N3	PS DDR CKE 502	NA	502	NA	NA	DDR	NA
M5	PS DDR WE B 502	NA	502	NA	NA	DDR	NA
P5	PS_DDR_CAS_B_502	NA	502	NA	NA	DDR	NA
P4	PS_DDR_RAS_B_502	NA	502	NA	NA	DDR	NA
P1	PS_DDR_DQ16_502	NA	502	NA	NA	DDR	NA
P3	PS_DDR_DQ17_502	NA	502	NA	NA NA	DDR	NA
R3	PS_DDR_DQ18_502	NA NA	502 502	NA NA	NA NA	DDR	NA NA
R1	PS_DDR_DQ19_502	NA NA	502 502	NA NA	NA NA	DDR	NA NA
T1 R2	PS_DDR_DM2_502 PS_DDR_DQS_P2_502	NA NA	502 502	NA NA	NA NA	DDR DDR	NA NA
T2	PS_DDR_DQS_P2_502 PS_DDR_DQS_N2_502	NA NA	502	NA	NA NA	DDR	NA NA
T4	PS_DDR_DQ20_502	NA NA	502	NA	NA NA	DDR	NA
U4	PS_DDR_DQ21_502	NA	502	NA	NA	DDR	NA
U2	PS_DDR_DQ22_502	NA	502	NA	NA	DDR	NA
U3	PS_DDR_DQ23_502	NA	502	NA	NA	DDR	NA
V1	PS_DDR_DQ24_502	NA	502	NA	NA	DDR	NA
Y3	PS_DDR_DQ25_502	NA	502	NA	NA NA	DDR	NA
W1	PS_DDR_DQ26_502	NA NA	502	NA	NA NA	DDR	NA
Y4	PS_DDR_DQ27_502	NA NA	502 502	NA	NA NA	DDR	NA NA
Y1 W5	PS_DDR_DM3_502 PS_DDR_DQS_P3_502	NA NA	502 502	NA NA	NA NA	DDR DDR	NA NA
w5 W4	PS_DDR_DQS_P3_502 PS_DDR_DQS_N3_502	NA NA	502 502	NA NA	NA NA	DDR	NA NA
Y2	PS_DDR_DQ28_502	NA NA	502	NA	NA NA	DDR	NA
W3	PS_DDR_DQ29_502	NA	502	NA	NA	DDR	NA
V2	PS_DDR_DQ30_502	NA	502	NA	NA	DDR	NA
V3	PS_DDR_DQ31_502	NA	502	NA	NA	DDR	NA
A8	GND	NA	NA	NA	NA	NA	NA
A18	GND	NA	NA	NA	NA	NA	NA
B1	GND	NA	NA	NA	NA NA	NA	NA
B11	GND	NA NA	NA	NA	NA NA	NA NA	NA
C4	GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA
C14 K11	GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA
D17	GND GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA
E10	GND	NA NA	NA NA	NA	NA NA	NA	NA
E20	GND	NA	NA NA	NA	NA	NA	NA
https://	/www.xilinx.com/support/	backag efiles/z7	packages/xc7z0	20cla4	100pka.txt		

29/1/2021		https://www	v.xilin	x.com/support/packagefiles	/z7packages/xc	7z020clg40	00pkg.txt
F3 GND	NA	NA	NA	NA	NA	NA	
F7 GND	NA	NA	NA	NA	NA	NA	
G10 GND G12 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
G16 GND	NA NA	NA NA	NA	NA NA	NA NA	NA	
H7 GND	NA	NA	NA	NA	NA	NA	
H9 GND	NA NA	NA NA	NA	NA NA	NA NA	NA	
H11 GND H13 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
H19 GND	NA	NA	NA	NA	NA	NA	
J2 GND	NA	NA	NA	NA	NA	NA	
J8 GND J12 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
K5 GND	NA NA	NA	NA	NA NA	NA	NA	
K7 GND	NA	NA	NA	NA	NA	NA	
C9 GND K13 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
K15 GND	NA NA	NA NA	NA	NA NA	NA NA	NA	
L8 GND	NA	NA	NA	NA	NA	NA	
L12 GND L18 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
M1 GND	NA NA	NA NA	NA	NA NA	NA NA	NA NA	
M7 GND	NA	NA	NA	NA	NA	NA	
M11 GND	NA NA	NA NA	NA	NA NA	NA	NA	
M13 GND N4 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
N8 GND	NA	NA	NA	NA	NA	NA	
N10 GND	NA	NA	NA	NA	NA	NA	
N12 GND N14 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
P7 GND	NA NA	NA	NA	NA NA	NA	NA	
P9 GND	NA	NA	NA	NA	NA	NA	
P11 GND P13 GND	NA NA	NA NA	NA	NA NA	NA NA	NA NA	
P17 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
R8 GND	NA	NA	NA	NA	NA	NA	
R12 GND	NA	NA	NA	NA NA	NA	NA	
R20 GND T3 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
T7 GND	NA NA	NA	NA	NA	NA	NA	
T13 GND	NA	NA	NA	NA	NA	NA	
U6 GND U16 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
V9 GND	NA NA	NA NA	NA	NA NA	NA NA	NA NA	
V19 GND	NA	NA	NA	NA	NA	NA	
W2 GND	NA NA	NA	NA	NA NA	NA	NA	
W12 GND Y5 GND	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
Y15 GND	NA	NA	NA	NA	NA	NA	
G13 VCCINT	NA NA	NA	NA	NA NA	NA	NA	
H12 VCCINT J13 VCCINT	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
K12 VCCINT	NA NA	NA NA	NA	NA	NA NA	NA	
L13 VCCINT	NA	NA	NA	NA	NA	NA	
M12 VCCINT N13 VCCINT	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
P12 VCCINT	NA NA	NA NA	NA	NA NA	NA NA	NA NA	
R13 VCCINT	NA	NA	NA	NA	NA	NA	
J11 VCCAUX	NA NA	NA NA	NA	NA NA	NA	NA	
L11 VCCAUX N9 VCCAUX	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
P10 VCCAUX	NA	NA	NA	NA	NA	NA	
R9 VCCAUX	NA	NA	NA	NA	NA	NA	
N11 VCCAUX K6 VCCO 0	NA NA	NA Ø	NA NA	NA NA	NA NA	NA NA	
T8 VCC0_8	NA NA	13	NA	NA NA	NA NA	NA NA	
U11 VCCO_13	NA	13	NA	NA	NA	NA	
W7 VCCO_13 Y10 VCCO 13	NA NA	13	NA	NA NA	NA NA	NA	
N19 VCCO_13	NA NA	13 34	NA NA	NA NA	NA NA	NA NA	
R15 VCCO_34	NA	34	NA	NA	NA	NA	
T18 VCCO_34	NA NA	34	NA	NA NA	NA	NA	
V14 VCCO_34 W17 VCCO_34	NA NA	34 34	NA NA	NA NA	NA NA	NA NA	
Y20 VCC0_34	NA NA	34	NA	NA	NA NA	NA	
C19 VCCO_35	NA	35	NA	NA	NA	NA	
F18 VCCO_35 H14 VCCO 35	NA NA	35 35	NA NA	NA NA	NA NA	NA NA	
J17 VCCO_35	NA NA	35	NA	NA NA	NA NA	NA	
K20 VCCO <u>3</u> 5	NA	35	NA	NA	NA	NA	
M16 VCCO_35	NA	35	NA	NA NA	NA	NA	
G11 VCCBRAM H10 VCCBRAM	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
A3 VCCO_DDR_		502	NA	NA NA	NA NA	NA	
D2 VCCO_DDR	502 NA	502	NA	NA	NA	NA	
E5 VCCO_DDR_	=	502 502	NA NA	NA NA	NA NA	NA NA	
G1 VCCO_DDR_ H4 VCCO_DDR		502 502	NA NA	NA NA	NA NA	NA NA	
L3 VCCO_DDR_		502	NA	NA NA	NA NA	NA	
P2 VCCO_DDR		502	NA	NA NA	NA	NA	
R5 VCCO_DDR_ U1 VCCO_DDR_		502 502	NA NA	NA NA	NA NA	NA NA	
V4 VCCO_DDR_		502 502	NA NA	NA NA	NA NA	NA NA	
G8 VCCPLL	NA	NA	NA	NA	NA	NA	
G9 VCCPAUX	NA NA	NA NA	NA	NA NA	NA NA	NA NA	
F8 VCCPAUX H8 VCCPAUX	NA NA	NA NA	NA NA	NA NA	NA NA	NA NA	
	com/support/packag offlos/z7pac						

1.00 11 11	/ // 1 61 / 7	
nπps://www.xiiinx.com	vsupport/packagemes/z/	packages/xc7z020clg400pkg.txt

29/1/2	021		https://www	v xilinx c	om/support/packagefile	s/z7packages/xc7	z020clg4	00pkg.t
К8	VCCPAUX	NA	NA	NA	NA	NA	NA	
M8	VCCPAUX	NA	NA	NA	NA	NA	NA	
G7	VCCPINT	NA	NA	NA	NA	NA	NA	
37	VCCPINT	NA	NA	NA	NA	NA	NA	
L7	VCCPINT	NA	NA	NA	NA	NA	NA	
N7	VCCPINT	NA	NA	NA	NA	NA	NA	
P8	VCCPINT	NA	NA	NA	NA	NA	NA	
R7	VCCPINT	NA	NA	NA	NA	NA	NA	
В6	VCCO_MIO0_500	NA	500	NA	NA	NA	NA	
D7	VCCO_MIO0_500	NA	500	NA	NA	NA	NA	
A13	VCCO_MIO1_501	NA	501	NA	NA	NA	NA	
B16	VCCO_MIO1_501	NA	501	NA	NA	NA	NA	
D12	VCCO_MIO1_501	NA	501	NA	NA	NA	NA	
E15	VCCO_MIO1_501	NA	501	NA	NA	NA	NA	
Н6	PS_DDR_VREF0_502	NA	502	NA	NA	DDR	NA	
P6	PS_DDR_VREF1_502	NA	502	NA	NA	DDR	NA	

Total Number of Pins, 400