

TP n°1

But :

- 1. Prise en main des outils du flot de conception HDL pour les familles Microchip (SynplifyPro, ModelSim)*
- 2. Ecriture de banc de test type « stimuli only »*

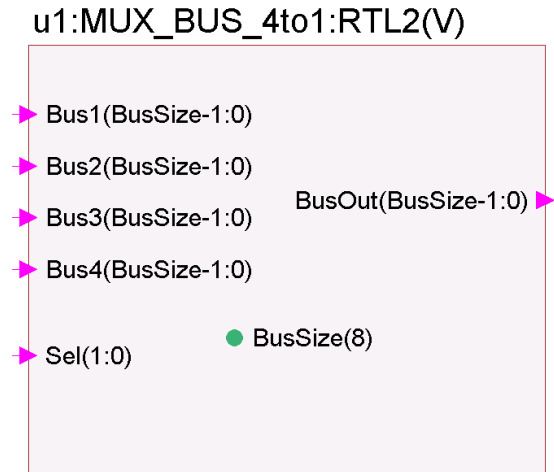
- Saisissez le code de l'exercice 1 du TD1 dans 4 fonctions portant respectivement les noms :
 - POSin_8bits_MUX
 - POSin_8bits_Sreg
 - POS_MUX
 - POS_Sreg

Ces fonctions doivent être placées dans un package nommé « MyTools ».

- Validez votre code en simulant le testbench nommé tb_myfunctions fourni :
 1. Pilotez ModelSim par ligne de commande et GUI,
 2. Pilotez ModelSim par fichier .do,
 3. (*Optionnel*) Créez un projet sous ModelSim et refaites les opérations précédentes,
 4. Analyser le code de ce « petit » banc de test et vérifiez, via les waveforms du simulateur, le bon fonctionnement de vos fonctions.

- Saisissez le code de l'exercice 3 :
L'entité (générique) ,ses 2 architectures.

Respectez les règles de nommage suivantes, pour l'entité et les architectures :



- En vous appuyant sur le code associé à la question 3, adaptez le test bench « tb_MUX » fourni (et/ou vos blocs !).
- Vérifier ensuite, en utilisant le script « TD1_Exo3.do » sous ModelSim, que votre design est ok.

Synthétisez, sous SynplifyPro, l'entité et ses 2 architectures et comparez les logiques inferrées.

Note : Si besoin, des indications supplémentaires pourront être données durant le TP.