



---

## SIMULACION 2

---

El archivo de  $\text{L}^{\text{A}}\text{T}_{\text{E}}\text{X}$  esta disponible en el repositorio de [GitHub](#).

### 1. Bitácoras

#### 1.1. Problema 1

##### 1.1.1. Bitácora 1

Se inició creando el primer sumador completo, con sus respectivas compuertas XOR, OR y AND. El primer set de switches representa la primera entrada de 4 bits, mientras que el segundo representa la otra entrada de 4 bits. El primer bit de acarreo esta representado por medio de tierra (0V).

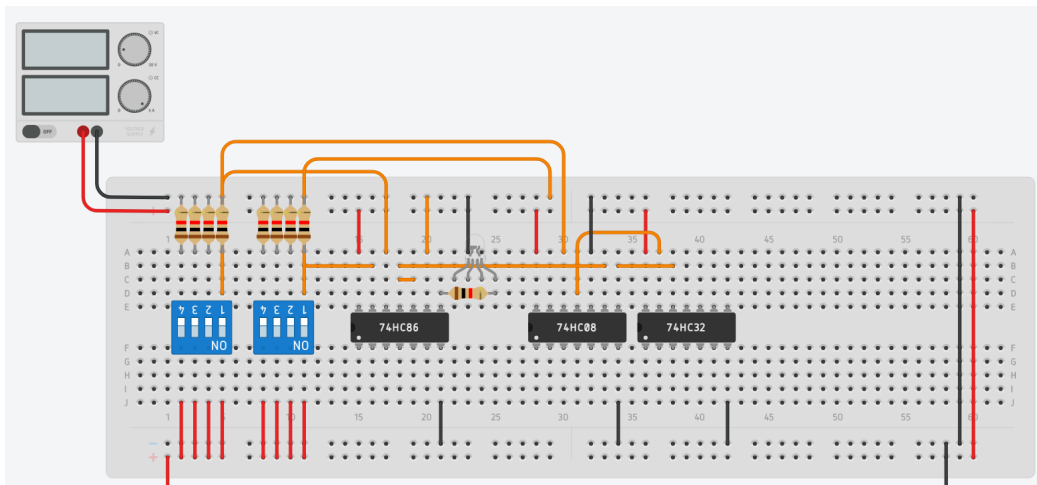


Figura 1: Primera suma con su correspondiente bit de acarreo.

##### 1.1.2. Bitácora 2

Se realizaron los sumadores de los dos bits restantes y sus correspondientes bits de acarreo. Se tiene un problema con los bits de acarreo y el de desbordamiento, puesto que no encienden todos.

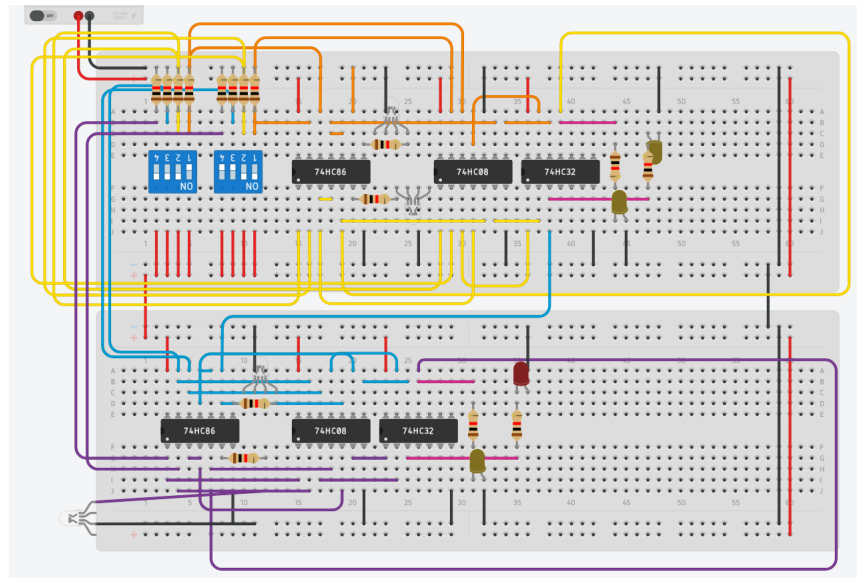


Figura 2: Circuito Sumador completo para dos sets de 4 bits con sus bits de acarreo y desbordamiento.

## 1.2. Problema 1

### 1.2.1. Bitácora 3

Se inició investigando la compuerta 74HC283, el sumador. se implemento la suma de 2 sets de 4 bits. Utilizando dicha compuerta se tiene el siguiente circuito:

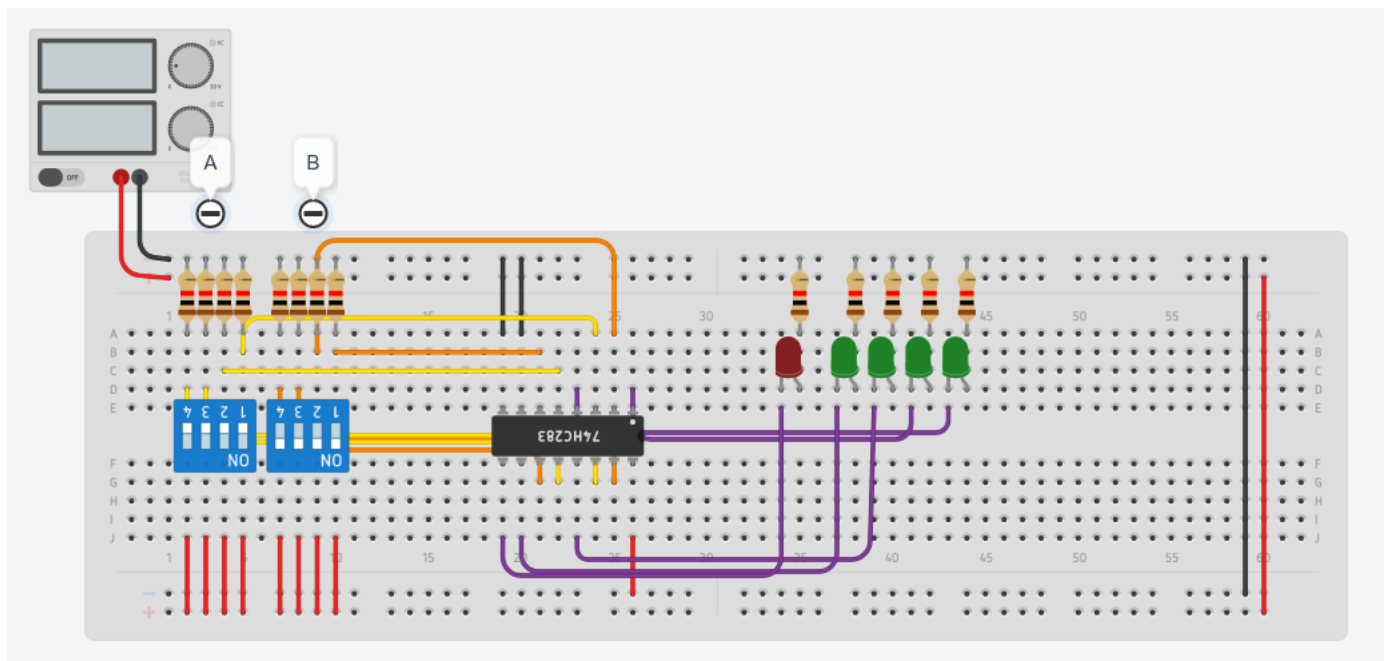


Figura 3: Circuito sumador con compuerta 74HC283 y los bits de resultado en orden.

**1.2.2. Bitácora 4**

Por atrasos personales en la práctica no logré realizar la parte de la memoria ni el restador.