

# 数 字 逻 辑

# Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

# 通知

1、考试时间：1月15号晚上

2、考试题型：

- 单选，填空，卡诺图化简，
- 组合电路设计题、时序电路分析题、时序电路设计题、**CMOS**电路分析题、
- 芯片的应用（**74LS138, 74LS151, 74LS161**等）  
**verilog**代码编写和分析
- 等等

3、第六章有**30**分左右的考题。

# 第四次实验时间

地点：电气楼507房间

物联网2班：本周四晚上19:00---20:40

计科2班：本周三上午10:10---11:50

计科3班：本周二晚上19:00---20:40

计科4班：本周三上午8:00---9:40

计科5班：本周三晚上19:00---20:40

						周次:	第17周	
		星期一	星期二	星期三	星期四	星期五	星期六	星期日
上午	8:00~9:50			计科4班				
	10:10~12:00			计科2班				
下午	2:00~3:50							
	4:00~5:50							
晚上	7:00~8:50 (默认)		计科3班	计科5班	物联网2班			

# Home work (P139)

- 1、本周有实验。地点：电气实验楼507房间
- 2、期末考试里，第六章有30分左右的考题。
- 3、本次的作业：
  - 无

- 4、学堂在线，免费注册和免费学习。

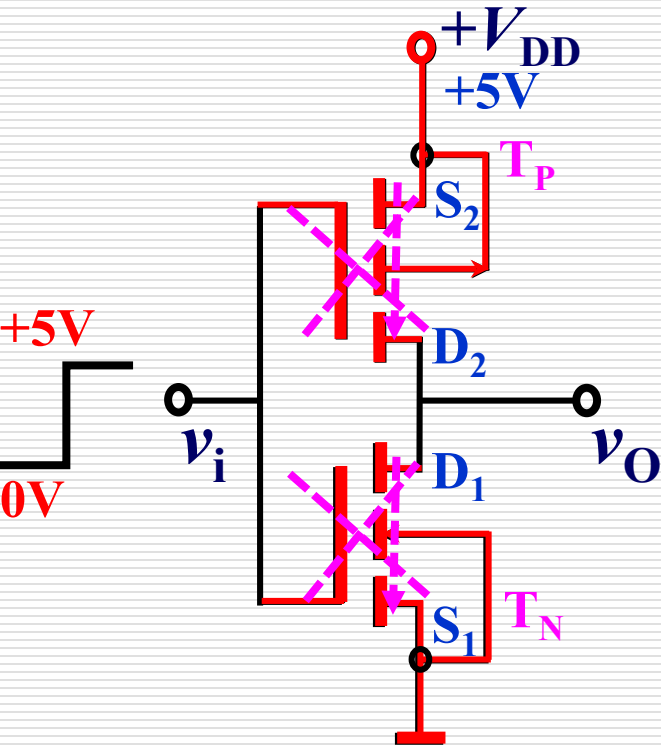
[https://www.xuetangx.com/course/hfut08091005182/16909015?  
channel=i.area.manual\\_search](https://www.xuetangx.com/course/hfut08091005182/16909015?channel=i.area.manual_search)

- 5、实验时间，可以随时答疑。可以回答作业或者课本中疑难问题。
- 6、本周四下午4:00-6:00，在敬亭109教师休息室答疑。
- 7、本周五下午2:00-4:00，在敬亭109教师休息室答疑。
- 8、本周五晚上7:00-9:00，在敬亭109教师休息室答疑。

# 3.2.2 CMOS 反相器

## 1. 工作原理

$V_{TN} = 2\text{ V}$      $V_{TP} = -2\text{ V}$      $V_{DD} > (V_{TN} + |V_{TP}|)$



$v_i$	$v_{GSN}$	$v_{GSP}$	$T_N$	$T_P$	$v_O$
0 V	0V	-5V	截止	导通	5V
5 V	5V	0V	导通	截止	0 V

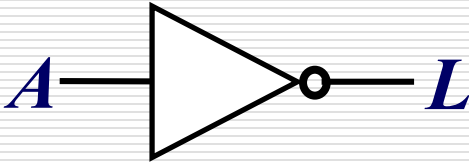
逻辑真值表

$v_i (A)$	$v_O (L)$
0	1
1	0

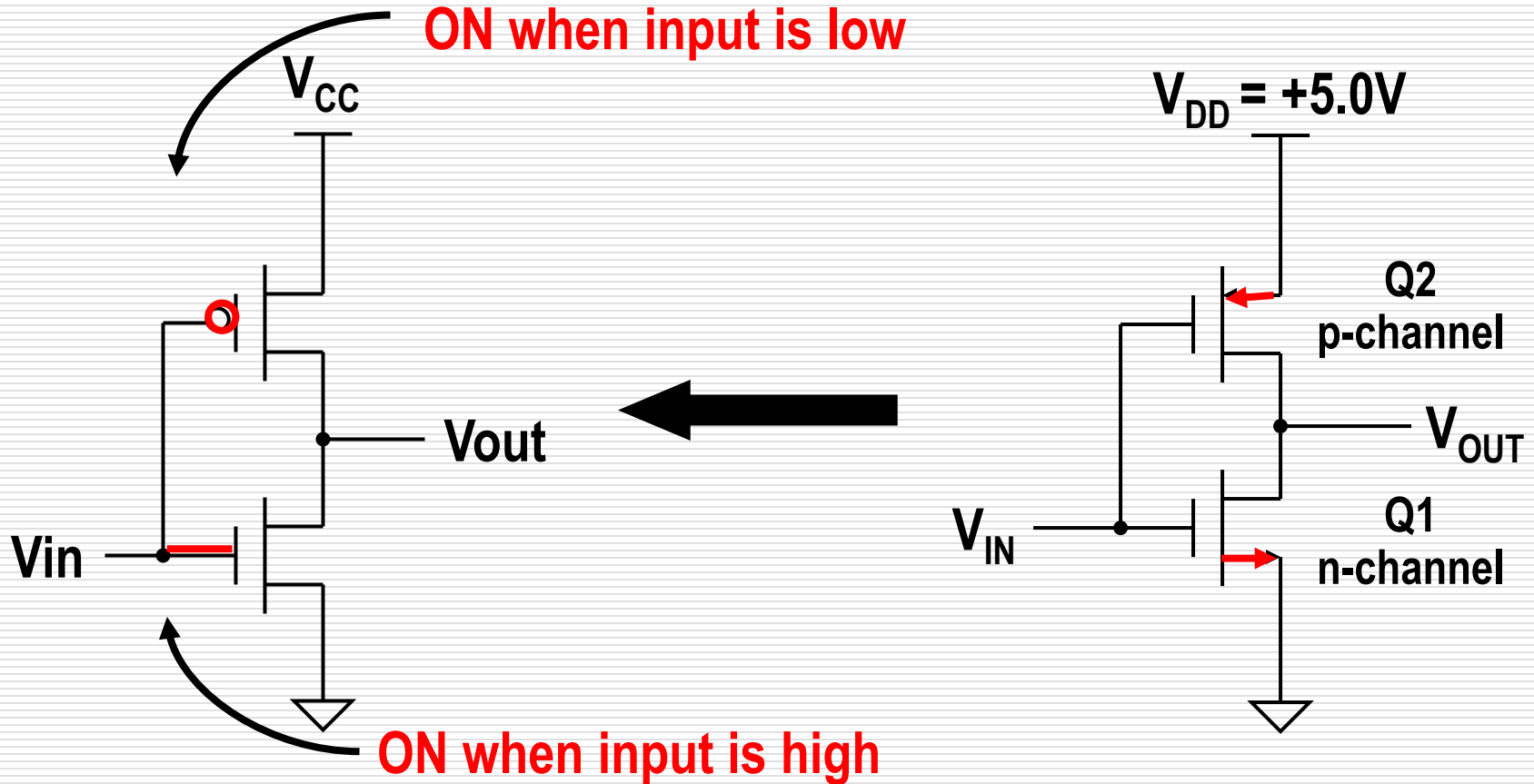
逻辑表达式

$L = \overline{A}$

逻辑图



# CMOS inverter logical operation



对于NMOS管，其栅极电压 $V_G=1$ （高电平）时，NMOS管导通。

对于PMOS管，其栅极电压 $V_G=0$ （低电平）时，PMOS管导通。

## CMOS反相器的重要特点:

---

第一,  $v_I$  是高电平还是低电平,  $T_N$  和  $T_P$  中总是一个导通而另一个截止。CMOS反相器的静态功耗几乎为零。

第二, MOS管导通电阻低, 截止电阻高。使充、放电时间常数小, 开关速度更快, 具有更强的带负载能力。

第三, MOS管的,  $I_G \approx 0$ , 输入电阻高。理论上可以带任意同类门, 但负载门输入杂散电容会影响开关速度。

---

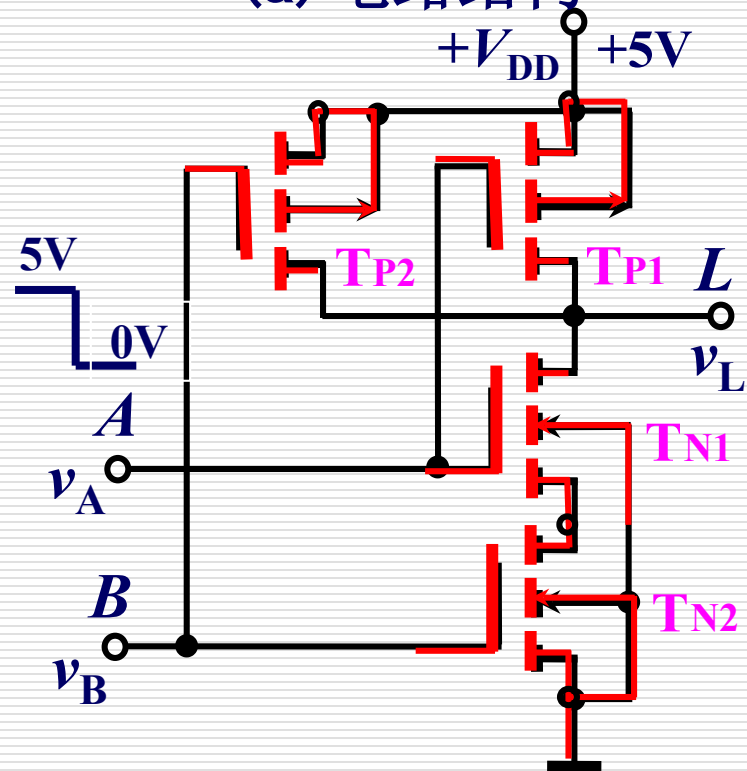


## 3.2.3 其他基本CMOS 逻辑门电路

### 1. CMOS 与非门

$$V_{TN} = 2\text{ V} \quad V_{TP} = -2\text{ V}$$

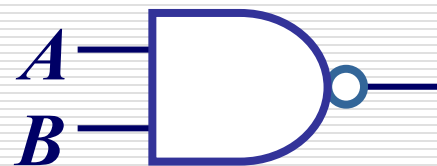
(a) 电路结构



(b) 工作原理

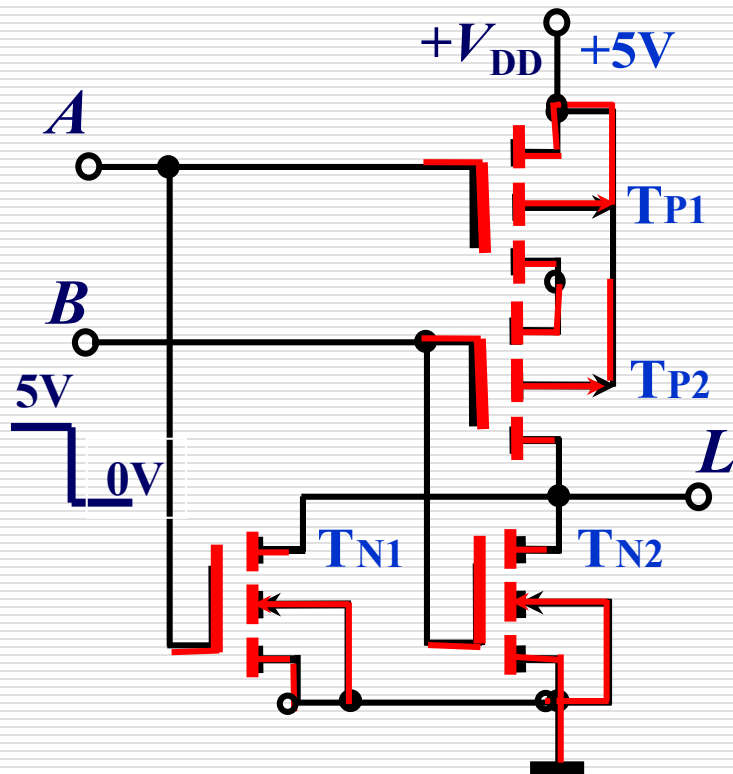
	$T_{N1}$	$T_{P1}$	$T_{N2}$	$T_{P2}$	$L$
P1	截止	导通	截止	导通	1
	截止	导通	导通	截止	1
N1	导通	截止	截止	导通	1
N2	导通	截止	导通	截止	0

与非门

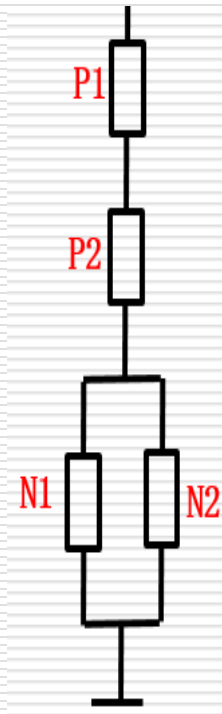


$$L = \overline{AB}$$

## 2. CMOS 或非门



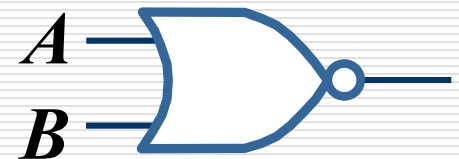
$$V_{TN} = 2\text{ V} \quad V_{TP} = -2\text{ V}$$



$T_{N1}$	$T_{P1}$	$T_{N2}$	$T_{P2}$	$L$
截止	导通	截止	导通	1
截止	导通	导通	截止	0
导通	截止	截止	导通	0
导通	截止	导通	截止	0

或非门

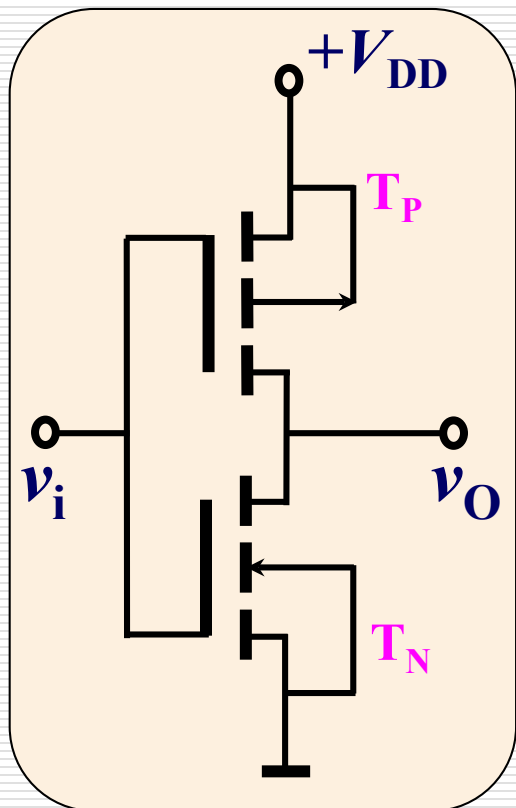
$$L = \overline{A + B}$$



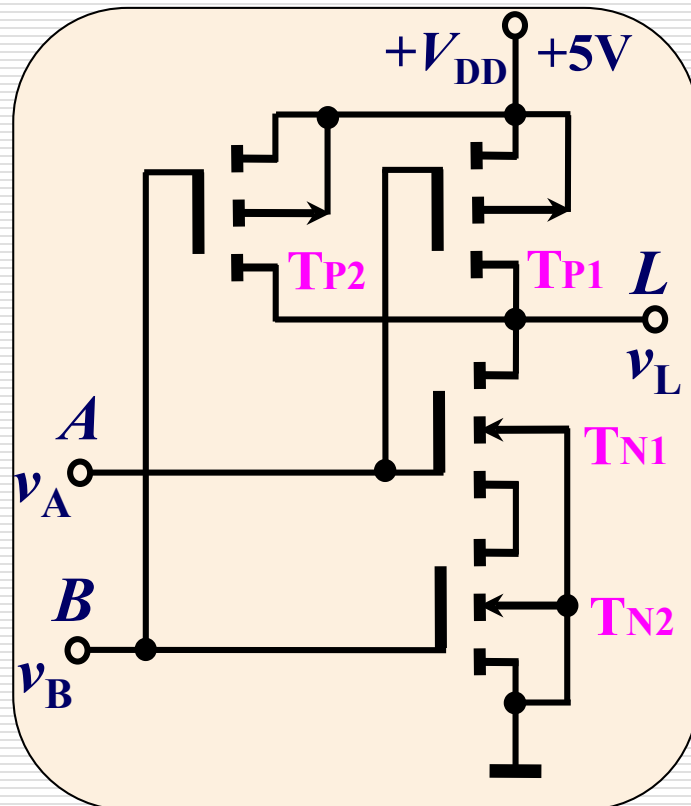
上下对称是非

PMOS管并联是与

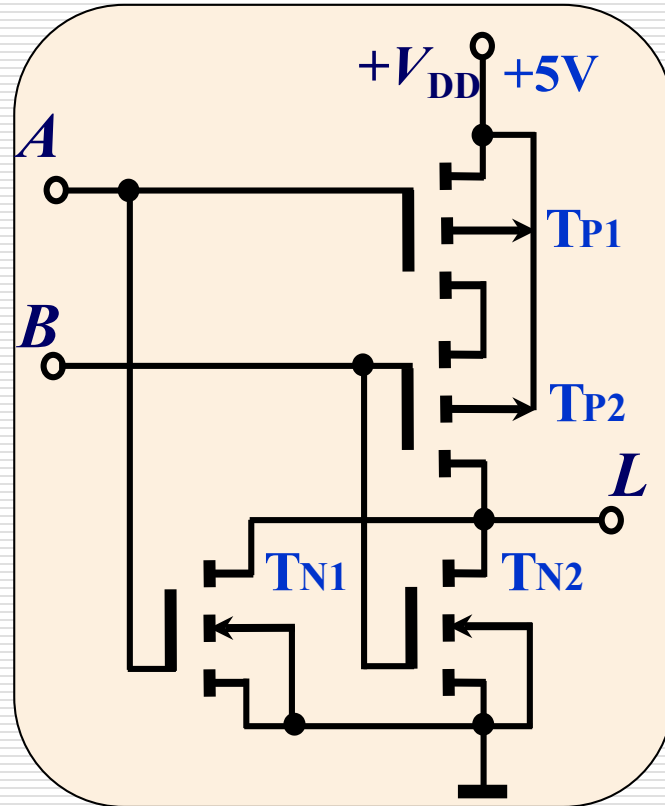
PMOS管串联是或



$$L = \overline{A}$$

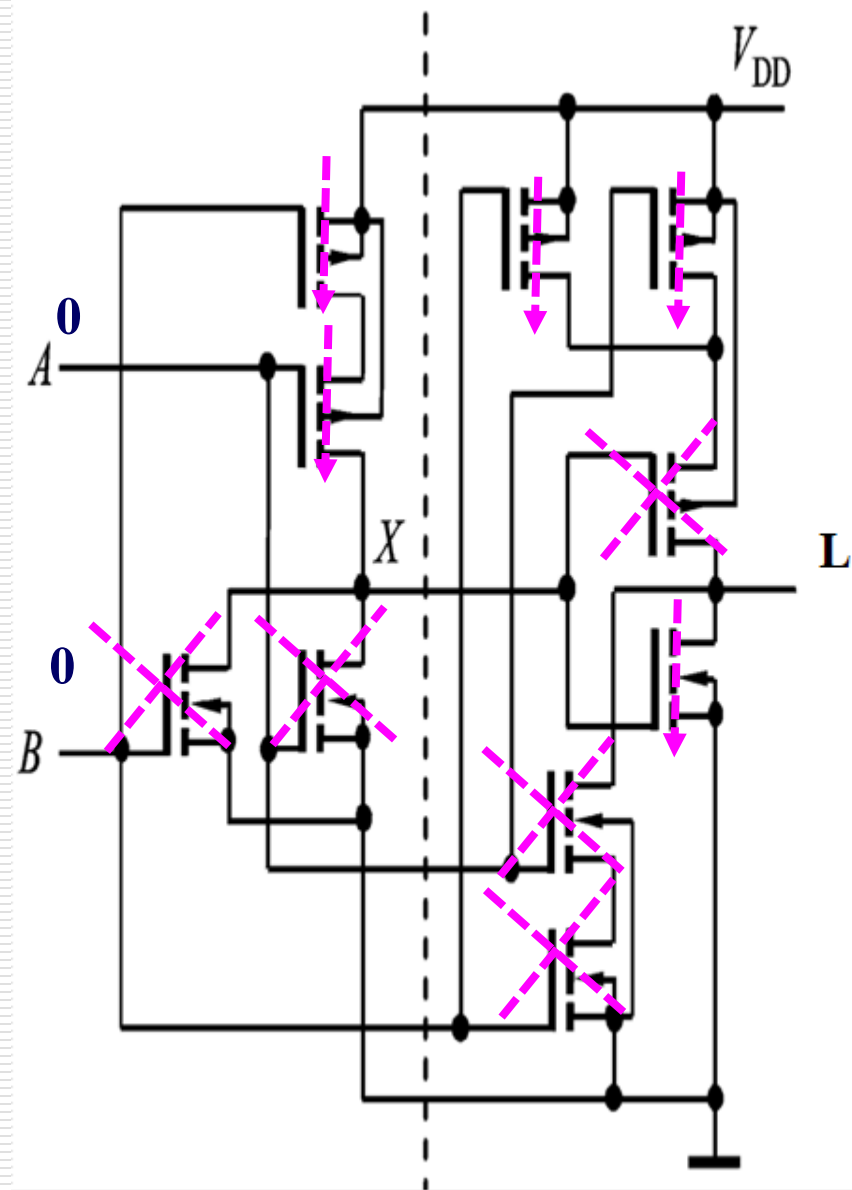


$$L = \overline{AB}$$



$$L = \overline{A+B}$$

例：分析CMOS电路，说明其逻辑功能。



方法1：开关通断法（真值表）

<i>A</i>	<i>B</i>	$T_{N1}$	$T_{P1}$	$T_{N2}$	$T_{P2}$	<i>L</i>
0	0					0
0	1					1
1	0					1
1	1					0

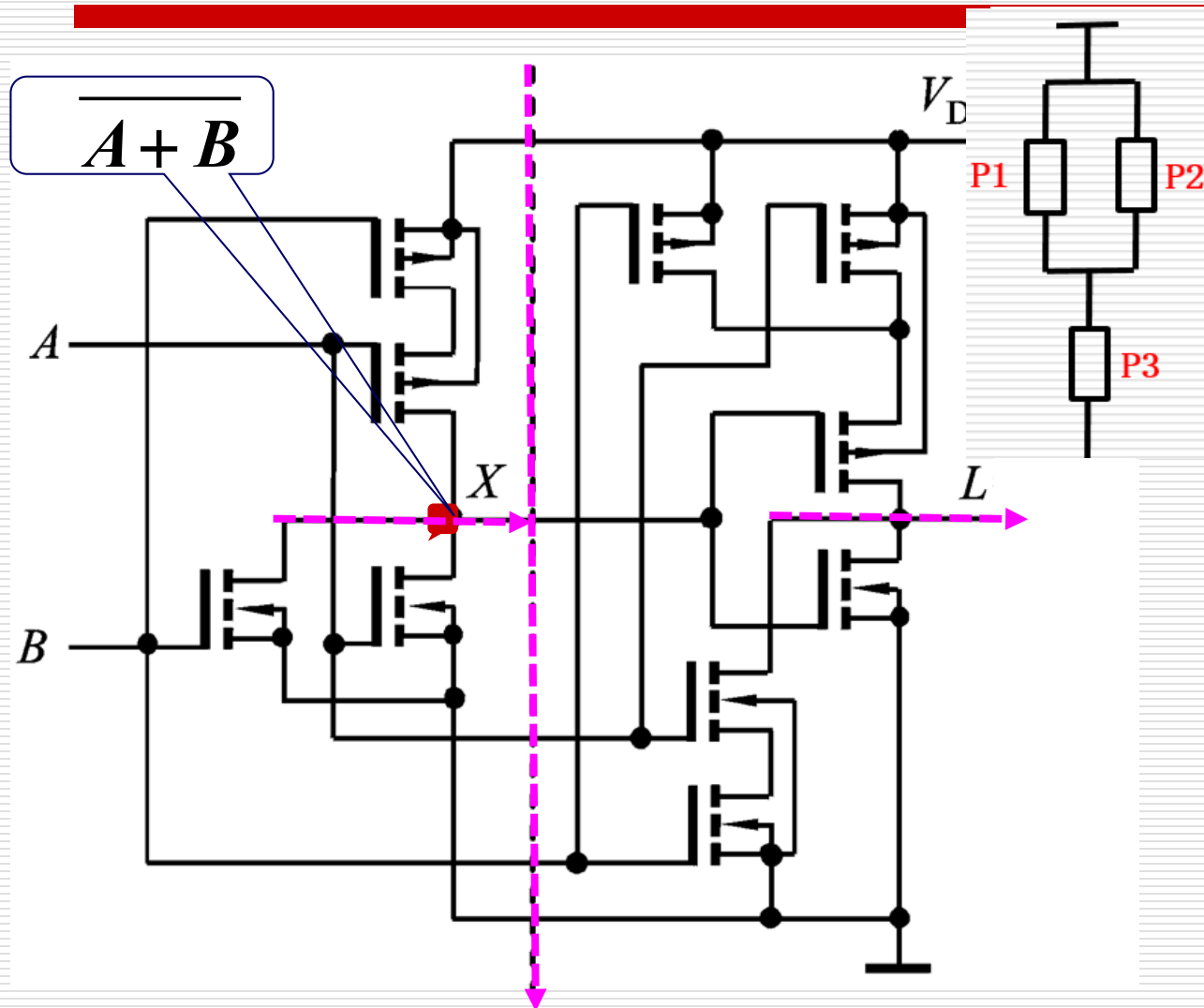
判断出那些MOS导通, 或者说开关合上。

判断出那些MOS导通截止, 或者说开关断开。

$$L = A \oplus B$$

## 方法2：口诀快速判断法

例：分析CMOS电路，说明其逻辑功能。



上下对称是非

PMOS管并联是与

PMOS管串联是或

$$X = \overline{A+B}$$

$$L = \overline{A \cdot B + X}$$

$$= \overline{A \cdot B + \overline{A+B}}$$

$$= \overline{A \cdot B + \overline{A} \cdot \overline{B}}$$

$$= A \oplus B$$

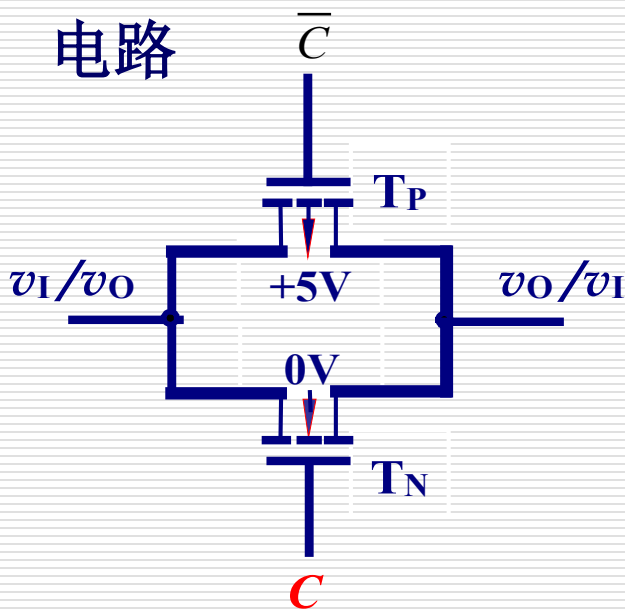
异或门电路

口诀判断法只需要对PMOS管进行分析，对NMOS管不需要进行分析。

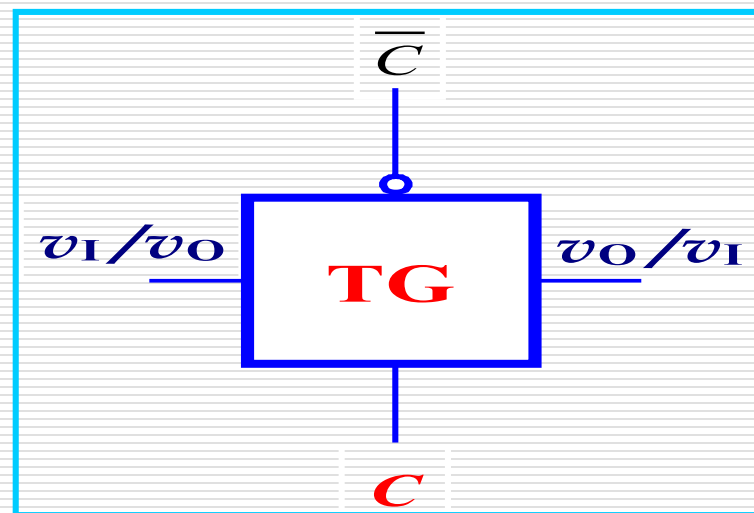
### 3.2.4 CMOS传输门(双向模拟开关)

TG=Transmission Gate

#### 1. 传输门的结构及工作原理

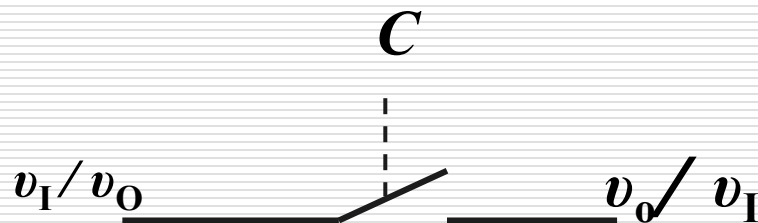


传输门逻辑符号

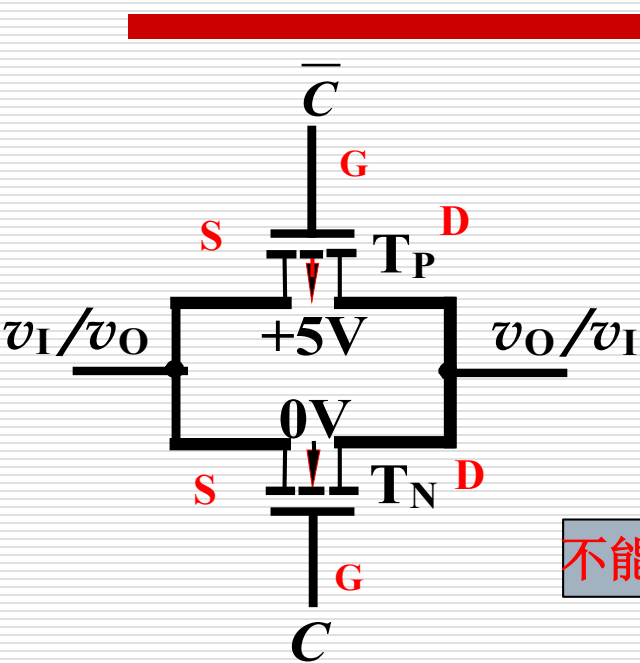


说明：传输门中衬底不和源极相连。能否导通就看  $V_{GS}$  是否大于开启电压。

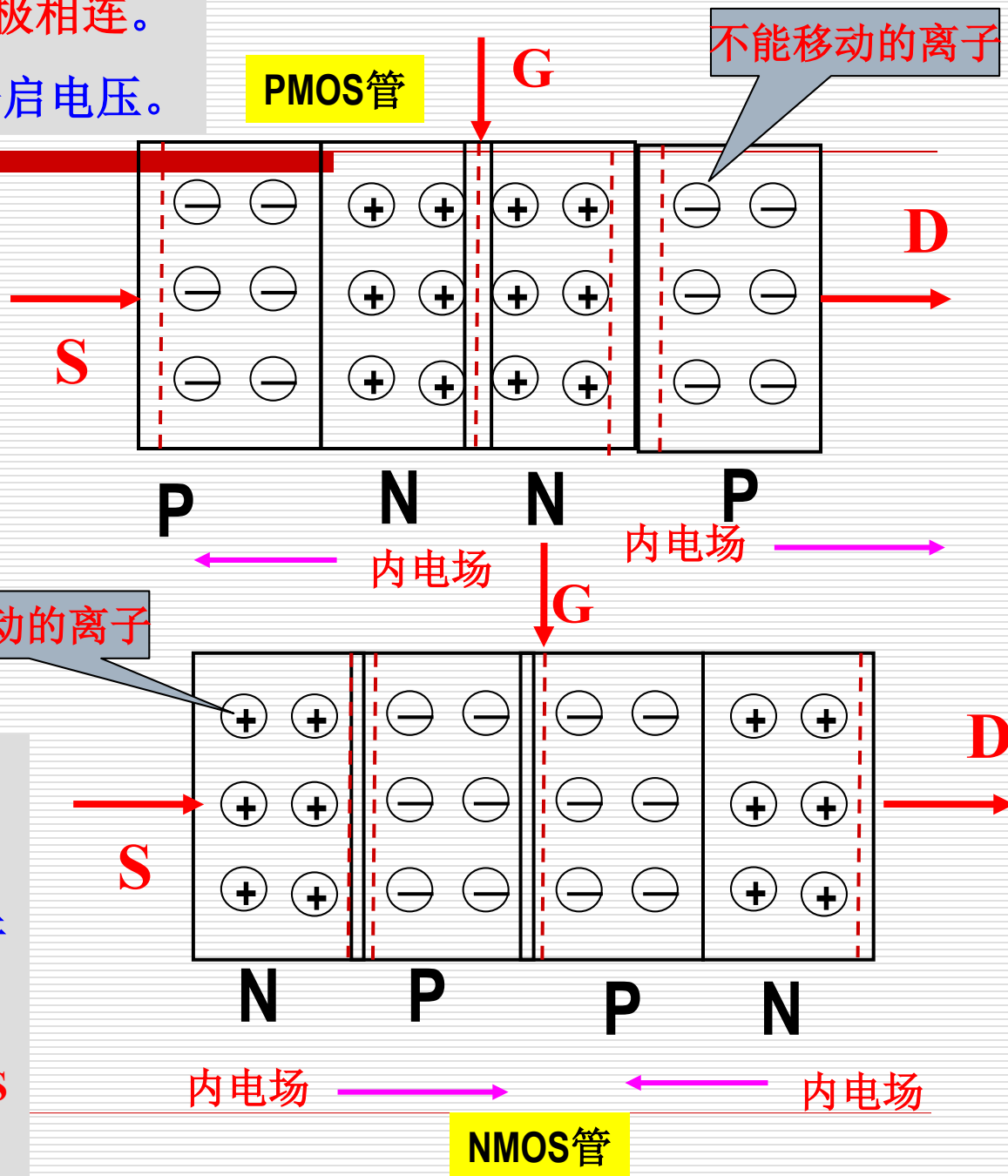
等效电路



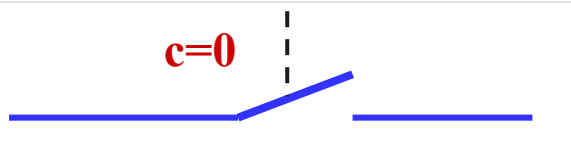
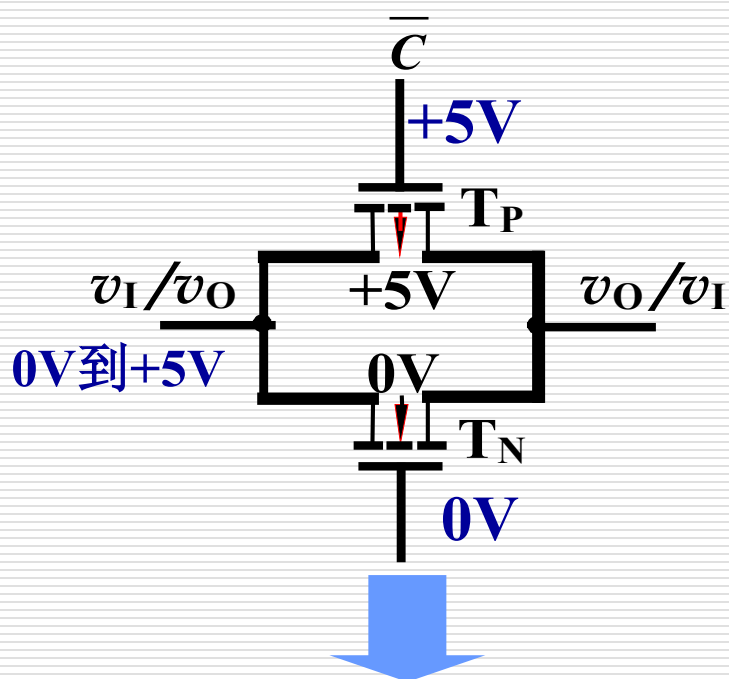
说明：传输门中衬底不和源极相连。  
能否导通就看 $V_{GS}$ 是否大于开启电压。



传输门中S端连接信号输入端。D  
端连接信号输出端。  
栅极G作为控制端，当 $V_{GSN}$ 大于开  
启电压 $V_T$ 时，NMOS管导通。  
当 $V_{GSP}$ 小于开启电压 $-V_T$ 时，PMOS  
管导通。



# 1、传输门的结构及工作原理



设  $T_P: |V_{TP}|=2V$ ,  $T_N: V_{TN}=2V$ ,  
 $v_I$  的变化范围为  $0$  到  $+5V$ 。

1) 当  $c=0$ ,  $\overline{c}=1$  时

$$c=0=0V, \quad \overline{c}=1=+5V$$

$$v_{GSN} = 0V - (0V \text{ 到 } +5V) = (0 \text{ 到 } -5)V$$

$$v_{GSN} < V_{TN}, \quad T_N \text{ 截止}$$

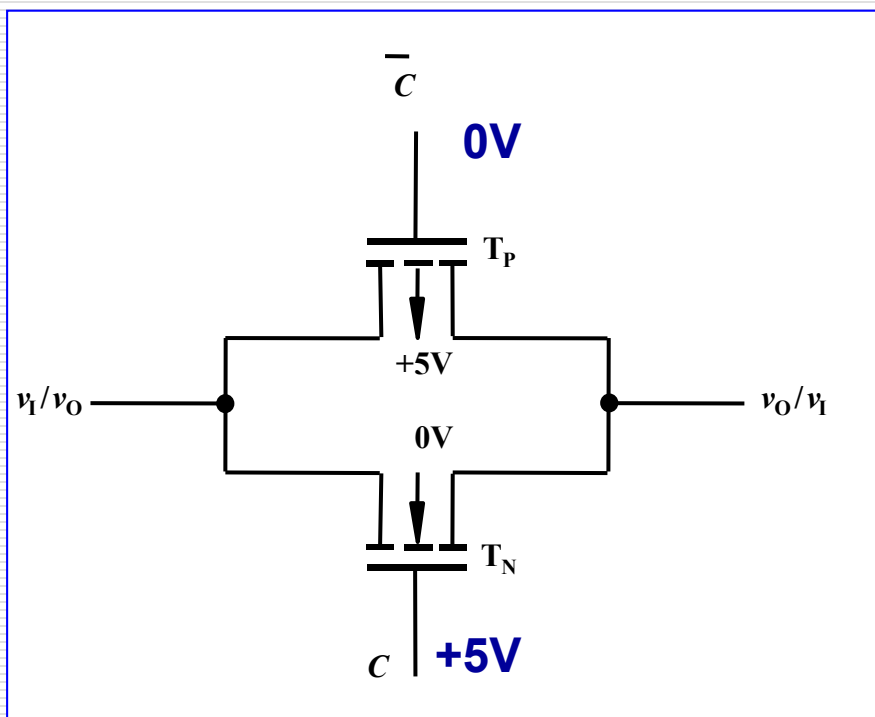
$$v_{GSP} = +5V - (0V \text{ 到 } +5V) = (5 \text{ 到 } 0)V$$

$$v_{GSP} > 0, \quad T_P \text{ 截止}$$

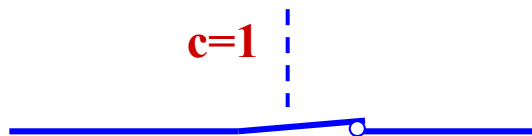
综上，可以看出：当  $C=0$  时，开关断开，不能转送信号



## 2) 当 $c=1$ , $\overline{c}=0$ 时



$c=1$



a、 $v_I=0V\sim 3V$

$$v_{GSN}=5V - (0V\sim +3V)=(5\sim 2)V$$

$v_{GSN} > V_{TN}$ ,  $T_N$  导通

b、 $v_I=2V\sim 5V$

$$v_{GSP}=0V - (2V\sim +5V) \\ = -2V \sim -5V$$

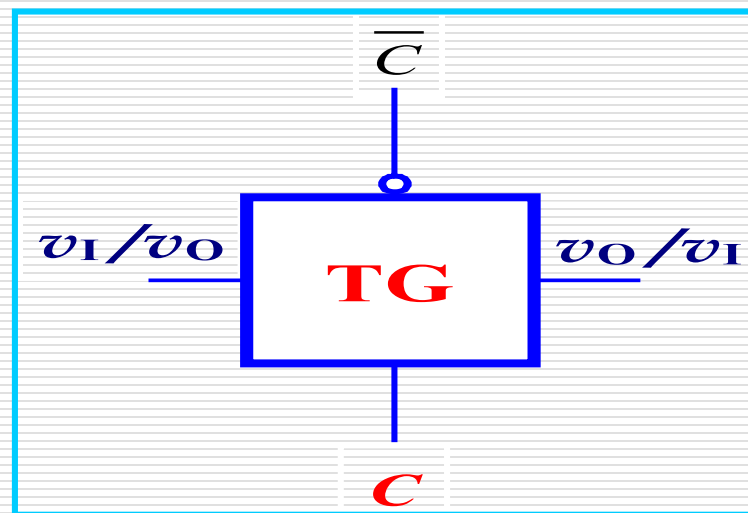
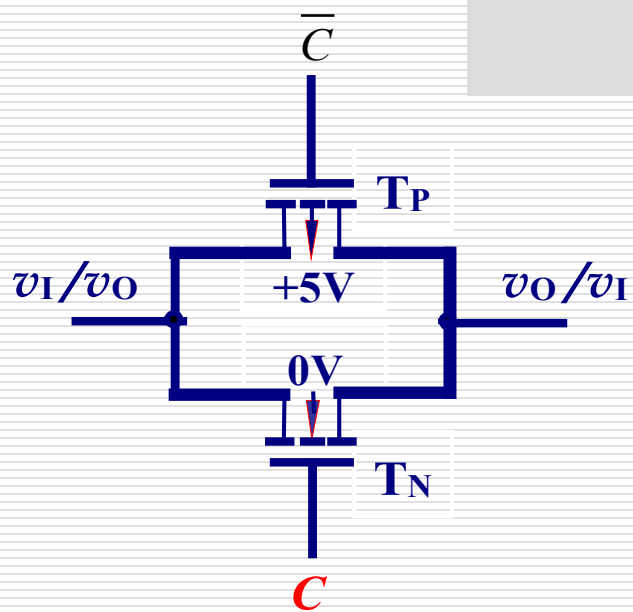
$|v_{GSP}| > |V_T|$ ,  $T_P$  导通

c、 $v_I=2V\sim 3V$

$T_N$  导通,  $T_P$  导通

综上, 可以看出: 当  $C=1$  时,  $v_O = v_I$

综上：传输门的控制端 $C=1$ 时，传输门导通， $C=0$ 时传输门截止。



或者说：上图中有小圆圈的线（控制极）连接0信号，没有小圆圈的线（控制极）连接1信号，传输门导通。

## 2. 传输门的应用

(1) 分析右图传输门电路的输出

$B=0$

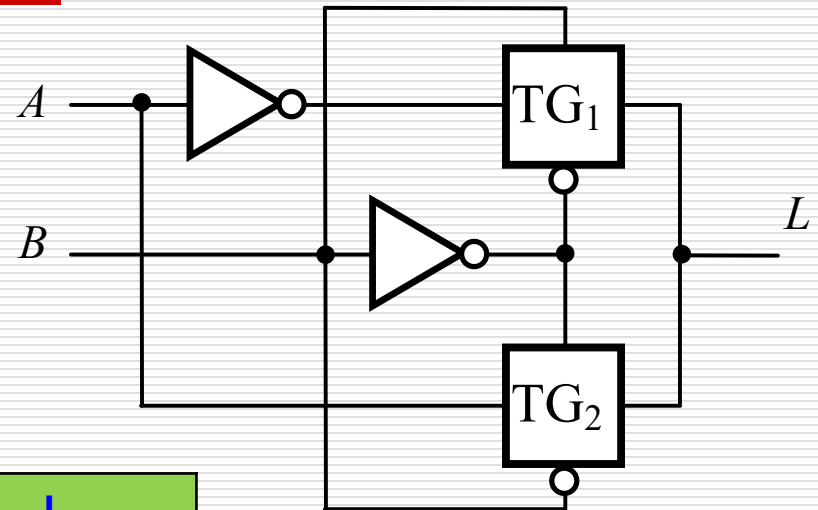
**TG1**断开, **TG2**导通

$L=A$

$B=1$

**TG1**导通, **TG2**断开

$L=\bar{A}$



B	L
0	A
1	$\bar{A}$

简化真值表

A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

$$L = A\bar{B} + \bar{A}B$$

上图是有传输门构成的异或门，由**8个MOS**管构成，制造成本低。

## 2. 传输门的应用

### (2) 传输门组成的数据选择器

**C=0**

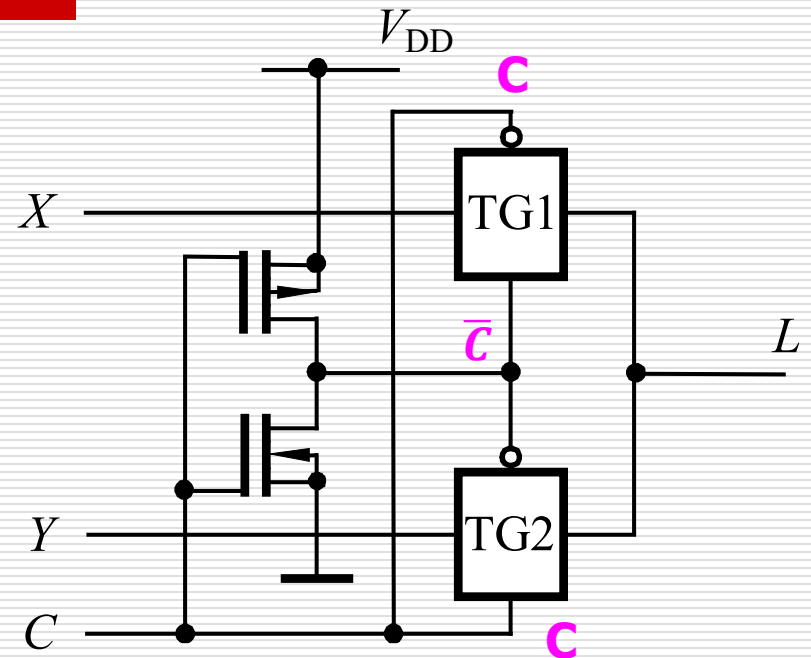
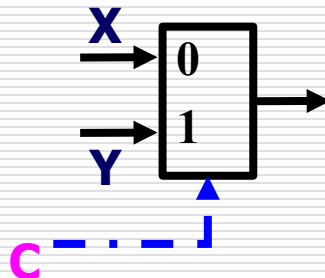
**TG1导通, TG2断开**

**L=X**

**C=1**

**TG2导通, TG1断开**

**L=Y**



C	L
0	X
1	Y

简化真值表

$$L = \overline{C} X + C Y \quad \text{数据选择器}$$

## 3.3 CMOS逻辑门电路的不同输出结构及参数

---

### 3.3.1 CMOS逻辑门电路的保护和缓冲电路

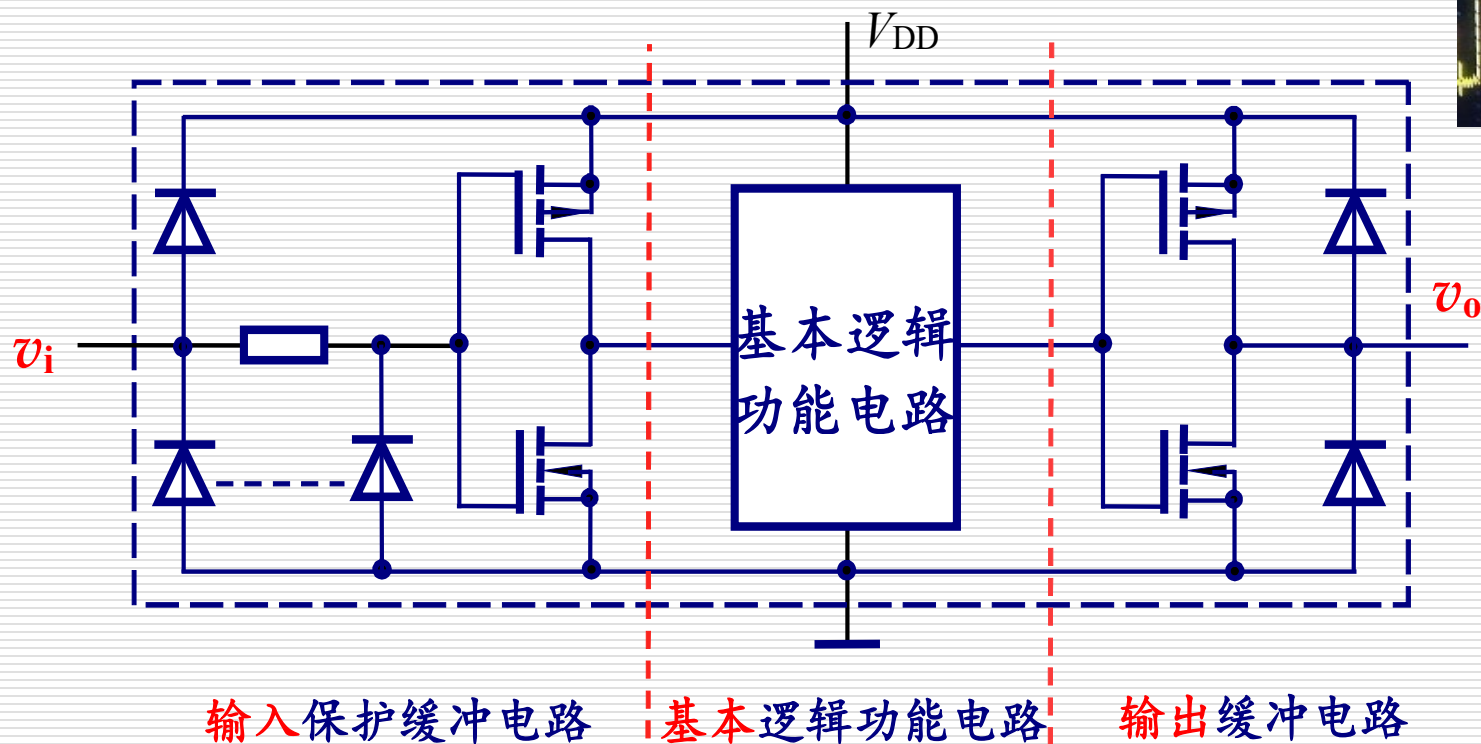
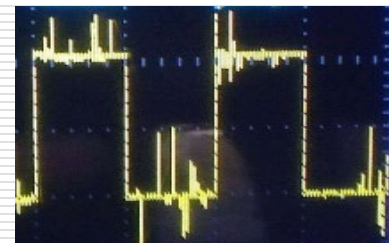
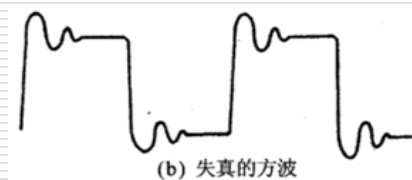
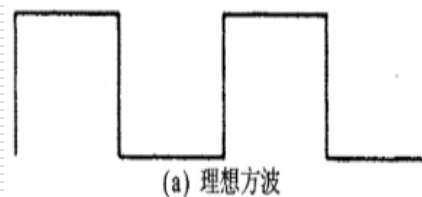
### 3.3.2 CMOS漏极开路和三态门电路

### 3.3.3 CMOS逻辑门电路的重要参数

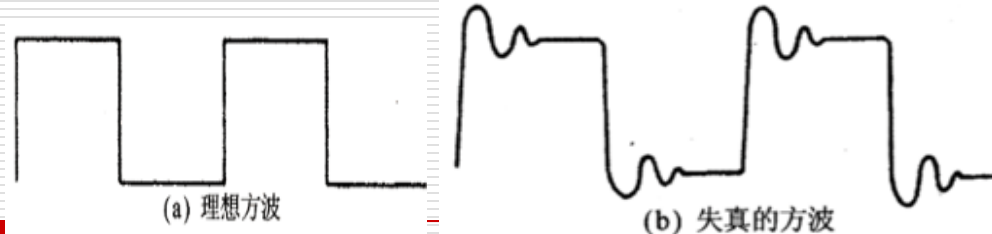
---

### 3.3.1 输入保护电路和缓冲电路

采用缓冲电路能统一参数，使不同内部逻辑集成逻辑门电路具有相同的输入和输出特性。



# 1. 输入端保护电路:



二极管导通电压:  $v_{DF}$

(1)  $0 < v_I < V_{DD} + v_{DF}$

**$D_1$ 、 $D_2$ 截止**

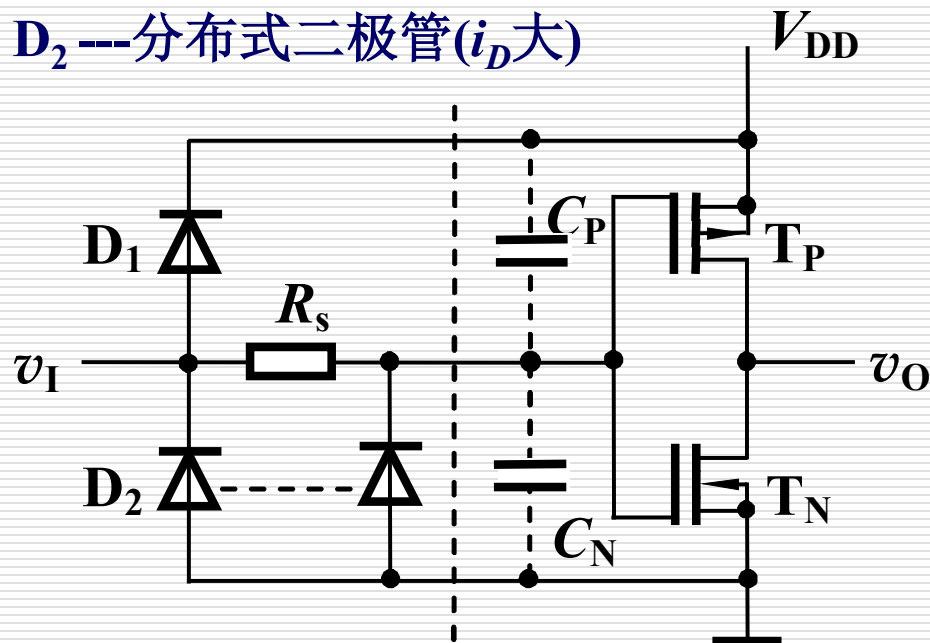
(2)  $v_I > V_{DD} + v_{DF}$

**$D_1$ 导通,  $D_2$ 截止**

$v_G = V_{DD} + v_{DF}$

(3)  $v_I < -v_{DF}$

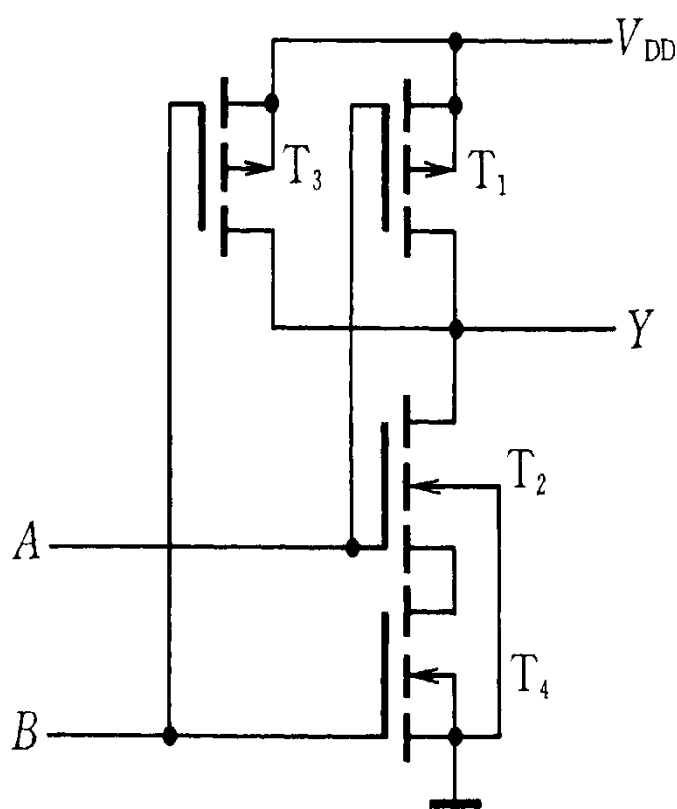
**$D_2$ 导通,  $D_1$ 截止**  $v_G = -v_{DF}$



当输入电压不在正常电压范围时, 二极管导通, 限制了电容两端电压的增加, 保护了输入电路。

$R_S$ 和MOS管的栅极电容C组成积分网络, 使输入信号的过冲电压延迟且衰减后到栅极。

## CMOS与非门的缺点:



(1) 输出电阻  $R_o$  受输入状态影响

$$A = 1, B = 1 \text{ 则 } R_o = R_{ON2} + R_{ON4} = 2R_{ON}$$

$$A = 0, B = 0 \text{ 则 } R_o = R_{ON1} // R_{ON3} = \frac{1}{2} R_{ON}$$

$$A = 0, B = 1 \text{ 则 } R_o = R_{ON1} = R_{ON}$$

$$A = 1, B = 0 \text{ 则 } R_o = R_{ON3} = R_{ON}$$

(2) 输出的高低电平受输入端数目的影响

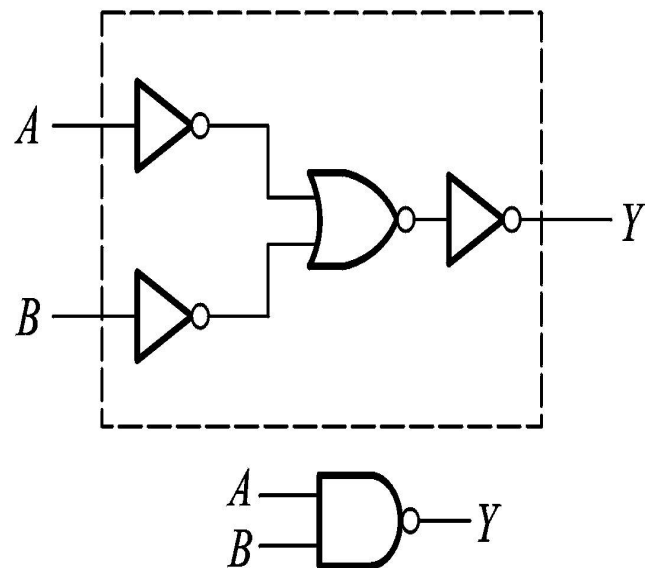
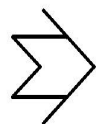
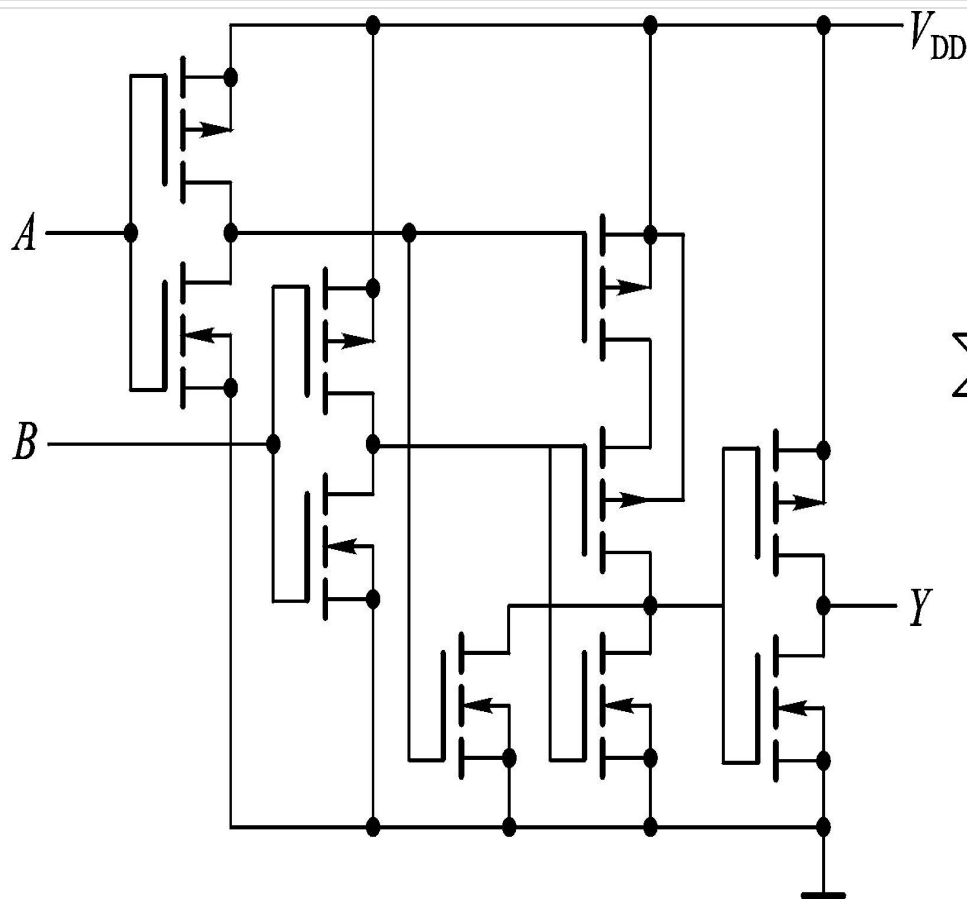
输入端越多,  $V_{OL}$  越高,  $V_{OH}$  也更高

(3) 使  $T_2$ 、 $T_4$  的  $V_{GS}$  达到开启电压时,

对应的  $V_i$  值不同



**解决方法**——输入端和输出端加上**带缓冲级**的CMOS门。  
利用**反相器**来**阻断干扰信号**的传输。



见下页

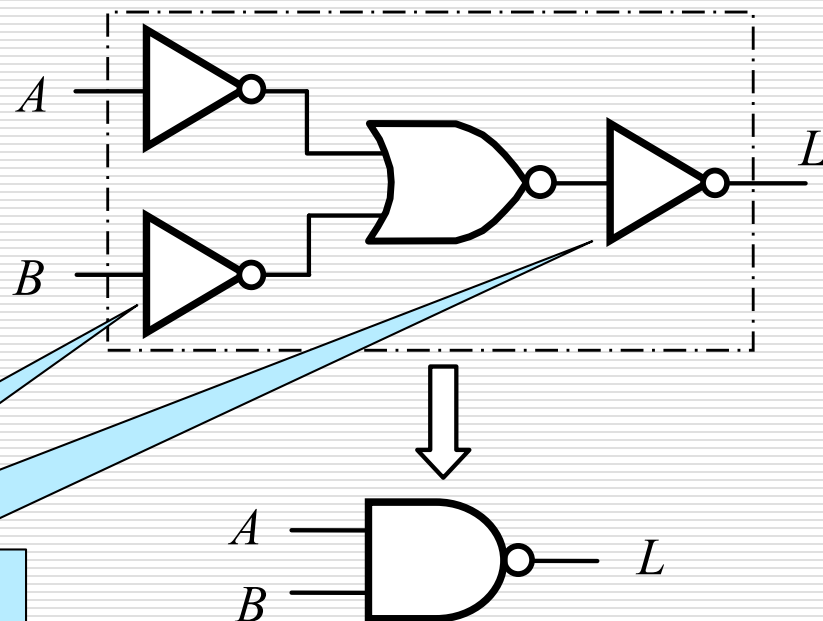
或非门+前后两个反相器  $\Rightarrow$  与非门

## (2) CMOS逻辑门的缓冲电路

输入、输出端加了反相器作为缓冲电路，所以电路的逻辑功能也发生了变化。增加了缓冲器后的逻辑功能为与非功能

$$L = \overline{\overline{A + B}} = \overline{A \cdot B}$$

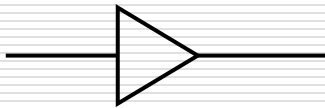
两个反相器构成缓冲器



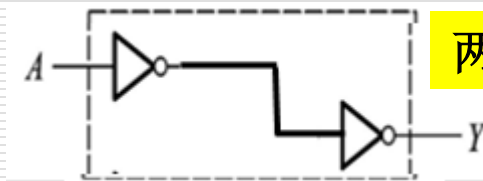
两个非门构成的缓冲器可以提升输出电压。

It typically is not possible to design a non-inverting gate with a smaller number of transistors than an inverting one.

### □ Non-inverting buffer (amplifier)

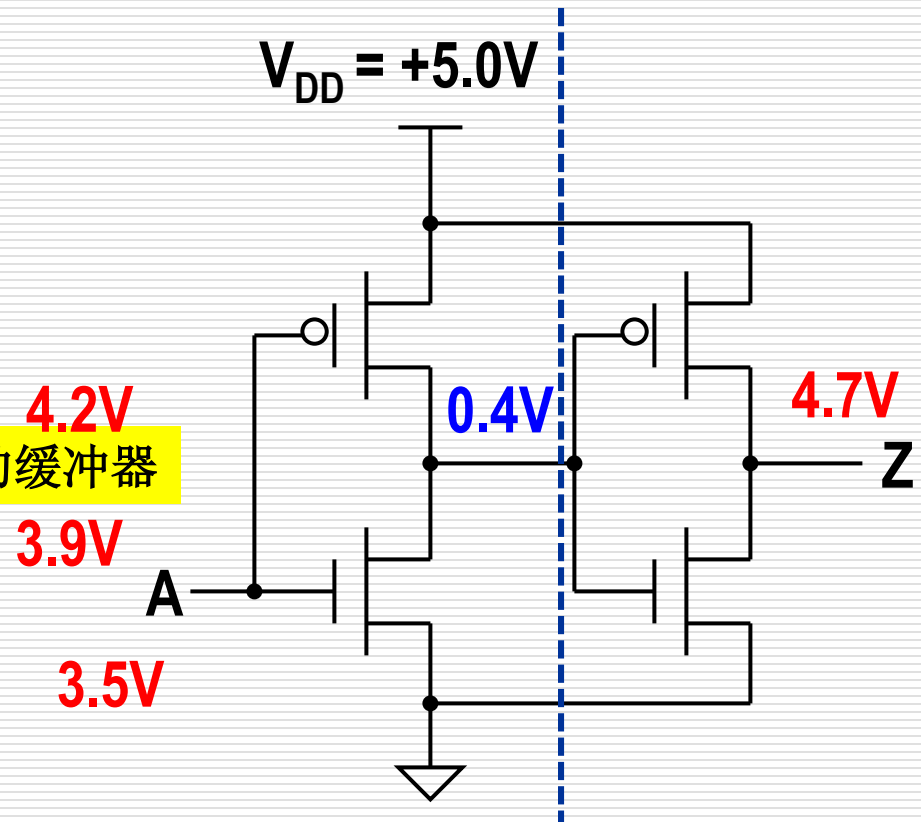


缓冲器



两个非门构成的缓冲器

假设A的输入电压是3.5V。  
NMOS管导通时电压降为0.4V，  
PMOS管导通时电压降为0.3V。



经过两个非门构成的缓冲器的缓冲，输出电压提升为4.7V。

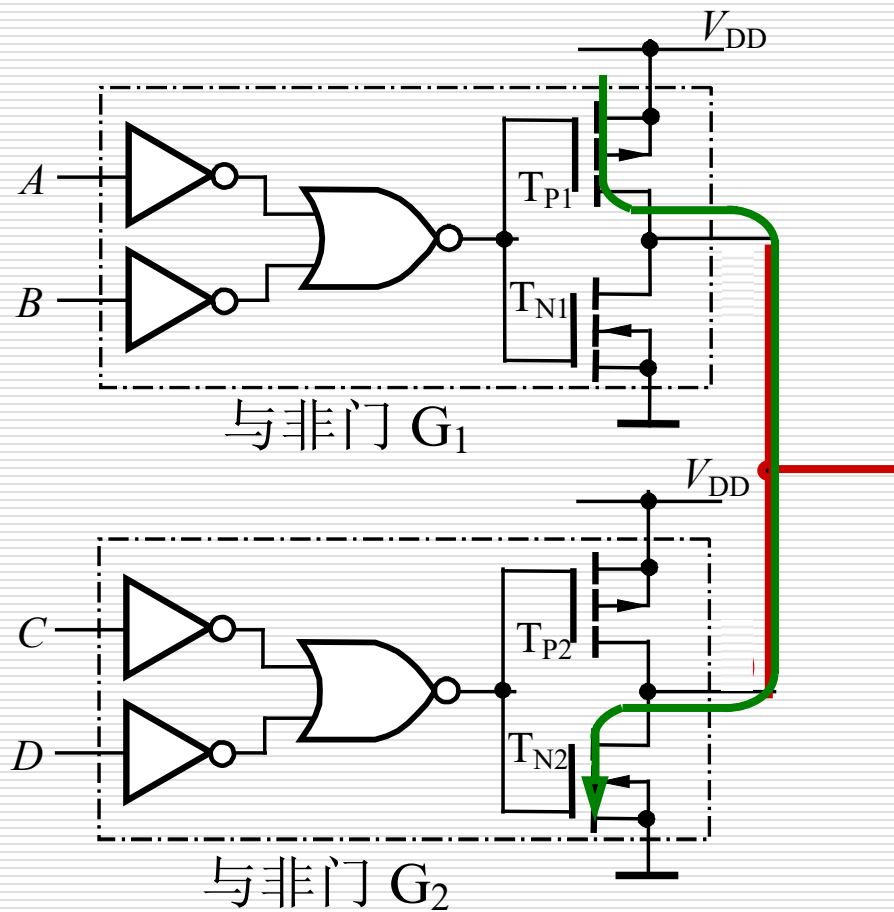
Circuit diagram:

### 3.3.2 CMOS漏极开路（OD）门和三态输出门电路

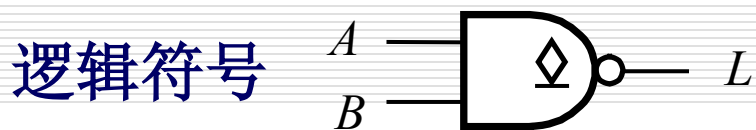
#### 1. CMOS漏极开路门

##### 1.) CMOS漏极开路门的提出

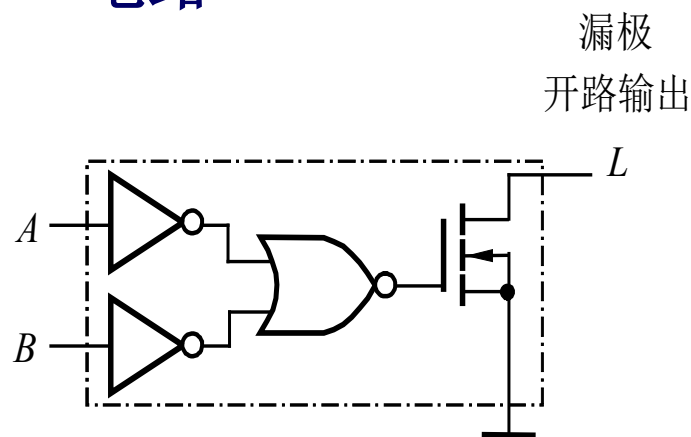
输出短接，在一定情况下会产生低阻通路，大电流有可能导致器件的损毁，并且无法确定输出是高电平还是低电平。



## (2) 漏极开路门的结构与逻辑符号



电路

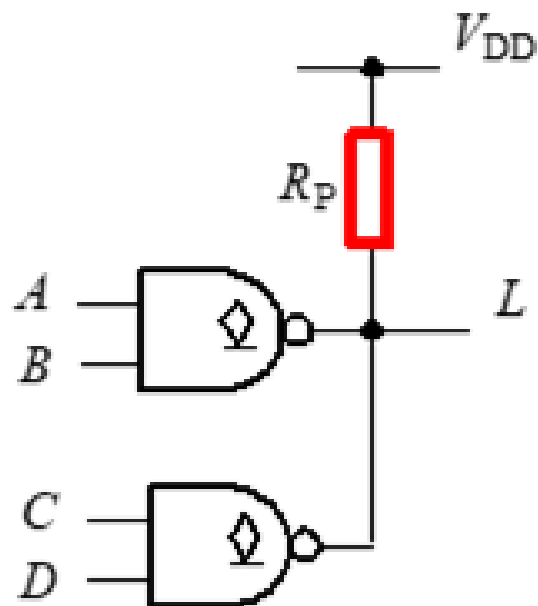


(a) 工作时必须外接电源和电阻;

(b) 与非逻辑不变

(c) 可以实现线与功能;

漏极开路门输出连接



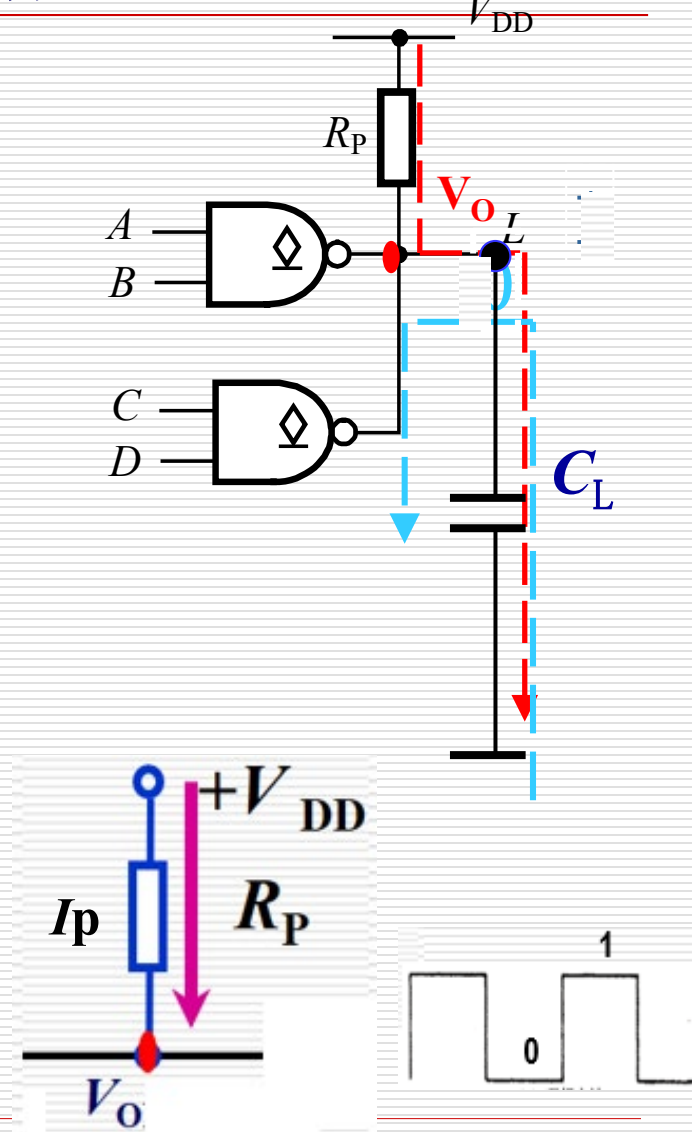
$$\begin{aligned} L &= \overline{AB} \cdot \overline{CD} \\ &= \overline{AB + CD} \end{aligned}$$

## (2) 上拉电阻对OD门动态性能的影响

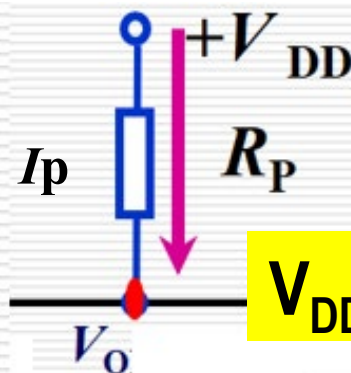
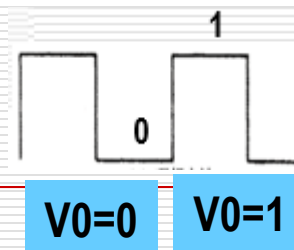
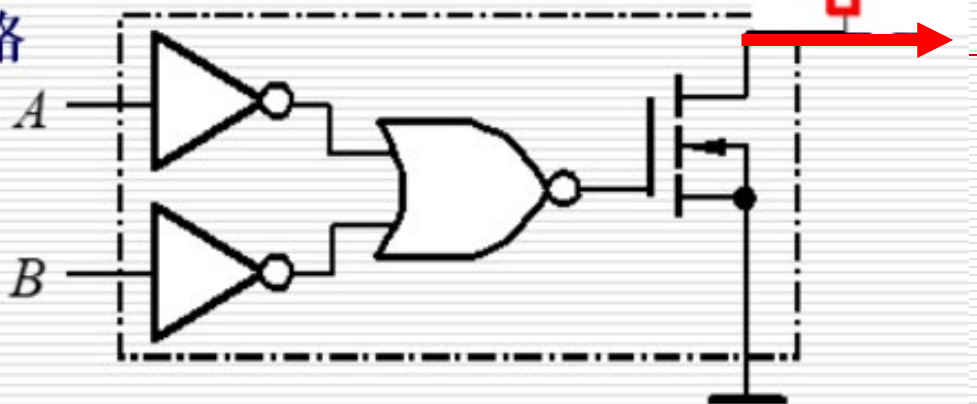
$R_p$  的值愈小，负载电容的充电时间常数亦愈小，因而开关速度愈快。  
但功耗大，且可能使输出电流超过允许的最大值  $I_{OL(max)}$ 。

$R_p$  的值大，可保证输出电流不能超过允许的最大值  $I_{OL(max)}$ 、功耗小。  
但负载电容的充电时间常数亦愈大，开关速度因而愈慢。

## 电路带电容负载



电路



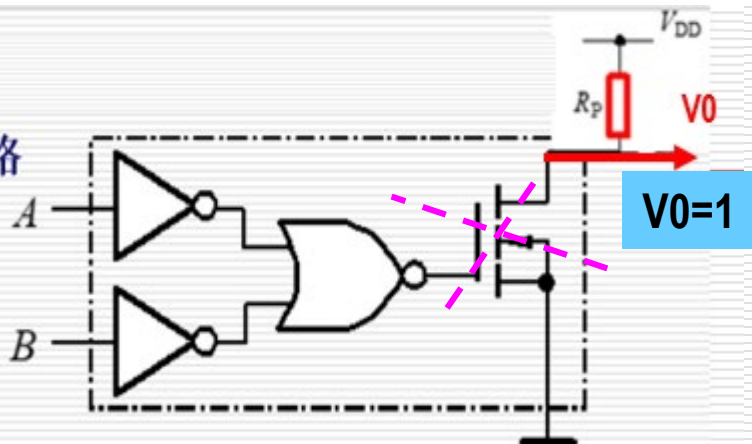
$$V_{DD} - V_0 = I_P \cdot R_P$$

$V_0$ 增大,  $R_P$ 减小。  $V_0$ 减小,  $R_P$ 增大。

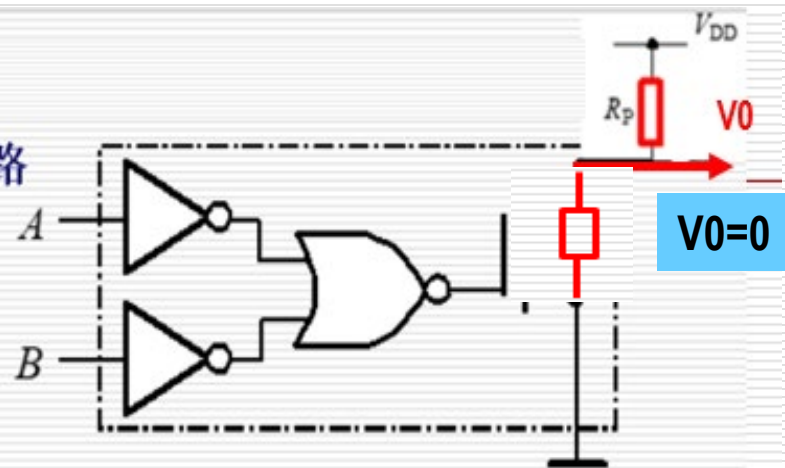
$V_0=0$ 时, 此时必有NMOS管导通。

$V_0=1$ 时, 此时必有NMOS管截止。

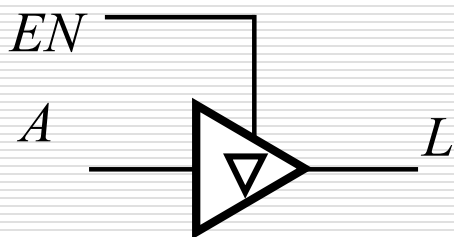
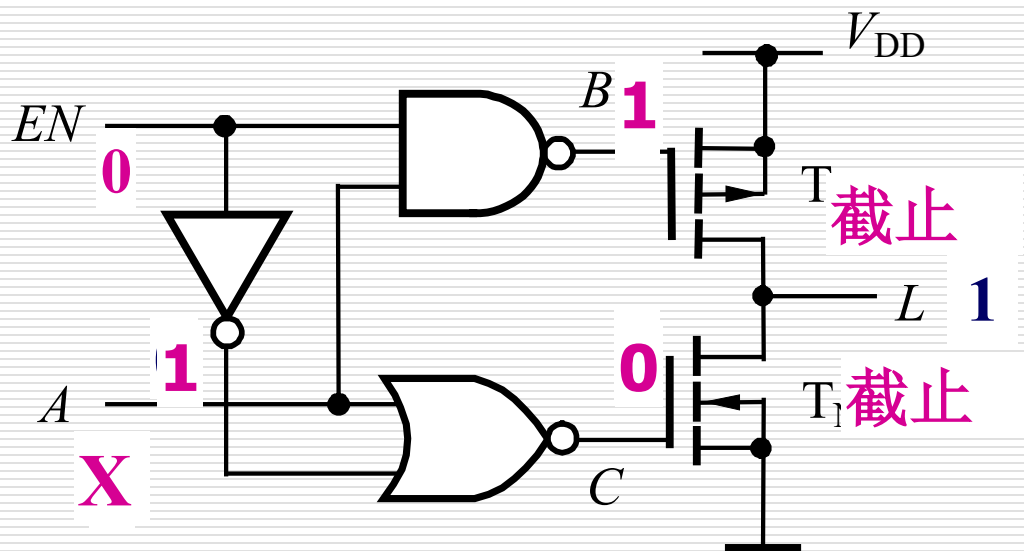
电路



电路



## 2.三态(TSL)输出门电路



使能 $EN$	输入 $A$	输出 $L$
1	0	0
1	1	1
0	×	高阻

逻辑功能：高电平有效的同相逻辑门



---

### 3.3.3 CMOS逻辑门电路的重要参数（本节了解）

## 3.9 用VerilogHDL描述CMOS门电路

### 3.9.1 CMOS门电路的Verilog建模

用VerilogHDL对MOS管构成的电路建模，称为开关级建模，是最底层的描述。

用**关键词**`nmos`、`pmos`定义NMOS、PMOS管模型。`rnmos`、`rpmos`定义输入与输出端存在电阻的NMOS、PMOS管模型。

关键词`supply1`、`supply0`分别定义了**电源线**和**地线**。

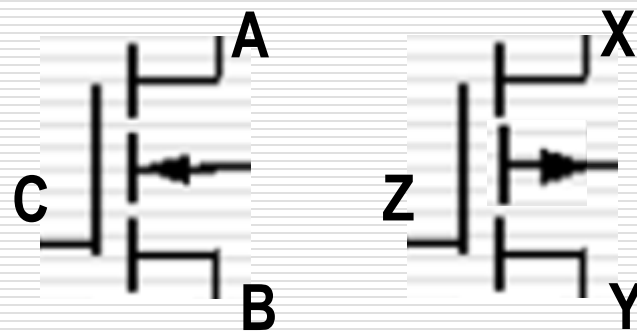
`nmos` N1(漏极, 源极, 栅极)

`pmos` P1(漏极, 源极, 栅极)

元件实例化名字，可省略

例如: `nmos mynmos(A, B, C);`  
`pmos newpmos(X,Y,Z);`

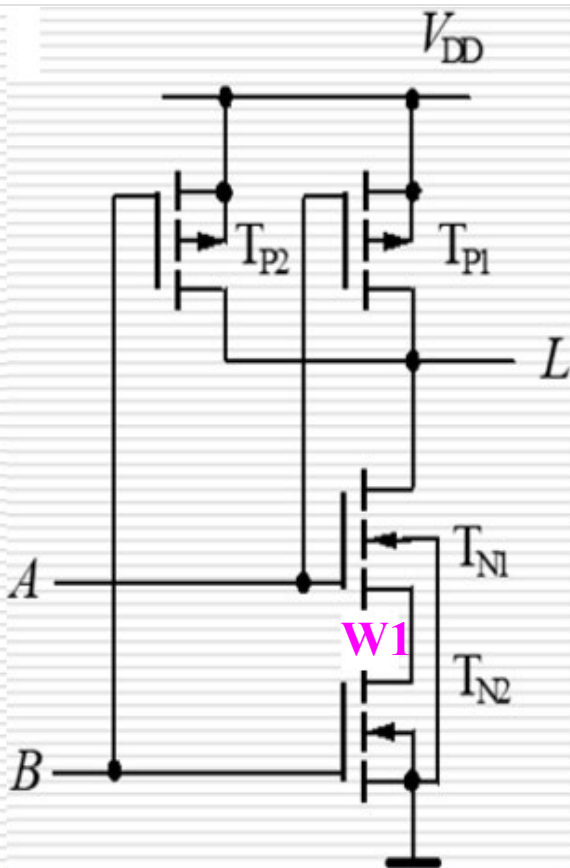
//(漏极,源极,控制栅极) 由于源极与栅极在同一个水平线上。容易区分。



此处module后面要加分号

## 1、设计举例

试用Verilog语言的开关级建模描述CMOS与非门。



电路描述

```
module NAND2 (L,A,B);  
    input A,B;    //输入端口声明  
    output L;     //输出端口声明  
    supply1 Vdd;  
    supply0 GND;  
    wire W1;      //将两个NMOS管之间的  
                  //连接点定义为W1
```

说明部分

```
    pmos (L,Vdd,A); //PMOS管的源  
                  //极与Vdd相连  
    pmos (L,Vdd,B); //两个PMOS管  
                  //并行连接  
    nmos (L,W1,A);  //两NMOS管串  
                  //行连接  
    nmos (W1,GND,B); //NMOS管的  
                  //源极与地相连  
endmodule
```

endmodule后面不能加分号

## 3.9.2 CMOS传输门电路的Verilog建模

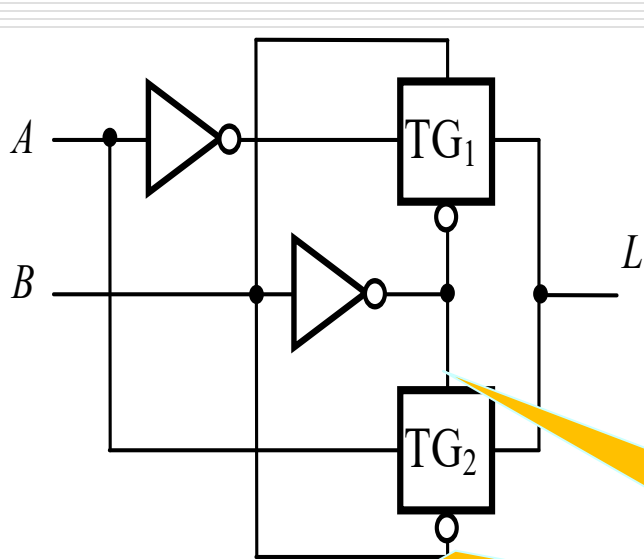
module后面要加分号

用关键词**cmos**定义传输门

**cmos** C1(输出信号, 输入信号

元件实例化名字, 可省略

例: 用Verilog语言的开关级建模描述下列异或门。



电路描述  
(顶层)

```
module mymux2to1 (A, B, L);  
  input A, B; //输入端口声明  
  output L; //输出端口声明  
  wire Anot, Bnot; //声明模  
    块内部的连接线
```

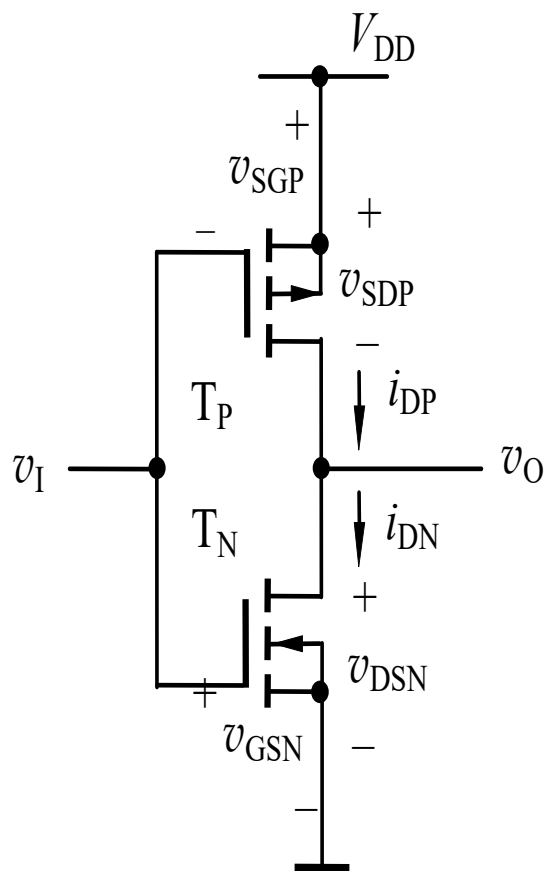
说明部分

```
  inverter V1(Anot, A);  
    //调用底层模块inverter, 见下一页  
  inverter V2(Bnot, B);  
  cmos (L, Anot, B, Bnot); //调用内部开关元件  
  cmos (L, A, Bnot, B);  
    //(output,input,ncontrol,pcontrol)  
endmodule
```

endmodule后面不要加分号

此处带小圆圈的是P管控制信号

此处不带小圆圈的是N管控制信号



//CMOS反相器

**module inverter (Vo,Vi);**

**input Vi;** //输入端口声明  
**output Vo;** //输出端口声明  
**supply1 Vdd;**  
**supply0 GND;**

说明部分

电路描述

**pmos (Vo,Vdd,Vi);** //实例化，调用内部开关元件  
**nmos (Vo,GND,Vi);** //(漏极,源极,控制栅极)由于源极与栅极在同一个水平线上。可以先根据栅极找出源极。

**endmodule**