

总线带宽：每秒传输的最大字节数 也称数据传输率  $(\text{总线宽度}/8) \times \text{总线工作频率}$ （也就是时钟频率）

主存性能指标：1、存储容量 2、存储速度（存取时间：（从cpu送出内存单元开始到主存读出数据并送回cpu）和存取周期的区别） 3、存储带宽

增加存储带宽的三种方法：1、缩短存取周期 2、增加存储字长 3、增加存储体

芯片通过： $\bar{CS}$ 与外部相连：1、数据总线 2、地址总线 3、控制总线

动态RAM的刷新：将原存信息读出并由刷新放大器形成原信息并重新写入的过程

刷新的方式：1、集中刷新（死时间率计算--【死区时间/总时间】） 2、分时刷新【分散至每一个存储周期】 3、异步刷新【每次刷新一行】

动态RAM与SRAM的比较：原理 集成度 引脚数 价格 速度 功耗 是否需要刷新 除了集成度DRAM均低

存储器与CPU的连接：**PD非** **progr**作用（确保读出时低电平有效）

**存控部件**：决定主存与何部件交换信息。

**存控具有合理安排各部件请求访问的顺序以及控制主存读写操作的功能**

提高访存速度：1、采用高速器件 2、采用层次结构(cache-主存) 3、调整主存结构

程序访问的局部性原理：在较小的时间间隔内，cpu对**局部范围**的存储器地址频繁访问而对此地址之外的访问较少

cache的命中率：访问cache的次数 / (访问cache次数 + 访问主存次数)

效率：访问cache的时间 / (平均访问时间) 【平均访问时间 =  $h \times t_c + (1 - h) \times t_m$ 】

直接相联映射：主存字块标记 + cache字块地址 + 字块内地址

全相联映射：主存字块标记 + 字块内地址

组相联映射：主存字块标记 + 组地址 + 字块内地址

输入输出系统的发展阶段：1、早期阶段(程序查询方式) 2、接口模块与DMA阶段（总线连接(中断方式【I/O设备与主存交换信息时cpu需要中断现行程序】 + DMA方式【I/O设备通过一条数据线直接与主存进行数据交换】当DMA与CPU同时访问主存时CPU将总线的控制权让给DMA【周期窃取/挪用】）)

I/O设备与主机的联系方式：1、编址方式 2、设备寻址：每台设备均有一个设备号，I/O指令的设备码字段直接给出设备号，通过接口中的设备选择电路选中设备

3、传送方式：串行 并行 4、联络方式：a.立即响应 b.异步工作采用应答信号 c.同步工作采用同步**时标**

I/O设备与主机信息传送的控制方式：(5种) 1：程序查询方式 2：程序中断方式 3：DMA方式 4：I/O**通道**方式 5：I/O处理机方式

I/O设备：中央处理器和主存构成主机，除主机外绝大部分硬件设备都可称为I/O设备/外部设备/外围设备

**中断**：cpu在执行程序的过程中，当出现异常情况或特殊请求时，cpu停止现行程序转而执行更为紧急的中断服务程序，并在中断服务程序结束后，自动返回被暂停的程序

程序中断方式的接口电路：1、中断请求触发器（INTR） 2、中断屏蔽触发器（MASK） 3、排队器 4、中断向量地址形成部件

CPU响应中断的条件和时间：条件：**允许中断**触发器EINT 为1 时间：每条指令执行阶段的结束时刻

中断处理的过程：中断请求 中断判优 中断响应 中断服务 中断返回

中断服务程序的流程：保护现场 中断服务 恢复现场 中断返回

DMA的工作过程:

30、答：（1）外设发出 DMA 请求；（2）CPU 响应请求，DMA 控制器从 CPU 接管总线的控制；（3）由 DMA 控制器执行数据传送操作；（4）向 CPU 报告 DMA 操作结束。

与程序中断方式相比DMA方式的特点:1、从数据传送看，程序中断靠程序传送，而DMA靠硬件传送 2、从CPU的响应时间看:程序中断是在一条指令执行结束时响应，而DMA方式可在指令周期内任一存取周期的结束时响应 3、程序中断有处理异常事件的能力 而DMA方式没有这种能力，DMA方式主要用于大批数据的传送

4、程序中断方式中断现程序，需要保护现场 而DMA方式无需中断现程序，故无需保护现场 5、DMA方式的优先级比程序中断方式高

机器指令：每一条机器语言的语句

指令系统：全部机器指令的集合

扩展操作码:操作码的位数随地址数减少而增加

数据寻址(10):1、立即寻址 2、直接寻址 3、隐含寻址 4、间接寻址 5、寄存器寻址 6、寄存器间接寻址 7、基址寻址 8、变址寻址 9、相对寻址 10、堆栈寻址

基址寻址与变址寻址：基址寻址主要用于为数据或程序分配存储空间，故基址寄存器中的内容通常使用操作系统或管理程序确定的，在程序执行过程中其内容不可变而指令字中A的内容是可变的。在变址寻址中，变址寄存器中的内容是由用户设定的，在程序的执行过程中其值是可变的而指令字中A的内容是不可变的。变址寻址主要用于处理数组问题，在数组处理过程中，设A为数组的首地址，不断改变变址寄存器IX中的内容便可以很容易的得到数组中任意一个数据的地址

CPU的功能:具有控制程序的顺序执行，形成完成各种指令所需的操作命令，对各种操作加以时间上的控制，对数据进行算术和逻辑运算以及处理中断等

两个框图:

指令周期:CPU取出并执行一条指令所需的全部时间

机器周期:所有指令执行过程中的一个基准时间(以访问一次存储器的时间为基准时间)

时钟周期:控制计算机操作的最小时间单位

取指周期的数据流:PC中存放现行指令的地址，将该地址送至MAR后，送至数据总线，然后控制部件CU向存储器发出读命令，使对应MAR内存单元中的内容通过数据总线送给MDR,再送至IR,然后CU控制PC中的内容+1形成下一条指令的地址

间指周期的数据流:当取指周期结束后，CU检查IR中的内容判断是否含有间址周期，若含有间址周期，MDR中形式地址的部分被送至MAR又送至地址总线，cu向存储器发读命令将有效地址送给MDR

提高机器速度的方法: (4) 1、提高访存速度2、提高I/O和主机的传送速度 3、提高运算器速度 4、提高整机处理能力

指令流水：改变指令按顺序串行执行的规律，机器执行一条指令的同时取出下一条指令的地址，即一条指令的执行周期和下一条指令的取指周期同时进行

影响指令流水的因素:1、结构相关（停顿 数据存储器 and 指令存储器分开 指令预取） 2、数据相关（后推法 旁路技术） 3、控制相关（预先判别转移是否发生）

流水线性能:1、吞吐率 2、加速比 3、效率

**中断判优逻辑:**任何一个中断系统在任何一个时刻，cpu只能响应一个中断源的请求，当某一时刻有多个中断源提出中断请求时，中断系统必须按照其优先顺序予以相应

优先顺序:该中断源不能得到即使响应,致使机器工作出错的严重程度

中断隐指令操作:1、保护程序断点 2、寻找中断服务程序入口地址 3、关中断

中断隐指令:机器指令系统中不存在的指令,该指令是cpu在中断周期由硬件自动执行的一条指令

保护现场:1、保护程序断点 2、保存寄存器的内容

控制单元:具有发出各种微操作命令序列的功能

多级时序系统:机器周期和节拍组成多级时序系统

### 控制方式:如何形成控制各种微操作命令序列的时序控制方式

控制方式(4种):1、同步控制(3种) 2、异步控制 3、联合控制 4、人工控制

微程序设计的思想:一条机器指令编写成一个微程序,每一个微程序包含若干条微指令,每一个微指令包含一条或几条微操作命令,把这些微程序存放在一个控制存储器中,用寻找用户程序机器指令的方式寻找每个微程序中的微指令

浮点数左右移动出错情况:原码左移丢一出错 右移损失精度 补码左移丢一正确,右移丢一丢失精度 反码:均正确

算术移位:正数补0 负数原码补0,补码左移补0,右移补1 反码补0

原码一位乘:(换绝对值补码 逻辑右移)

原码两位乘法:(绝对值补码 算术移位)

补码一位乘:(一定全部为补码 仔细一点,算术移位)

原码除法:(绝对值补码 上商 $n+1$ 次)

补码除法:(先判断 $x$ 补码与 $y$ 补码符号 同号【 $x$ 补- $y$ 补】 异号【 $x$ 补+ $y$ 补】,余数与 $y$ 补 同1反0,同2 $r$ 补- $y$ 补 异2 $r$ 补+ $y$ 补,上商 $n+1$ 次但实际只用加 $n$ 次最后一次直接上1)

浮点数规格化:原码为1 补反相异 逻辑移位

(都是针对补码的)右移:采用双符号位,符号位不同,右移一次即可

舍入:只有在对阶和右移时会舍入