

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

Home work (P266)

- ✎ 1、本周有**10分钟**的随堂测验。
- ✎ 2、下周有实验。地点：电气实验楼**505**房间
- ✎ 3、下次收作业时间：第**16**周的周一（周二）
- ✎ 4、作业：
 - ✎ 5.2.4
 - ✎ 5.2.5
 - ✎ 5.3.1
 - ✎ 5.5.1
 - ✎ 5.5.5

第5章 锁存器和触发器

Latches and Flip-Flops

第五章 锁存器和触发器

5.1 双稳态电路

5.2 SR锁存器

5.3 D锁存器

5.4 触发器的电路结构和工作原理

5.5 触发器的逻辑功能

5.6 用Verilog HDL描述锁存器和触发器

概述

1、时序逻辑电路与锁存器、触发器：

时序逻辑电路：

工作特征：时序逻辑电路的工作特点是任意时刻的输出状态不仅与该电路当前的输入信号有关，而且与电路此前的状态有关。

结构特征：由组合逻辑电路和存储电路组成，电路中存在反馈。

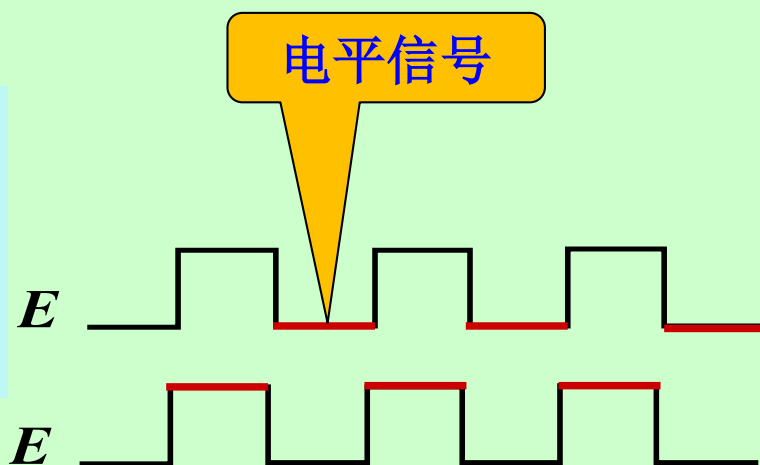
锁存器和触发器是构成时序逻辑电路的基本逻辑单元。

2、锁存器与触发器

共同点：具有0和1两个稳定状态，一旦状态被确定，就能自行保持。一个锁存器或触发器能存储一位二进制码。

不同点：

锁存器---对脉冲电平敏感的存储电路，在特定输入脉冲电平作用下改变状态。

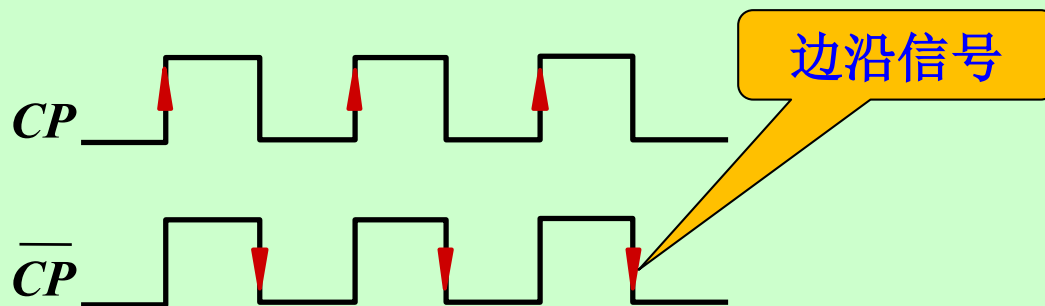


Latches (锁存器)

2、锁存器与触发器

不同点:

触发器---对脉冲边沿敏感的存储电路，在时钟脉冲的上升沿或下降沿的变化瞬间改变状态。



Flip-Flops (F/F, 触发器)

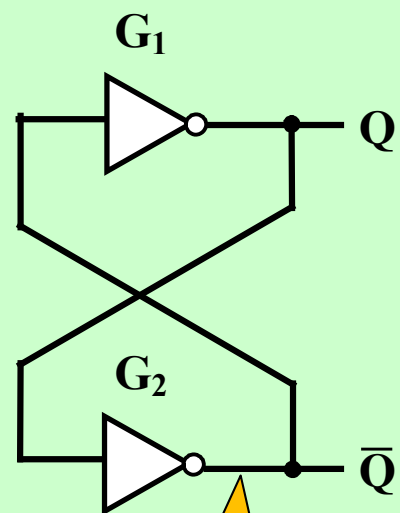
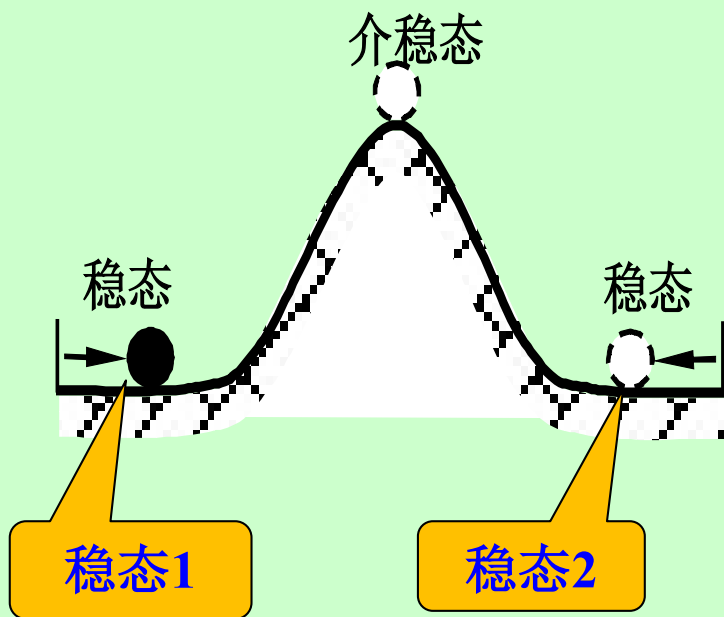
5.1 双稳态电路

5.1.1 双稳态的概念

5.1.2 最基本的双稳态电路

5.1 双稳态电路

5.1.1 双稳态的概念



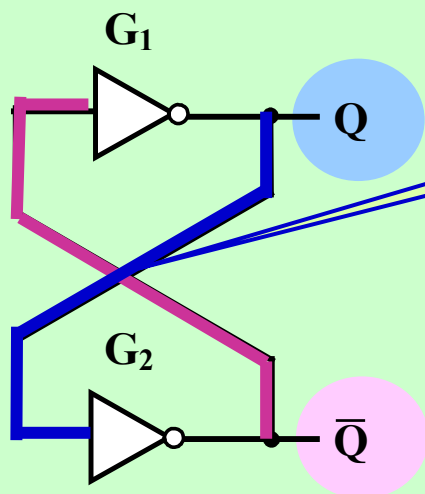
双稳态电路

5.1.2 最基本的双稳态电路

1. 电路结构

稳定状态1: $Q=0$

稳定状态2: $Q=1$



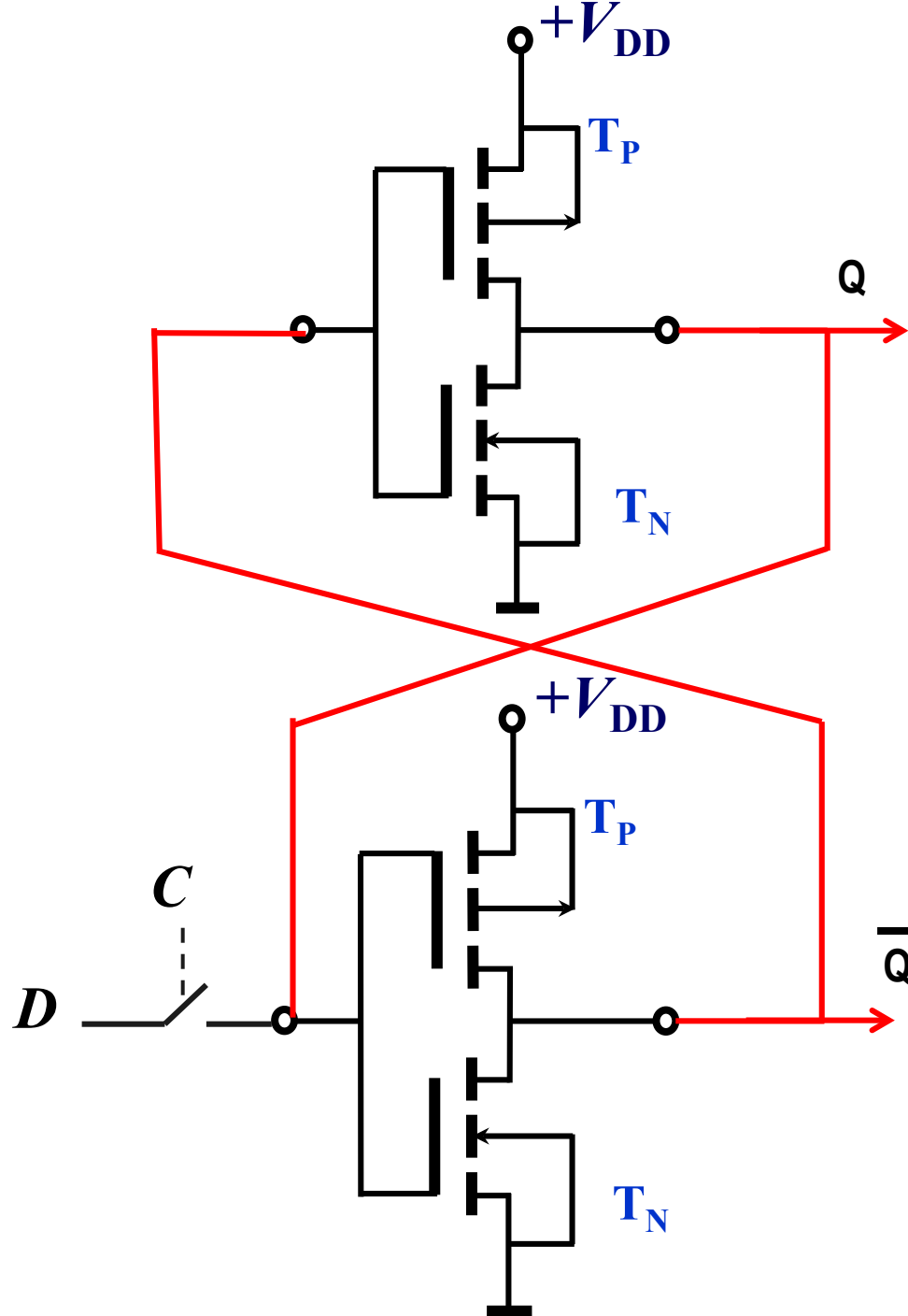
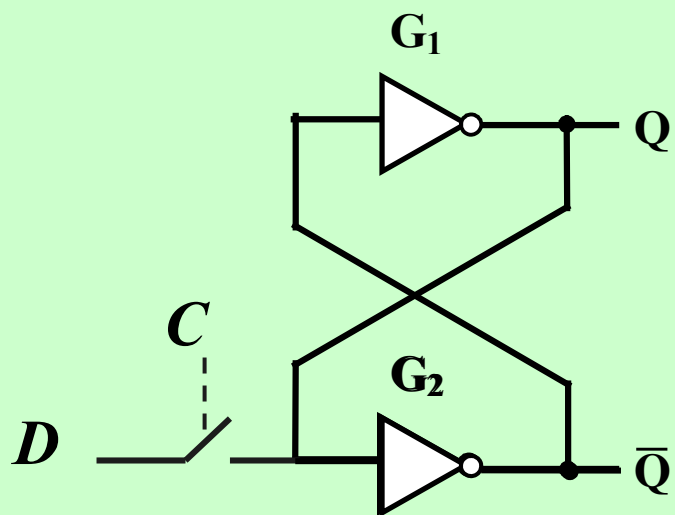
反馈

电路有两个互补的输出端

Q 端的状态定义为电路输出状态。

5.1 双稳态电路

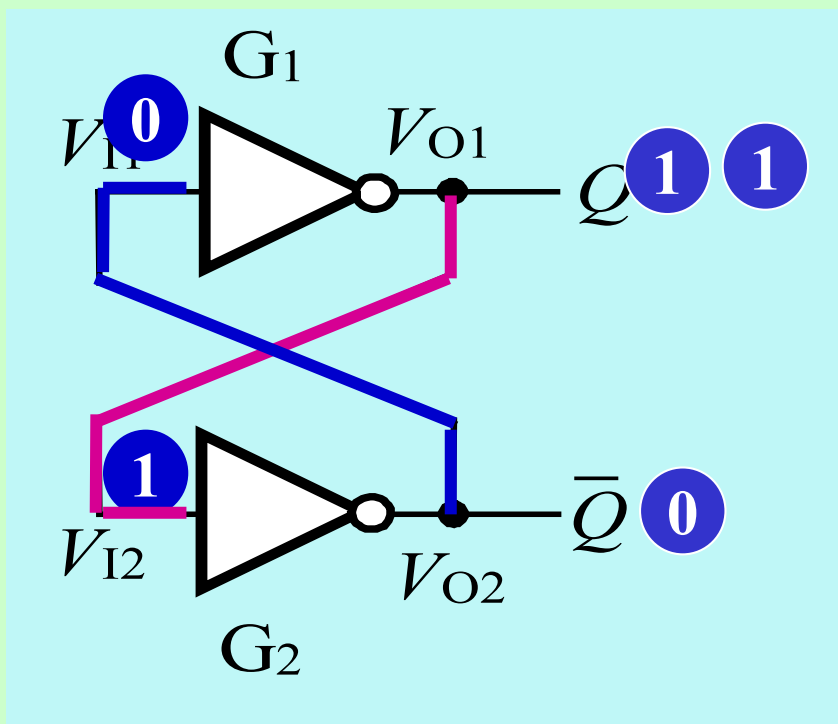
5.1.1 双稳态的概念



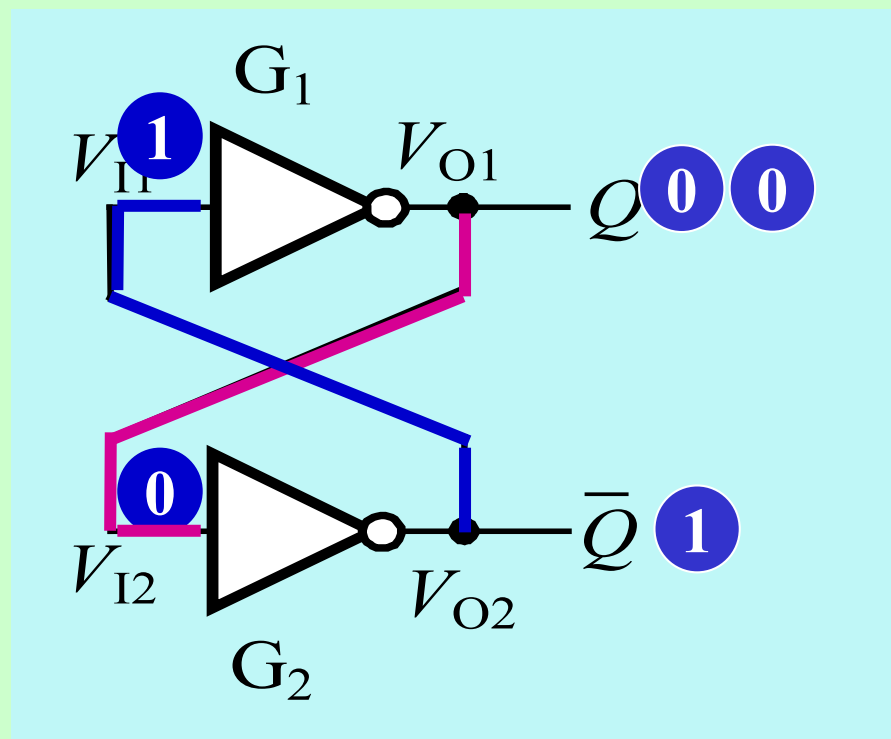
2、电路输出分析

——电路具有记忆1位二进制数据的功能。

如 $Q = 1$ 电路能记忆1



如 $Q = 0$ 电路能记忆0



5.2 SR锁存器

5.2.1 基本SR 锁存器

5.2.2 门控SR锁存器

5.2 SR锁存器

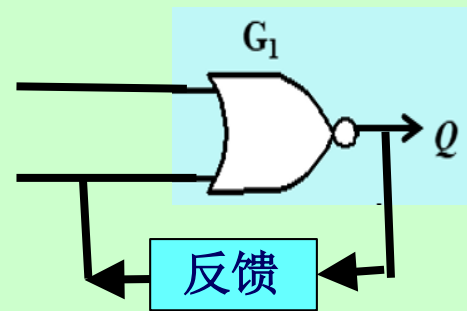
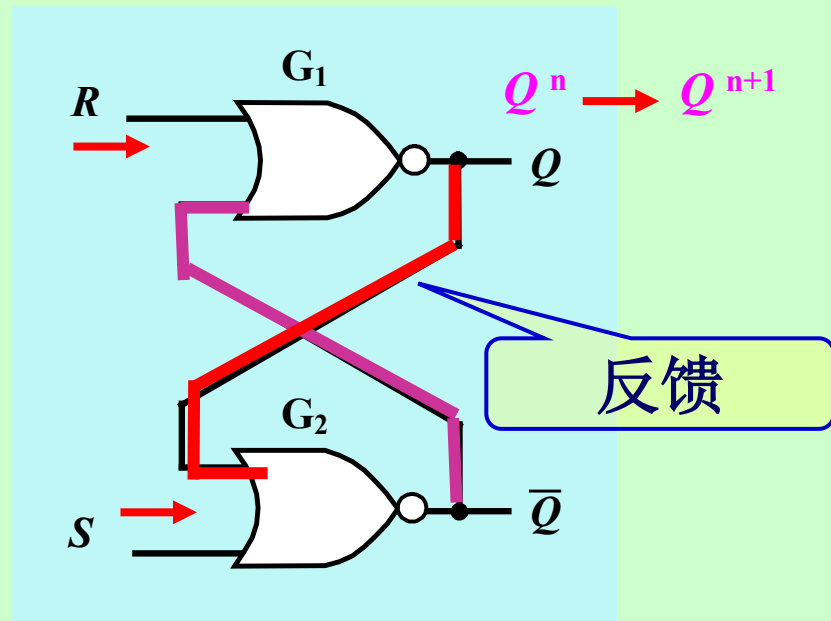
5.2.1 基本SR 锁存器

1. 工作原理

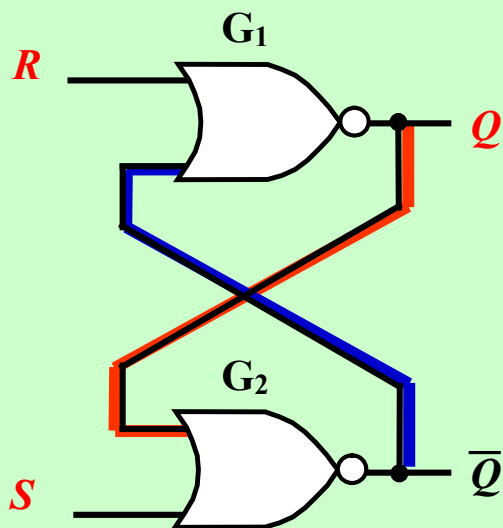
现态： R 、 S 信号作用前 Q 端的状态，现态用 Q^n 表示。

次态： R 、 S 信号作用后 Q 端的状态，次态用 Q^{n+1} 表示。

引脚的命名：能使输出 $Q=1$ 的输入引脚命名为：Set。能使输出 $Q=0$ 的输入引脚命名为：Reset。



1. 工作原理



根据电路结构，
填写完成右图所
示的真值表。

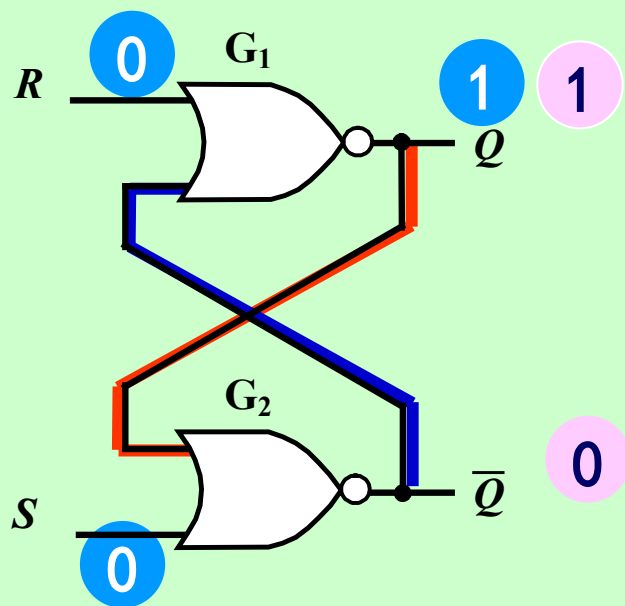
| 输 入 | | | 输 出 | |
|-----|---|-------|-----------|-----------------|
| R | S | Q^n | Q^{n+1} | \bar{Q}^{n+1} |
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

1. 工作原理

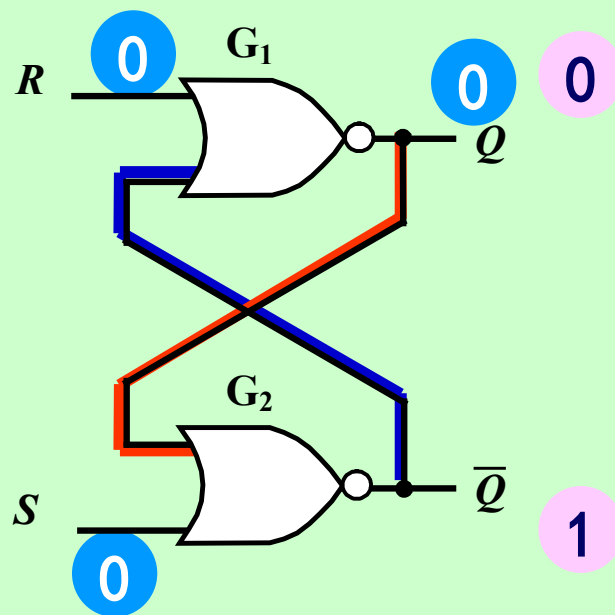
$R=0$ 、 $S=0$

状态不变

| 输 入 | | | 输 出 | |
|-----|---|-------|-----------|-----------|
| R | S | Q^n | Q^{n+1} | Q^{n+1} |
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |



若现态 $Q^n=1$



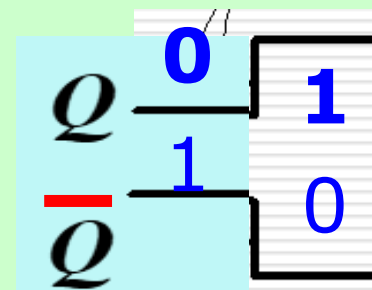
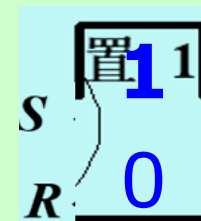
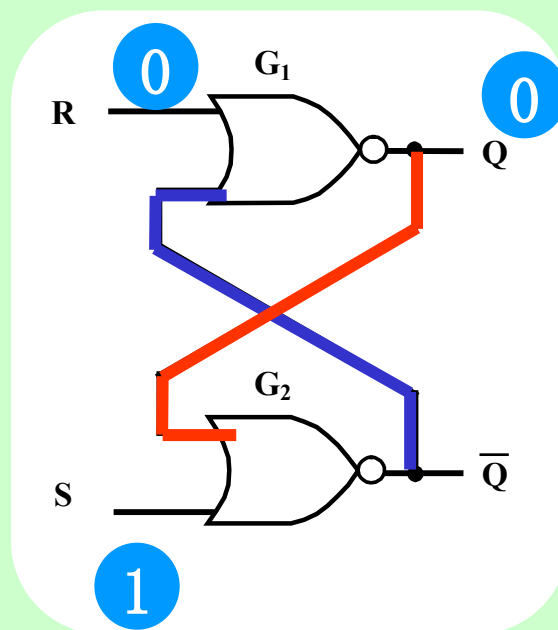
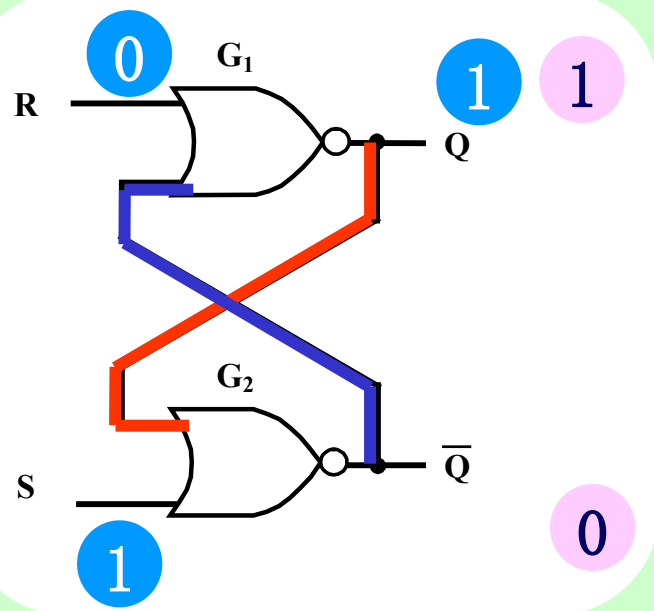
若现态 $Q^n=0$

$R=0$ 、 $S=1$ 置1

无论现态 Q^n 为0或1，锁存器的次态为1态。信号消失后新的状态将被记忆下来。

| 输 入 | | | 输 出 | |
|-----|---|-------|-----------|-----------|
| R | S | Q^n | Q^{n+1} | Q^{n+1} |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |

Q 的输出波形如下



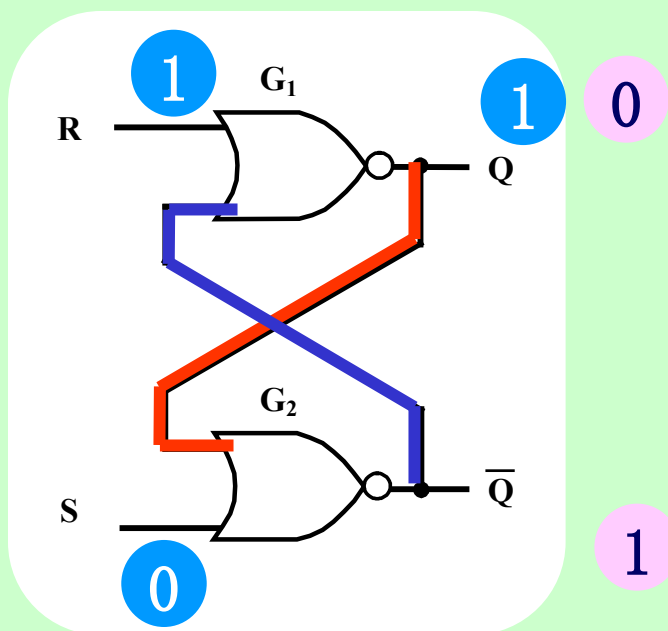
若现态 $Q^n = 1$

若现态 $Q^n = 0$ 在信号 $R=0, S=1$ 作用下，次态 $Q^{n+1} = 1$

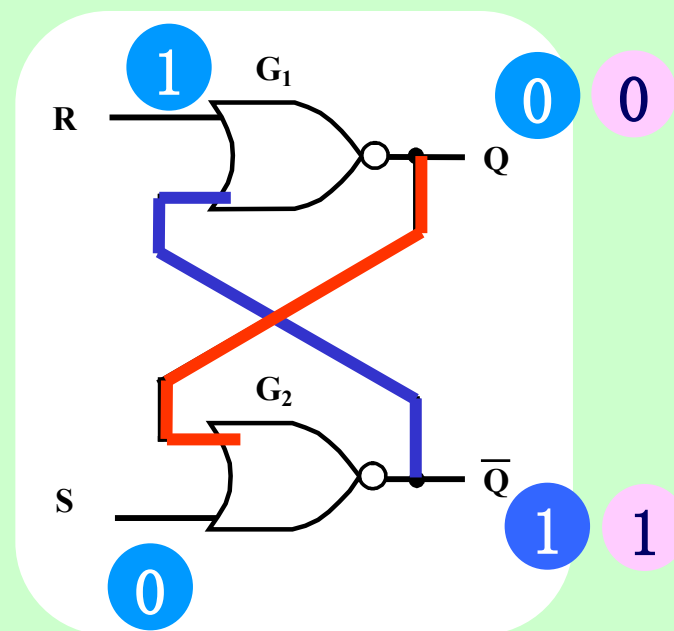
$R=1$ 、 $S=0$ 置0

无论现态 Q^n 为0或1，锁存器的次态为0态。信号消失后新的状态将被记忆下来。

| 输 入 | | | 输 出 | |
|-----|---|-------|-----------|-----------|
| R | S | Q^n | Q^{n+1} | Q^{n+1} |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |



若现态 $Q^n = 1$



若现态 $Q^n = 0$

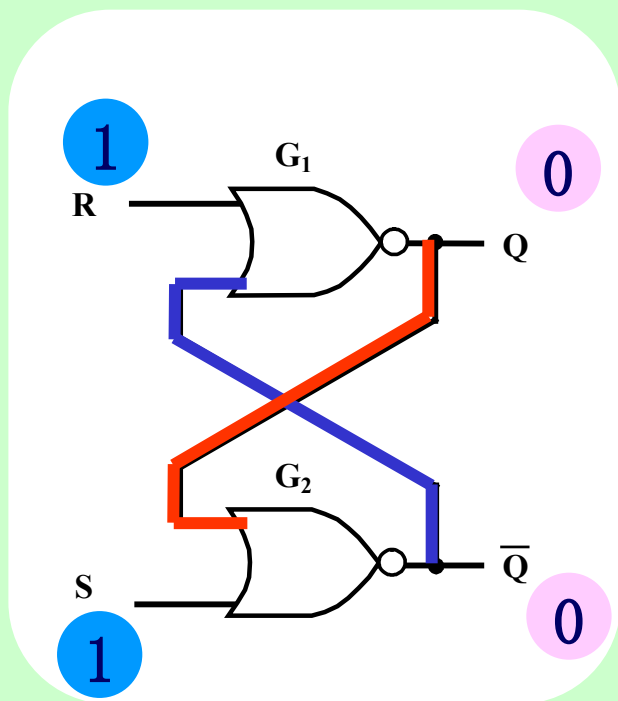
$S=1$ 、 $R=1$ 状态不确定

无论现态 Q^n 为0或1，触发器的次态 Q^{n+1} 、 \overline{Q}^{n+1} 都为0。

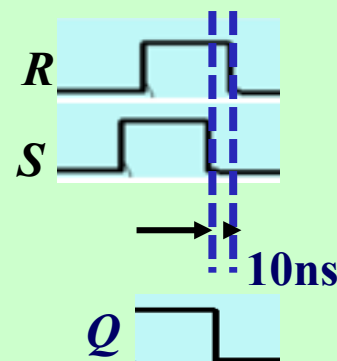
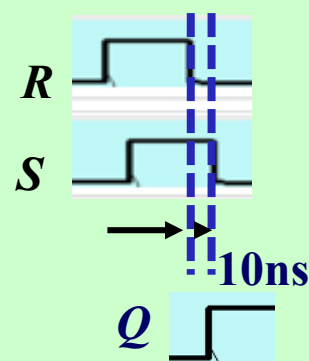
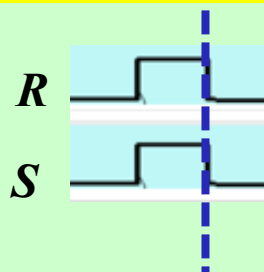
| 输 入 | | | 输 出 | |
|-----|---|-------|-----------|----------------------|
| R | S | Q^n | Q^{n+1} | \overline{Q}^{n+1} |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

触发器的输出 $Q^n = \overline{Q}^n$

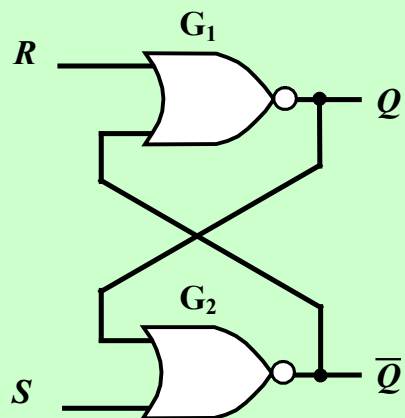
当 S 、 R 同时从11回到00时，由于两个或非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。



约束条件: $SR = 0$



综上，或非门构成的SR锁存器真值表如下



| | | R | | | |
|-------|---|----|----|----|----|
| | | 00 | 01 | 11 | 10 |
| Q^n | 0 | 0 | 1 | X | 0 |
| | 1 | 1 | 1 | X | 0 |
| | | S | | | |

Q^{n+1} 卡诺图

| 输 入 | | | 输 出 | | 备注 |
|-----|---|-------|-----------|----------------------|----|
| R | S | Q^n | Q^{n+1} | \overline{Q}^{n+1} | |
| 0 | 0 | 0 | | | |
| 0 | 0 | 1 | | | |
| 0 | 1 | 0 | | | |
| 0 | 1 | 1 | | | |
| 1 | 0 | 0 | | | |
| 1 | 0 | 1 | | | |
| 1 | 1 | 0 | | | |
| 1 | 1 | 1 | | | |

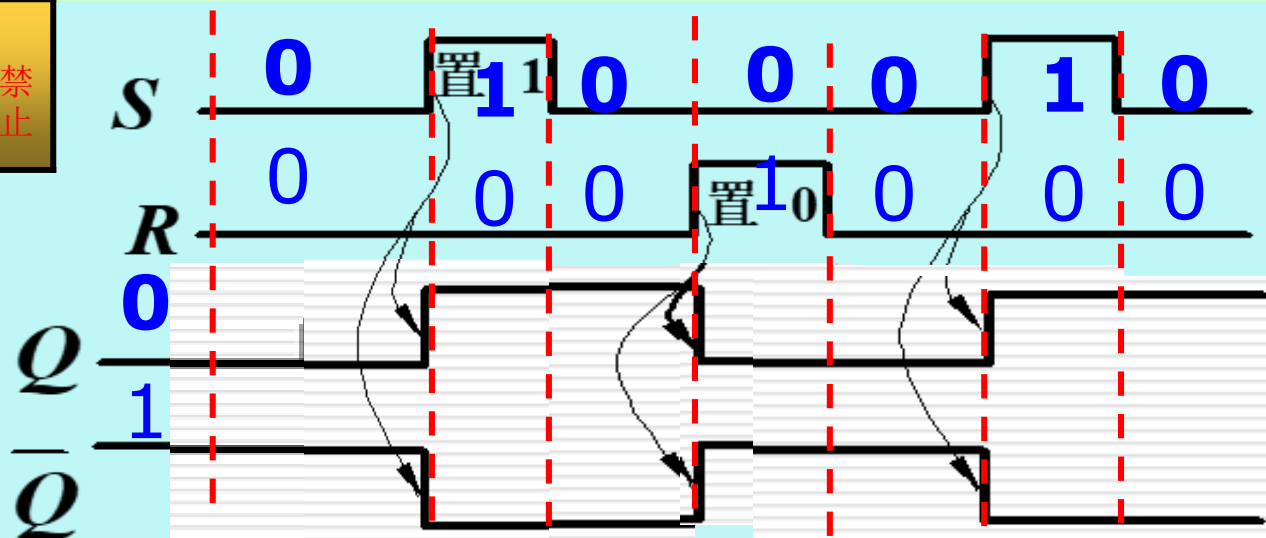
$$Q^{n+1} = S + \overline{R} Q^n$$

| 输 入 | | | 输 出 | | 备注 |
|-----|---|-------|-----------|----------------------|-----|
| R | S | Q^n | Q^{n+1} | \overline{Q}^{n+1} | |
| 0 | 0 | 0 | 0 | 1 | 保持 |
| 0 | 0 | 1 | 1 | 0 | |
| 0 | 1 | 0 | 1 | 0 | 置 1 |
| 0 | 1 | 1 | 1 | 0 | |
| 1 | 0 | 0 | 0 | 1 | 置 0 |
| 1 | 0 | 1 | 0 | 1 | |
| 1 | 1 | 0 | X | X | 禁止 |
| 1 | 1 | 1 | X | X | |

基本SR 锁存器简化真值表

| R | S | Q^{n+1} |
|---|---|-----------|
| 0 | 0 | |
| 0 | 1 | |
| 1 | 0 | |
| 1 | 1 | |
| 1 | 1 | |

已知基本SR锁存器的输入S和R的波形，请画出Q的输出波形。



工作波形

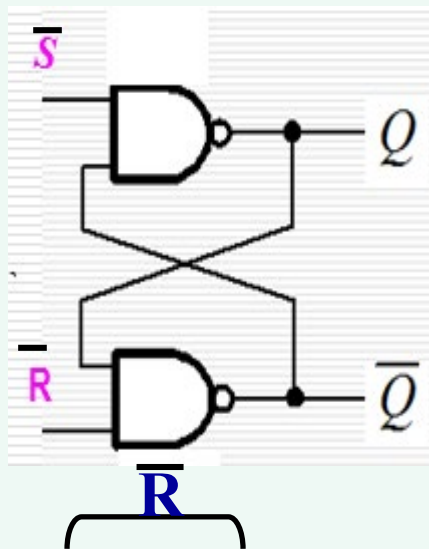
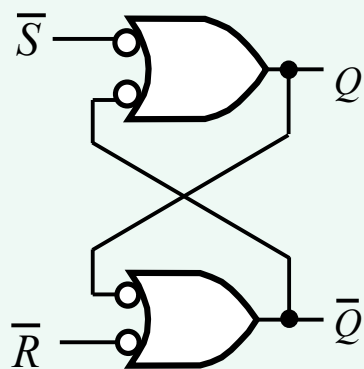
根据真值表，可以快速画出工作波形。

3、用与非门构成的基本SR锁存器

要求了解

约束条件: $\bar{S} + \bar{R} = 1$

a. 电路图



| $\bar{R}\bar{S}$ | | 00 | 01 | 11 | 10 |
|------------------|---|----|----|----|----|
| Q^n | 0 | x | 0 | 0 | 1 |
| | 1 | x | 0 | 1 | 1 |

Q^{n+1} 卡诺图

$$Q^{n+1} = \bar{S} + \bar{R}Q^n$$

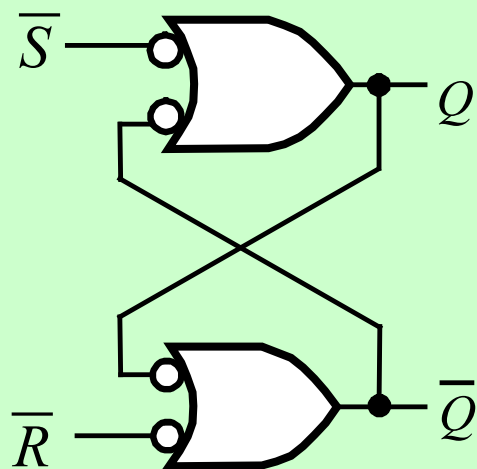
b. 功能表

| 输 入 | | | 输 出 | | 备注 |
|-----------|-----------|-------|-----------|----------------------|----|
| \bar{R} | \bar{S} | Q^n | Q^{n+1} | $\overline{Q^{n+1}}$ | |
| 0 | 0 | 0 | | | |
| 0 | 0 | 1 | | | |
| 0 | 1 | 0 | | | |
| 0 | 1 | 1 | | | |
| 1 | 0 | 0 | | | |
| 1 | 0 | 1 | | | |
| 1 | 1 | 0 | | | |
| 1 | 1 | 1 | | | |

引脚的命名: 能使输出Q=1的输入引脚命名为Set。能使输出Q=0的输入引脚命名为Reset。

3. 用与非门（非或门）构成的基本SR锁存器

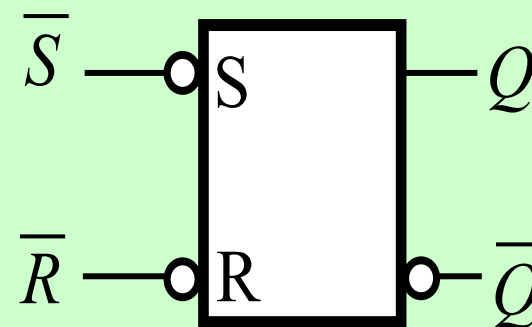
a. 电路图



b. 简化功能表

| \overline{R} | \overline{S} | Q | \overline{Q} |
|----------------|----------------|-----|----------------|
| 1 | 1 | 不变 | 不变 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 禁止 | 禁止 |

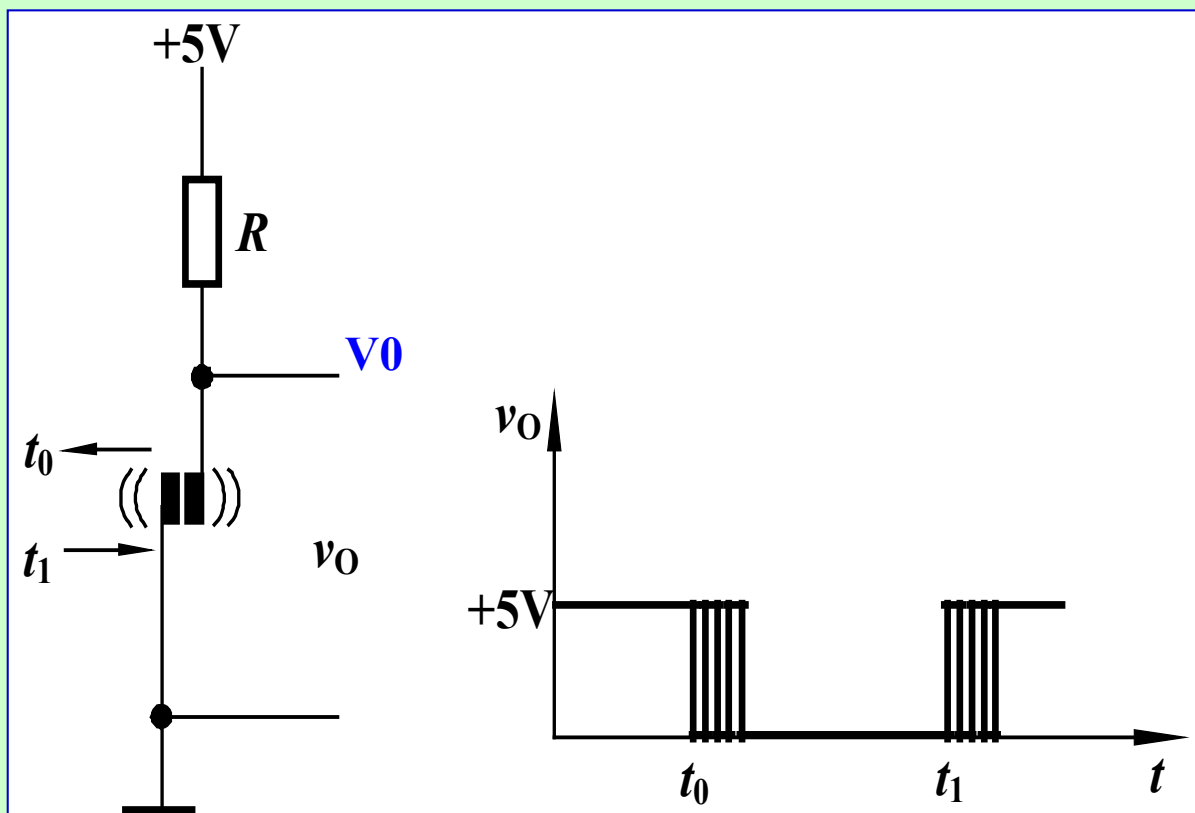
c. 国标逻辑符号



约束条件: $\overline{S} + \overline{R} = 1$

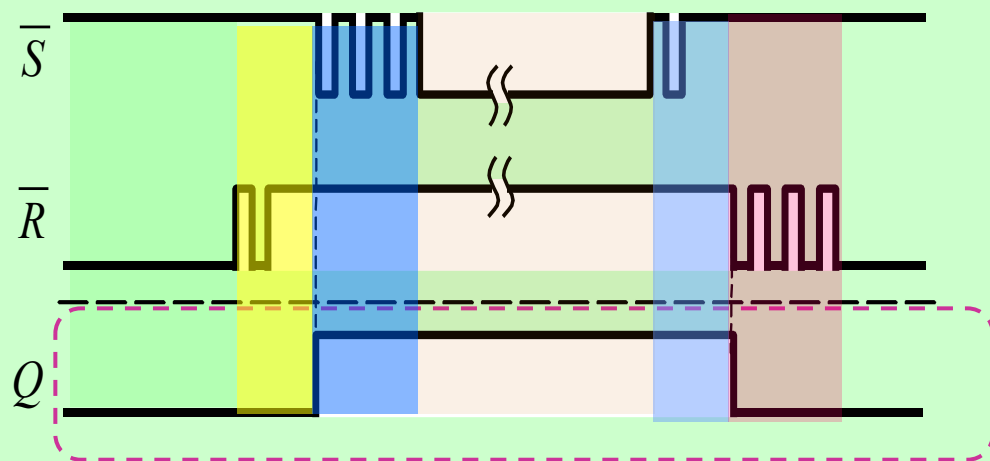
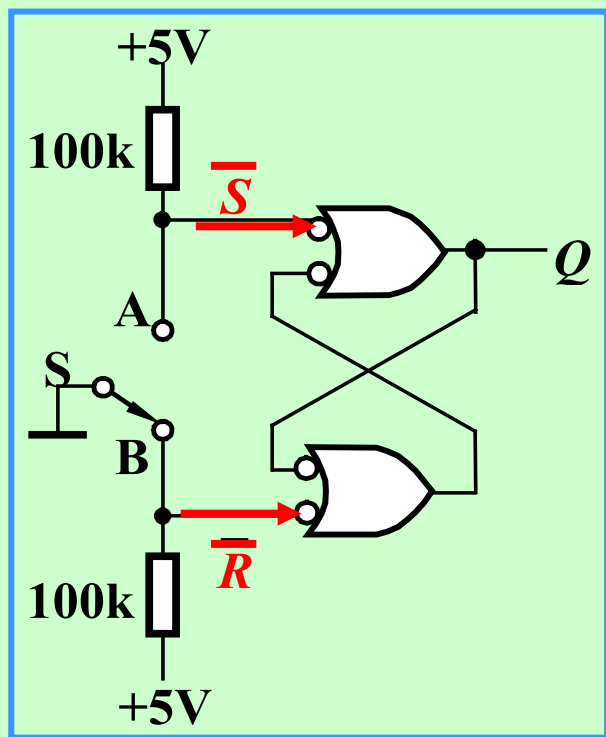
例 运用基本SR锁存器消除机械开关触点抖动引起的脉冲输出。

触点抖动现象如下图：



利用基本SR锁存器消除机械开关触点抖动

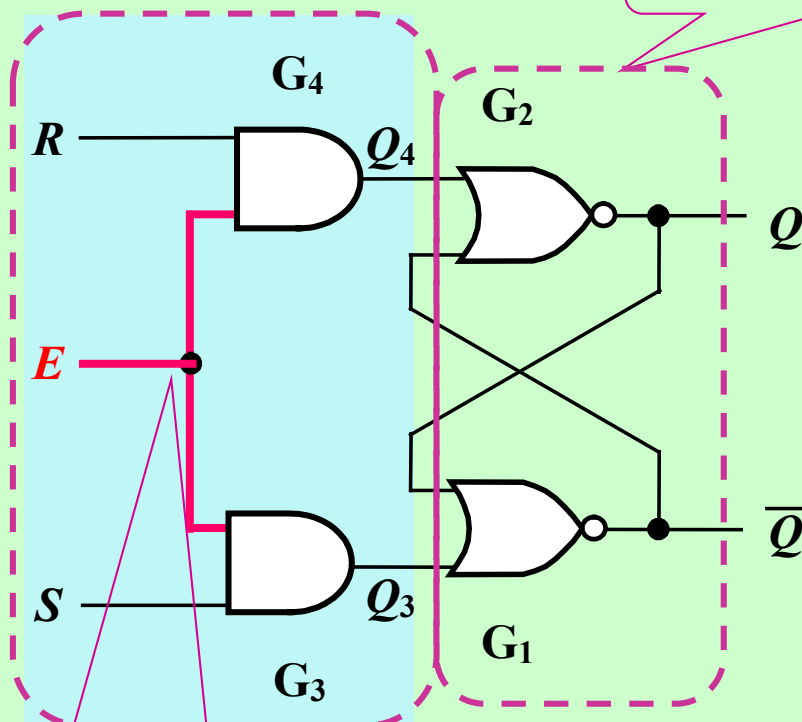
\bar{R} 和 \bar{S} 中总有一个信号是稳定的，通过稳定的那个将抖动的那个信号进行屏蔽掉。



5.2.2 门控SR 锁存器

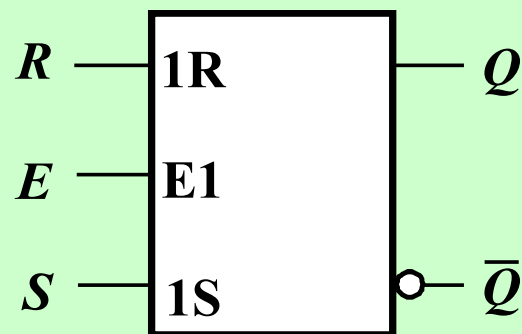
1. 电路结构

简单SR锁存器



使能信号控制门电路

国标逻辑符号



2、工作原理

$E=0$: 状态不变

$E=1$: $Q_3 = S$ $Q_4 = R$

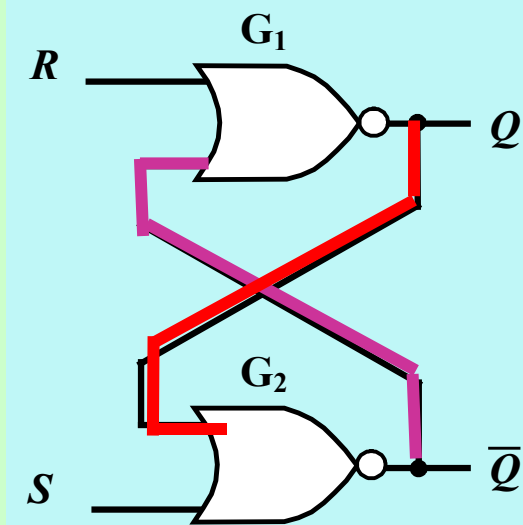
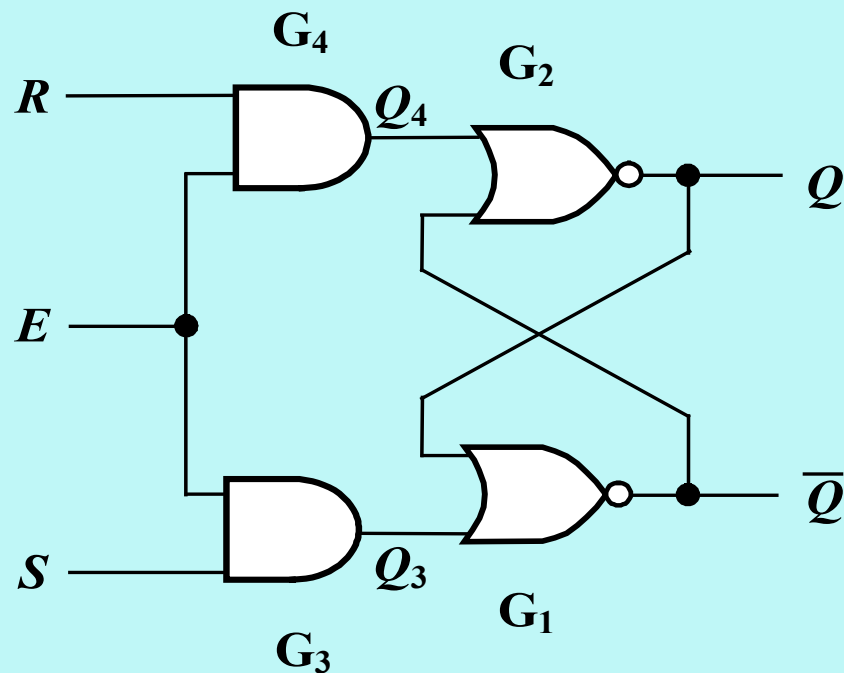
状态发生变化。

$S=0, R=0$: $Q^{n+1} = Q^n$

$S=1, R=0$: $Q^{n+1} = 1$

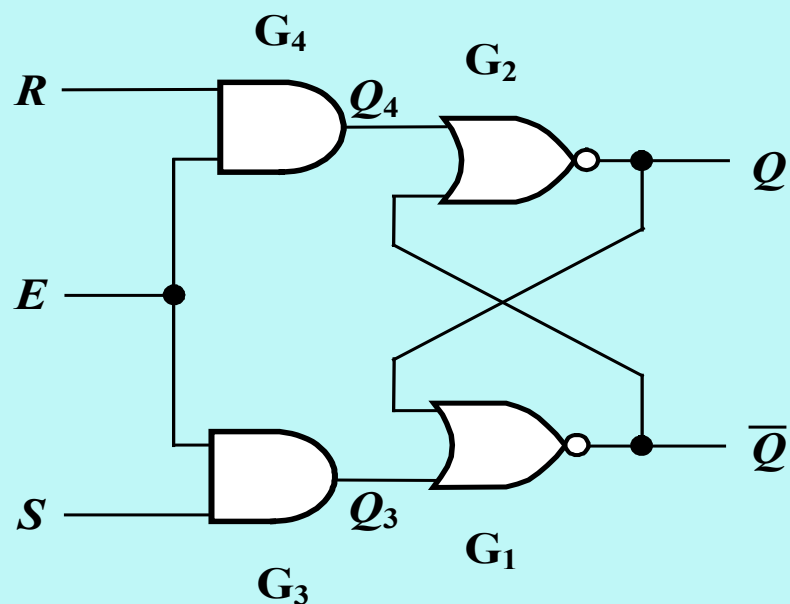
$S=0, R=1$: $Q^{n+1} = 0$

$S=1, R=1$: $Q^{n+1} = \Phi$



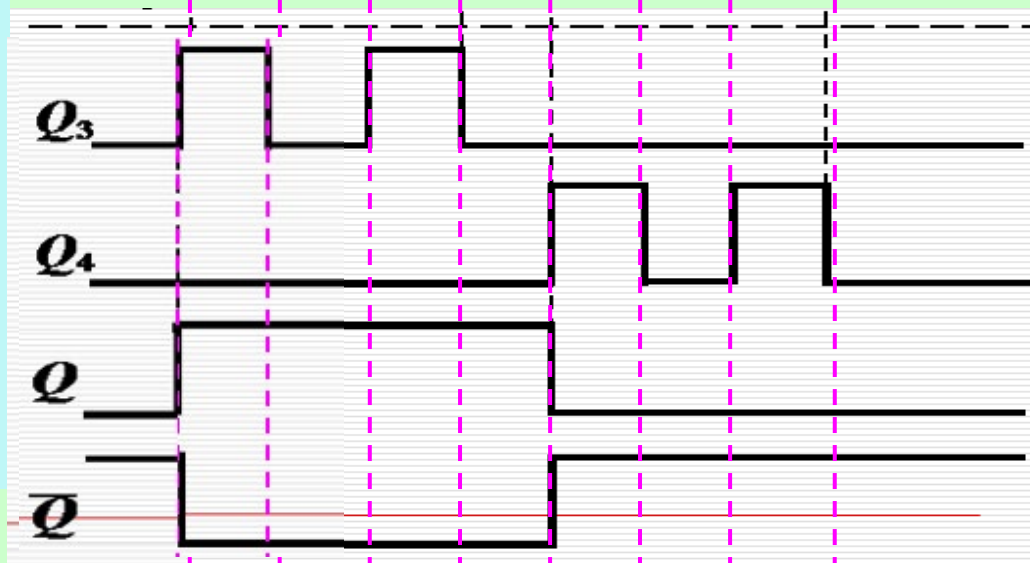
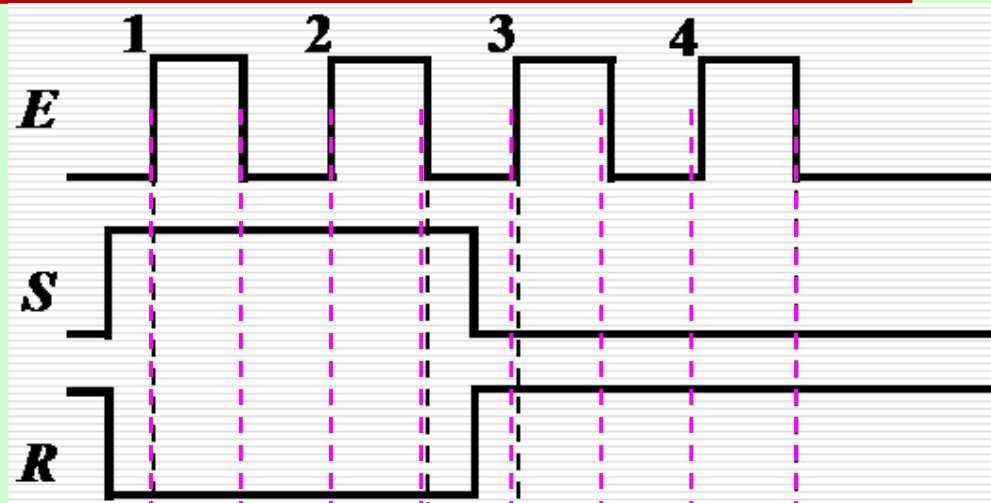
例：逻辑门控SR锁存器的 E 、 S 、

R 的波形如下图虚线上边所示，
锁存器的原始状态为 $Q = 0$ ，
试画出 Q_3 、 Q_4 、 Q 和 \bar{Q} 的波形。



$$Q_3 = S \cdot E$$

$$Q_4 = R \cdot E$$

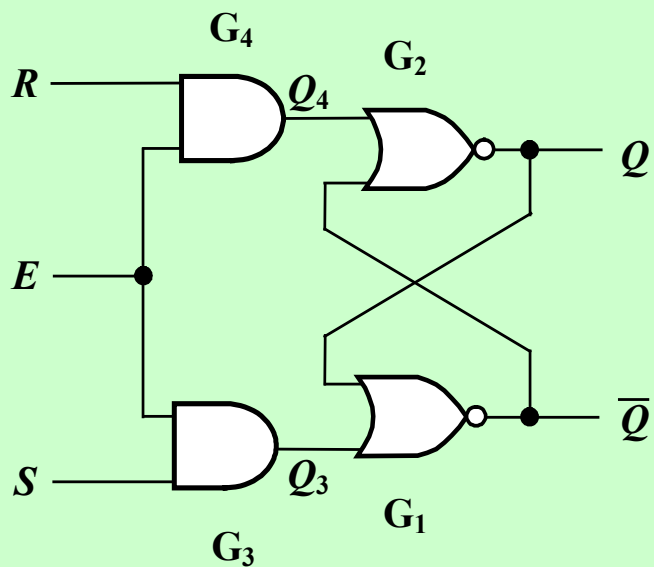


$E=0$: $Q_3=0, Q_4=0, Q$ 状态不变

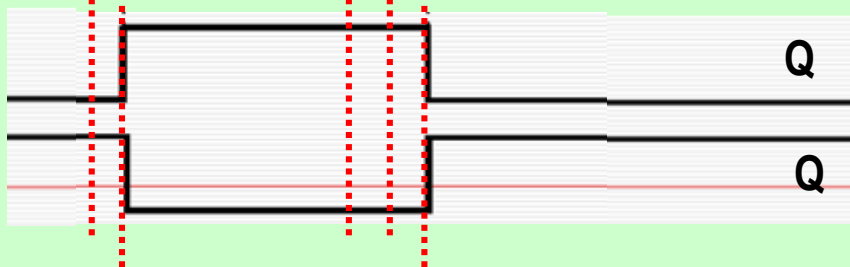
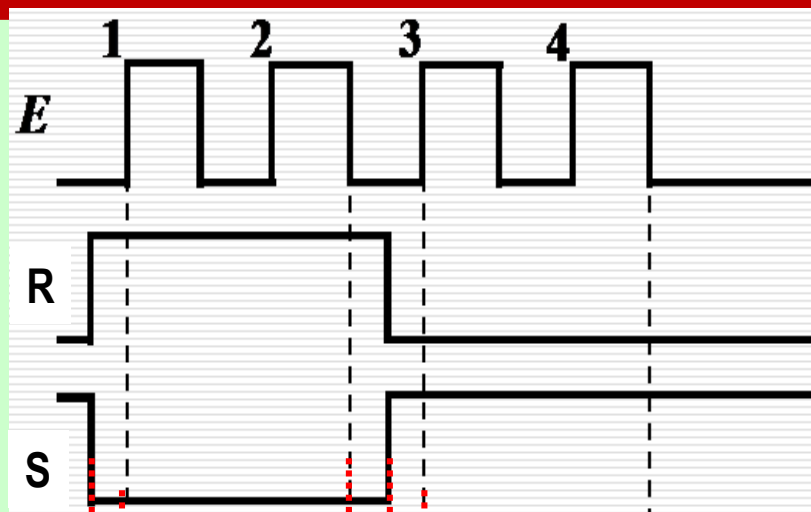
单选题 2分



电路如下图，输入信号R、E和S的波形已知，输出Q的波形，正确的是：



提交



A

B

C

D

5.3 D锁存器

5.3.1 D 锁存器的电路结构

5.3.2 典型的 D 锁存器集成电路

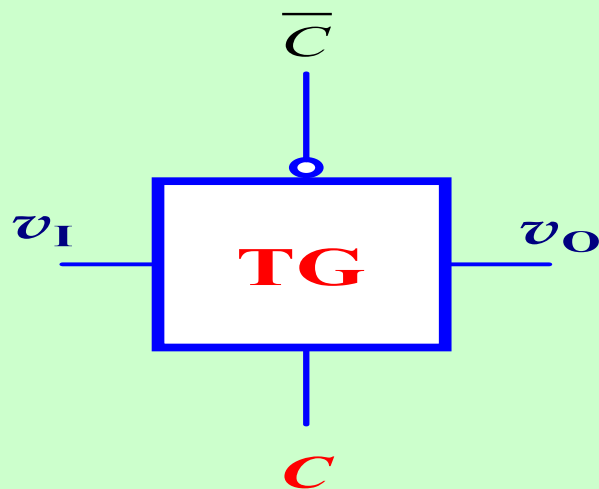
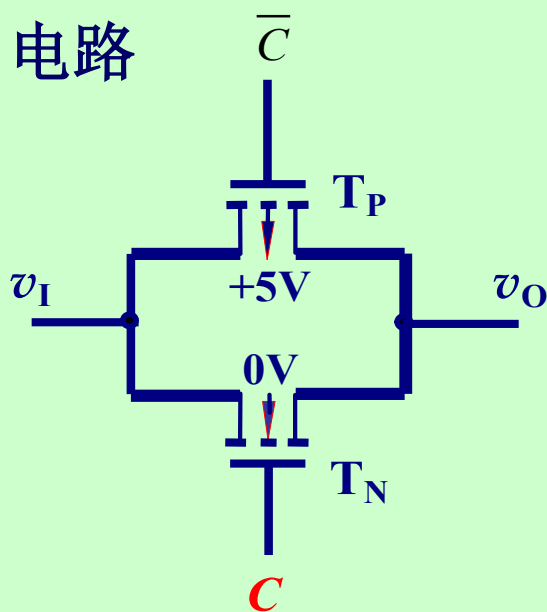
5.3.3 D 锁存器的动态特性

CMOS传输门(双向模拟开关)

TG=Transmission Gate

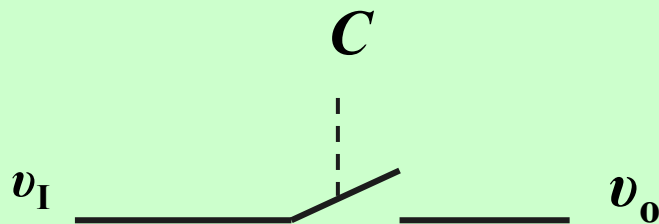
1. 传输门的结构及工作原理

传输门逻辑符号



当 $C=1$ 且 $\bar{C}=0$ 时, 传输门导通

等效电路

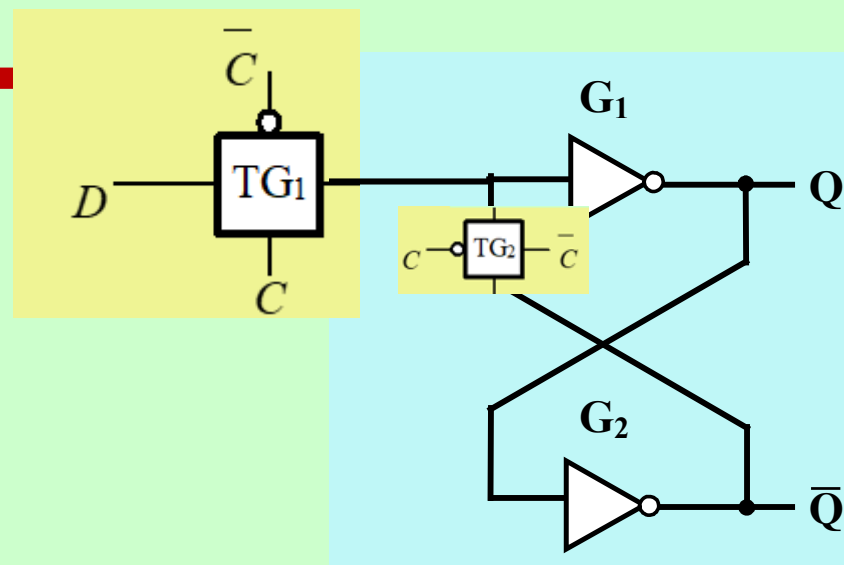
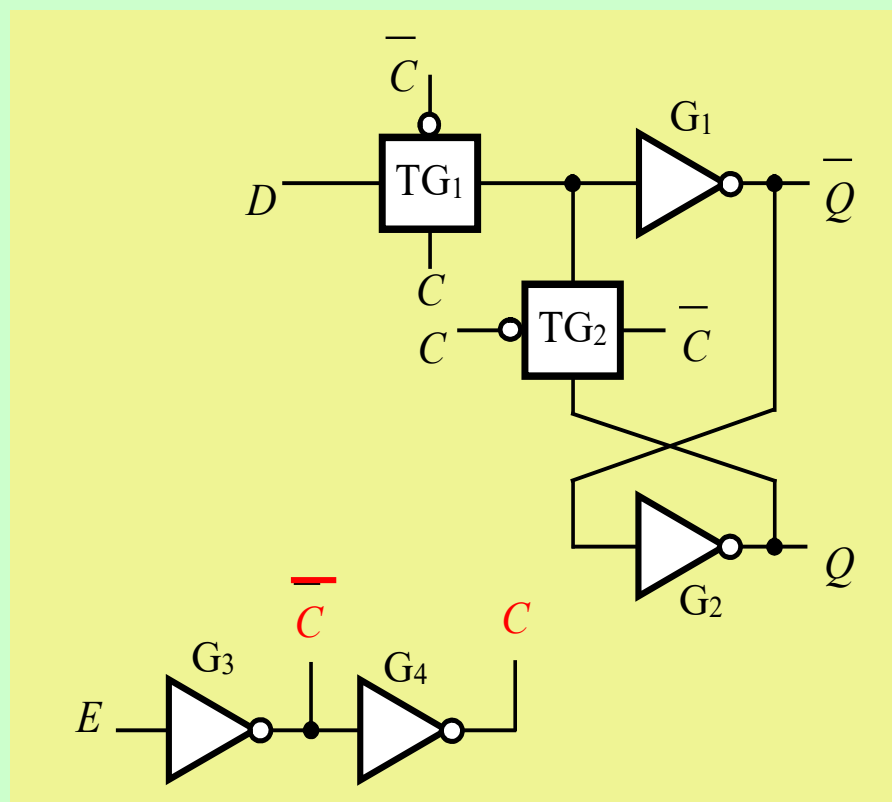


传输门就相当于电子开关,是受 C 信号控制的电子开关

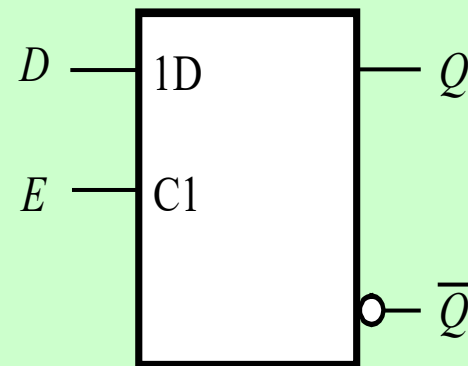
5.3.1 D锁存器的电路结构

1. 传输门控D锁存器

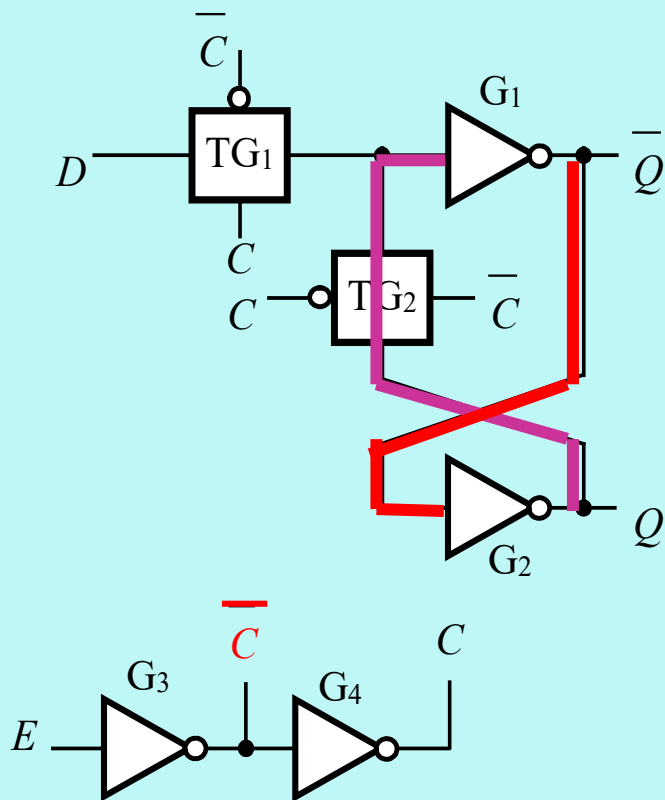
(1) 逻辑电路图



逻辑符号



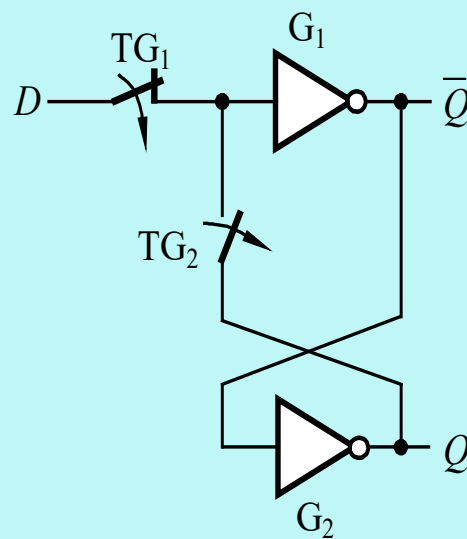
(2) 工作原理



(a) $E=1$ 时

TG₁导通,
TG₂断开

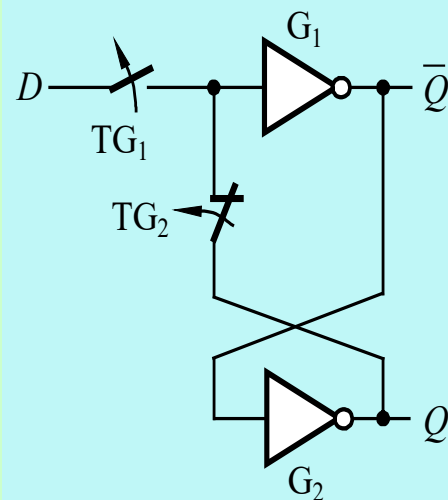
$Q = D$



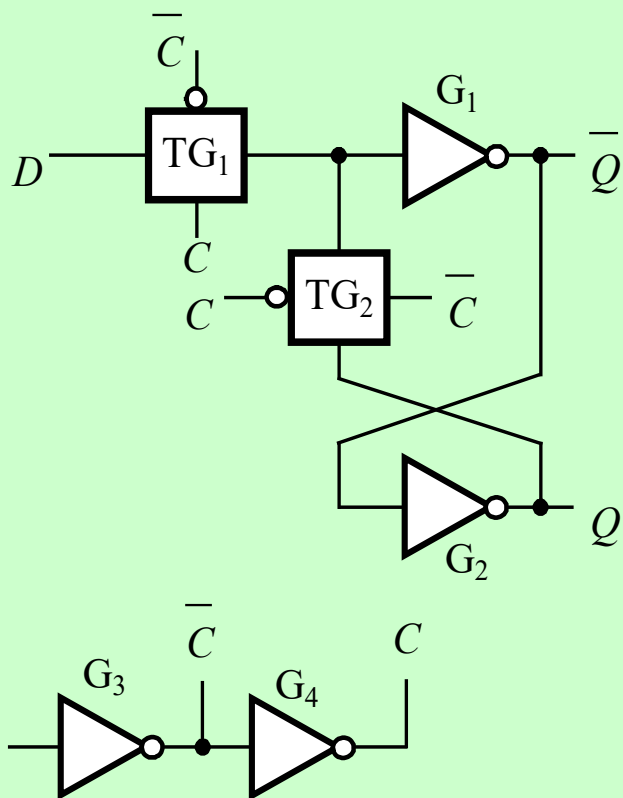
(b) $E=0$ 时

TG₂导通,
TG₁断开

Q 不变



(3) 逻辑功能



D锁存器的功能表

| E | D | Q | \bar{Q} | 功能 |
|-----|----------|-----|-----------|----|
| 0 | \times | 不变 | 不变 | 保持 |
| 1 | 0 | 0 | 1 | 置0 |
| 1 | 1 | 1 | 0 | 置1 |

$E=0,$

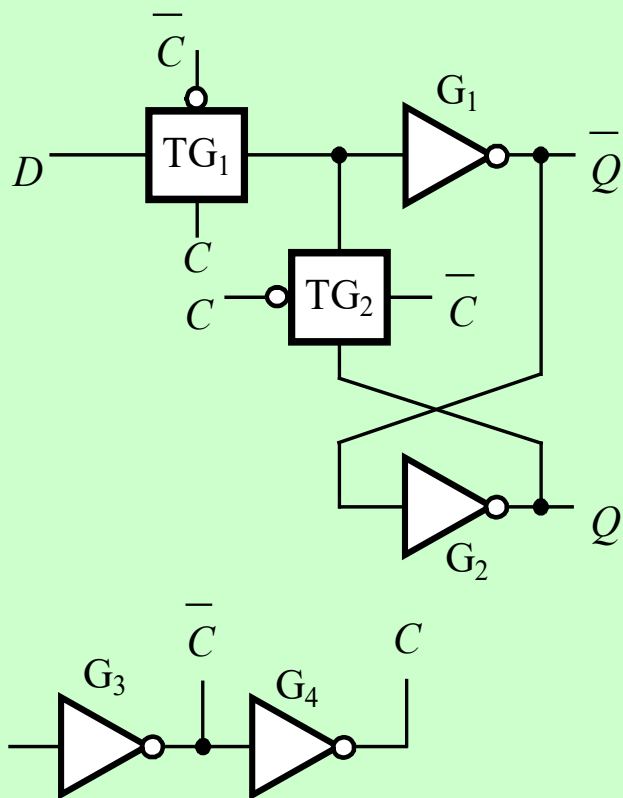
Q 不变

$E=1,$

$Q = D$

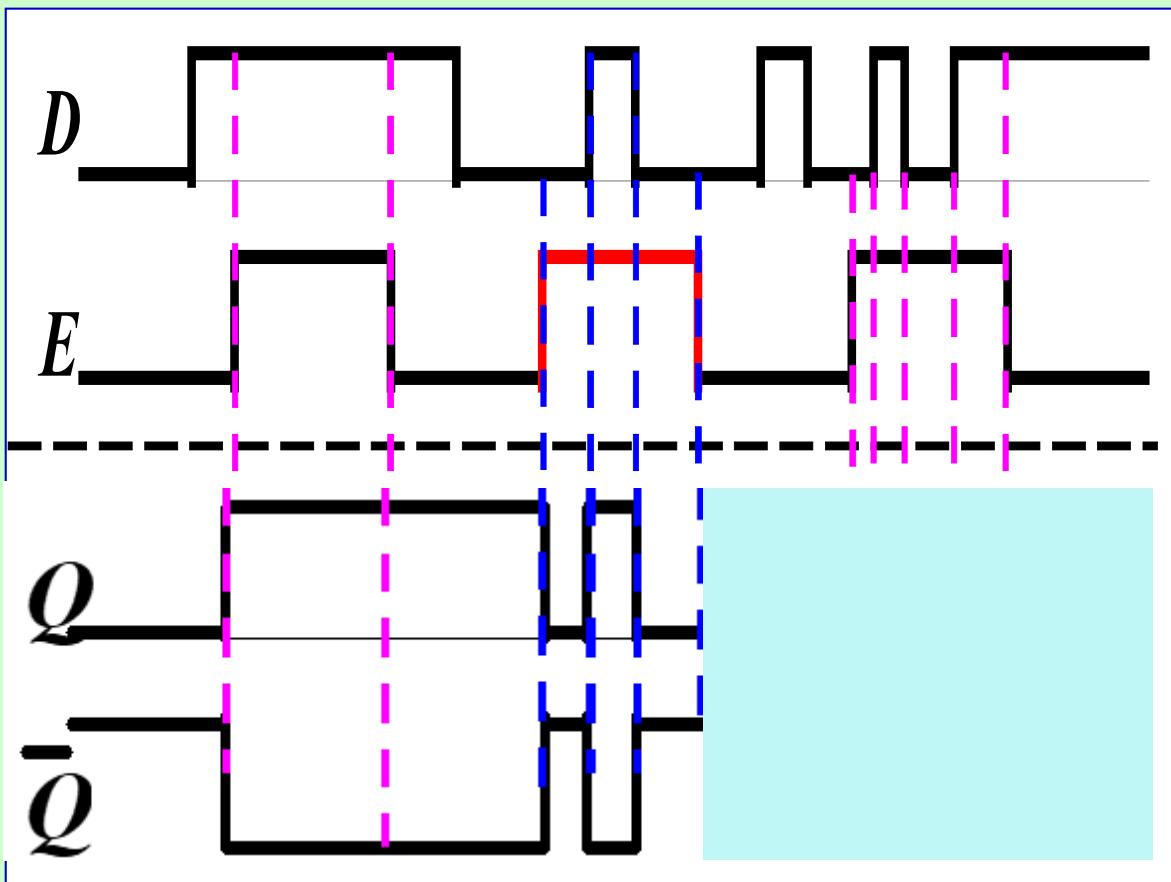
(4) 工作波形

传输门控D锁存器的 E 、 D 的波形如下图虚线上边所示，锁存器的原始状态为 $Q = 0$ ，请画出 Q 和 \bar{Q} 的波形图。



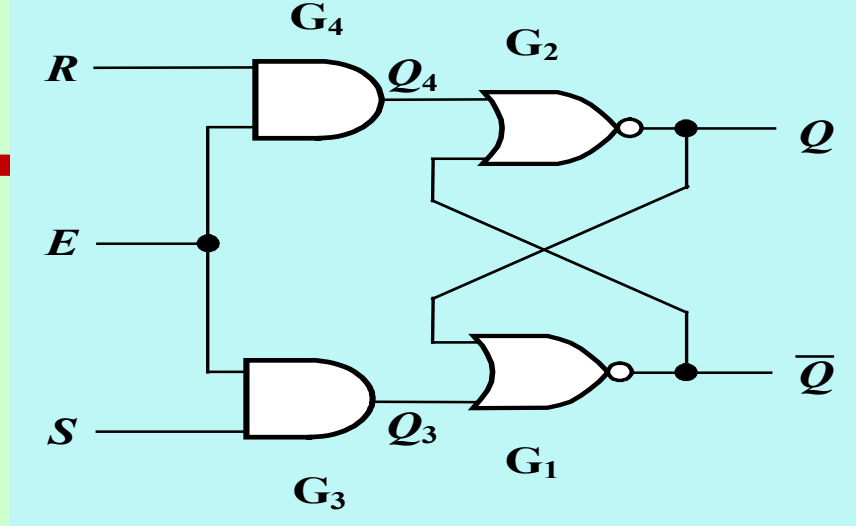
$E=0$ Q 不变

$E=1$, $Q = D$



计算机学院

数字逻辑电路



| E | D | Q | \bar{Q} | 功能 |
|-----|-----|-----|-----------|----|
| 0 | × | 不变 | 不变 | 保持 |
| 1 | 0 | 0 | 1 | 置0 |
| 1 | 1 | 1 | 0 | 置1 |

Q不变

$$Q = \mathbf{0}$$
$$Q = 1$$

计算机学院



输出使能



当 $\overline{OE} = 1$ 时，
Q0...Q7为高阻态。
当 $\overline{OE} = 0$ 时，
Q0...Q7为正常输出。

输出三态门

5.4 触发器的电路结构和工作原理

5.4.1 主从D触发器的电路结构和工作原理

5.4.2 典型主从D触发器集成电路

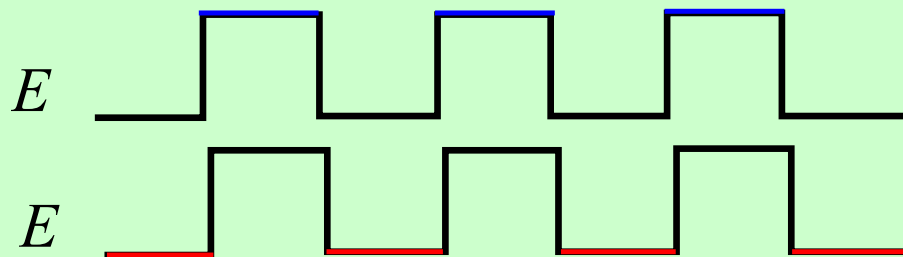
5.4.3 主从D触发器的动态特性

5.4.4 其他电路结构的触发器

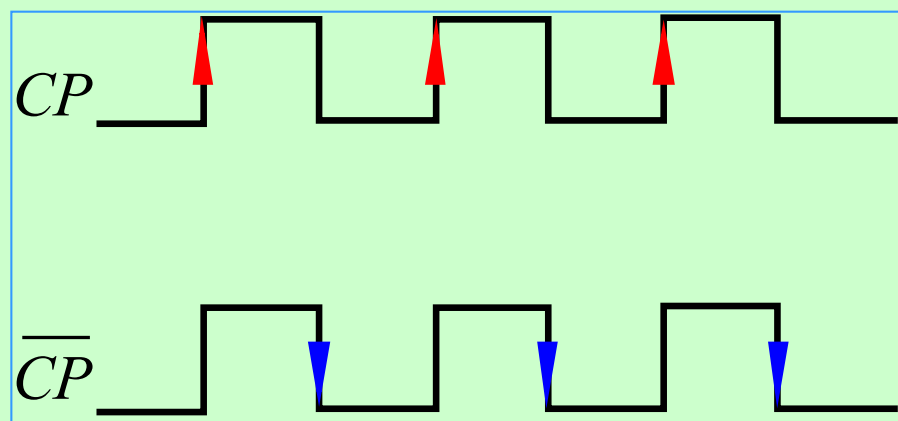
5.4 触发器的电路结构和工作原理

1. 锁存器与触发器

锁存器在**E**的高(低)电平期间对信号敏感



触发器在**CP**的上升沿(下降沿)对信号敏感



在VerilogHDL中对锁存器与触发器的描述语句是不同的

5.4 触发器的电路结构和工作原理

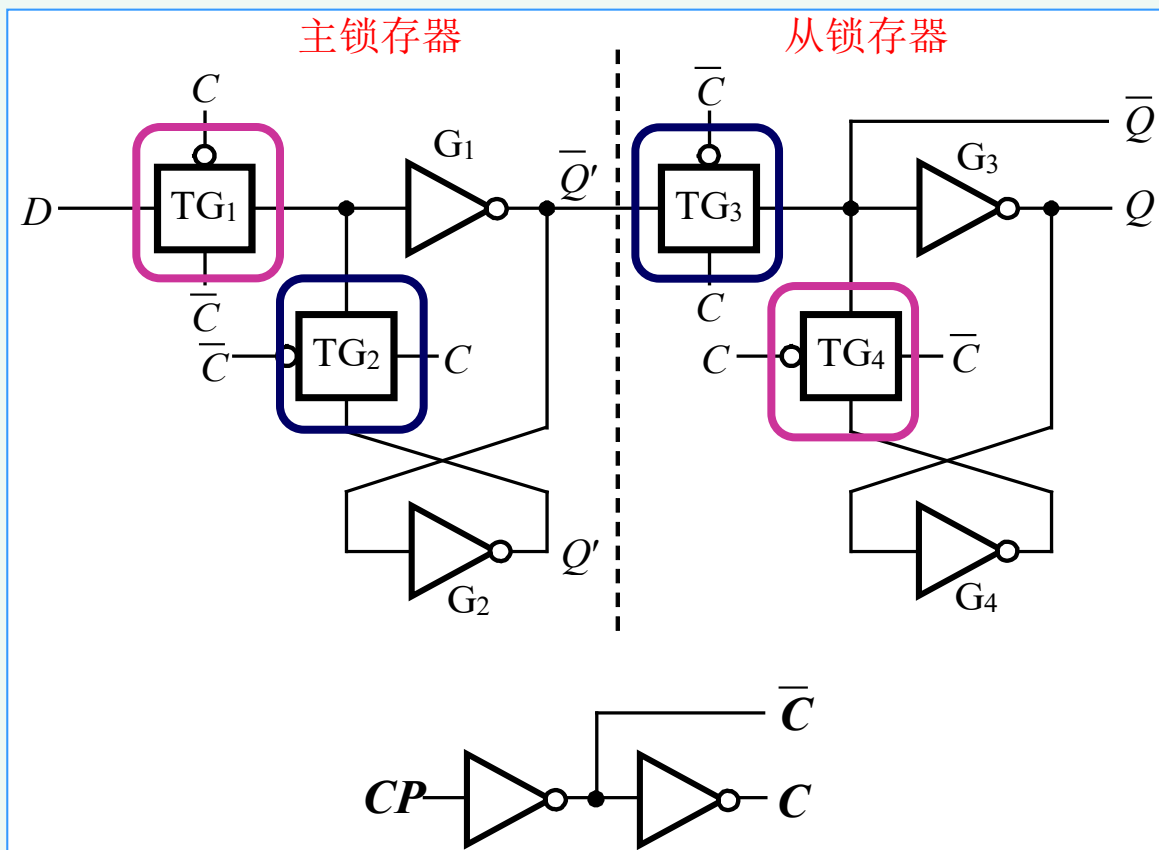
5.4.1 主从D触发器的电路结构和工作原理

1. 电路结构

主锁存器与从锁存器结构相同

TG₁和**TG₄**的工作状态相同，即两个传输门的控制信号相同。

TG₂和**TG₃**的工作状态相同，即两个传输门的控制信号相同。

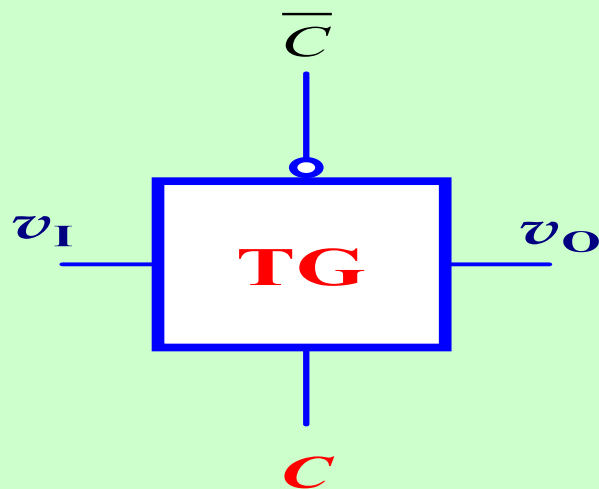
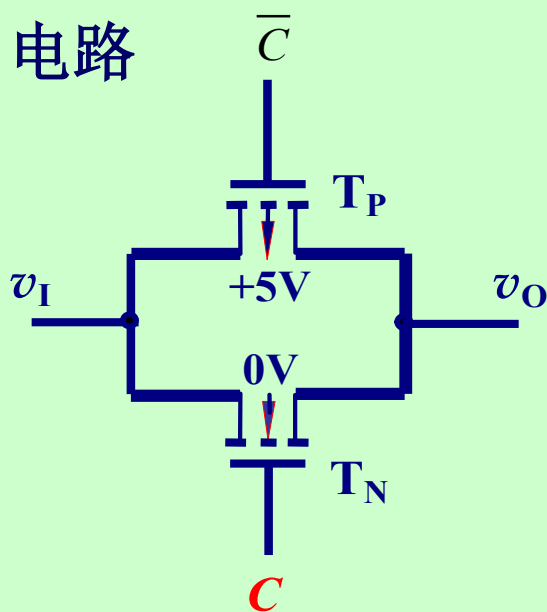


CMOS传输门(双向模拟开关)

TG=Transmission Gate

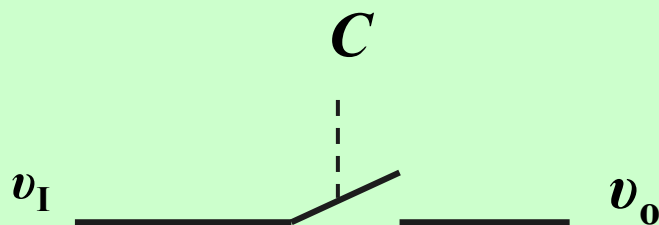
1. 传输门的结构及工作原理

传输门逻辑符号



当 $C=1$ 且 $\bar{C}=0$ 时，传输门导通

等效电路

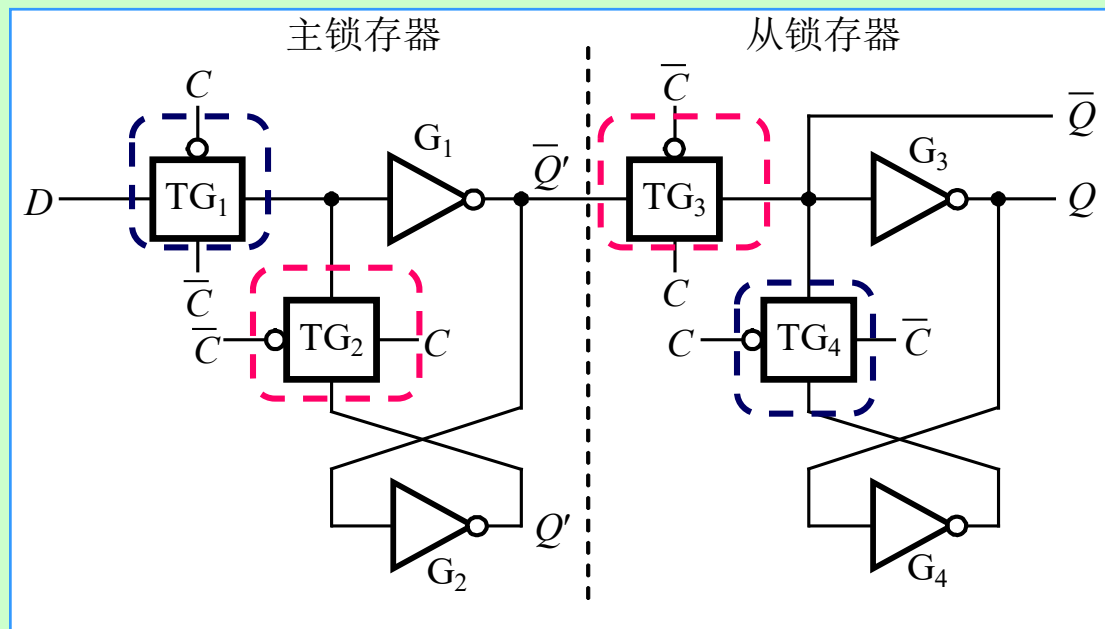
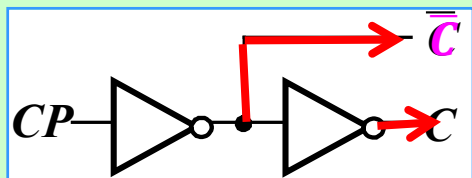


传输门就相当于电子开关,是受 C 信号控制的电子开关

2. 工作原理

(1) $CP=0$ 时:

$$\bar{C}=1, C=0,$$



TG_1 导通, TG_2 断开——输入信号 D 送入主锁存器。

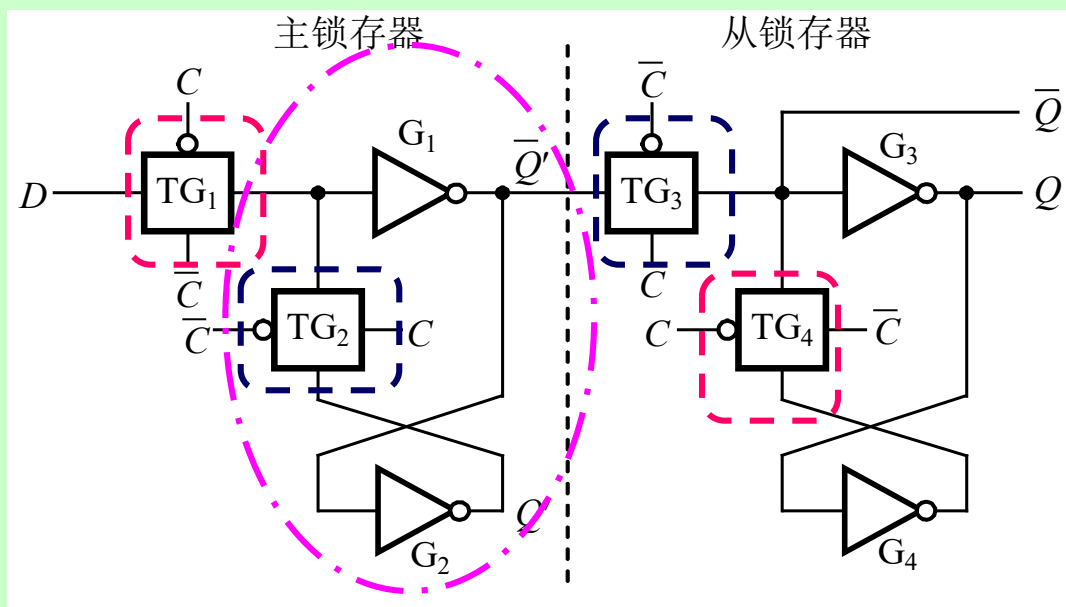
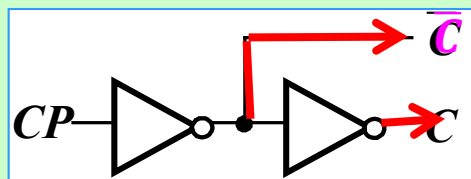
Q' 跟随 D 端的状态变化, 使 $Q'=D$ 。

TG_3 断开, TG_4 导通——从锁存器维持在原来的状态不变。

2. 工作原理

(2) CP由0跳变到1：

$$\bar{C}=0, C=1,$$



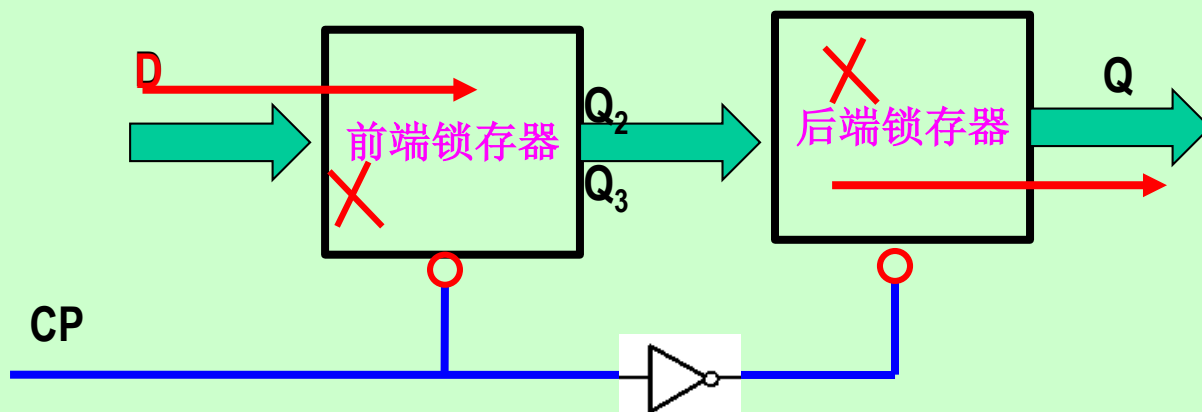
TG₁断开，TG₂导通——输入信号 D 不能送入主锁存器。

主锁存器维持原态不变。

TG₃导通，TG₄断开——主锁存器中 Q' 的信号送 Q 端。

触发器的状态仅仅取决于CP信号上升沿到达前瞬间的 D 信号

上升沿触发

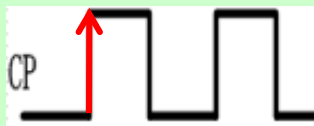


(1) CP=0时:



前端锁存器导通，后段锁存器截止。
信号D能进入前端锁存器中。

(2) CP由0跳变到1:

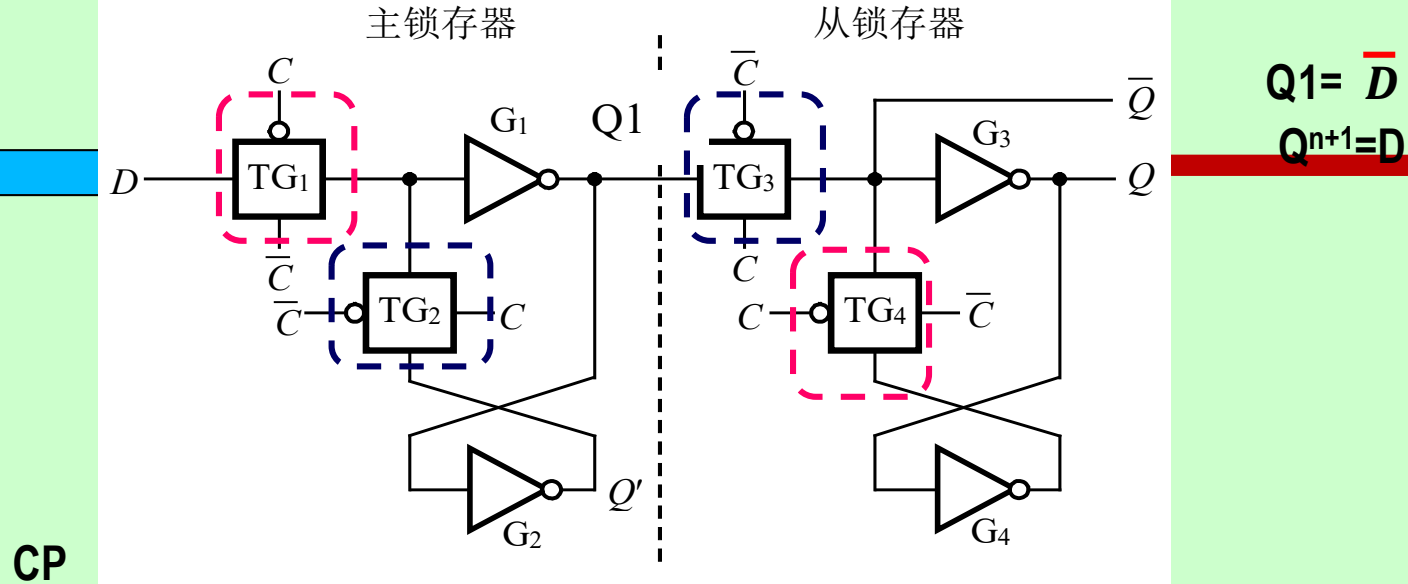


前端锁存器截止，后段锁存器导通。
信号D通过后端锁存器，传输到Q端。

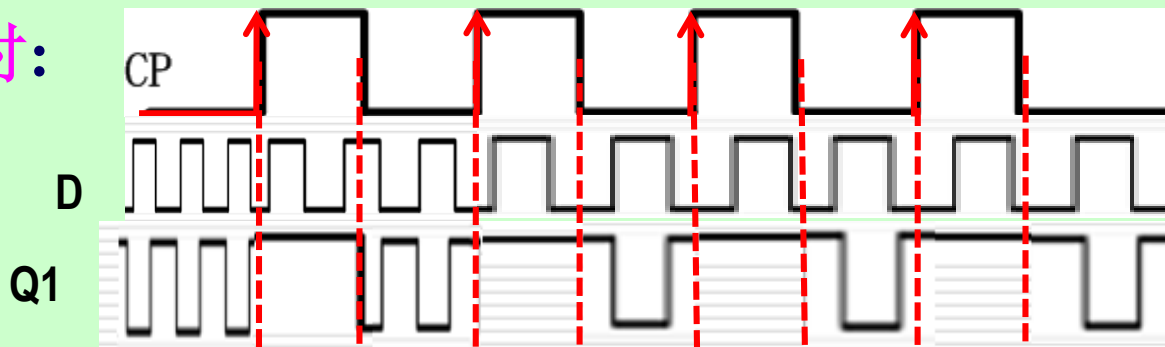
(3) CP=1，并维持高电平:

由于前端锁存器截止，信号D不能通过前端锁存器，所以与后段锁存器相连的Q端信号保持不变。

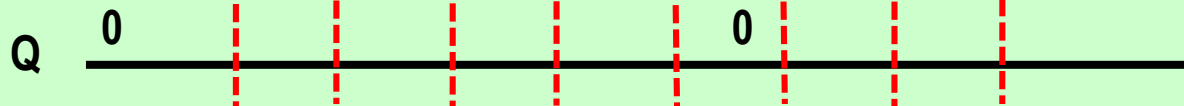
结论: 在CP脉冲的上升沿到来瞬间使触发器的状态变化



(1) CP=0时:

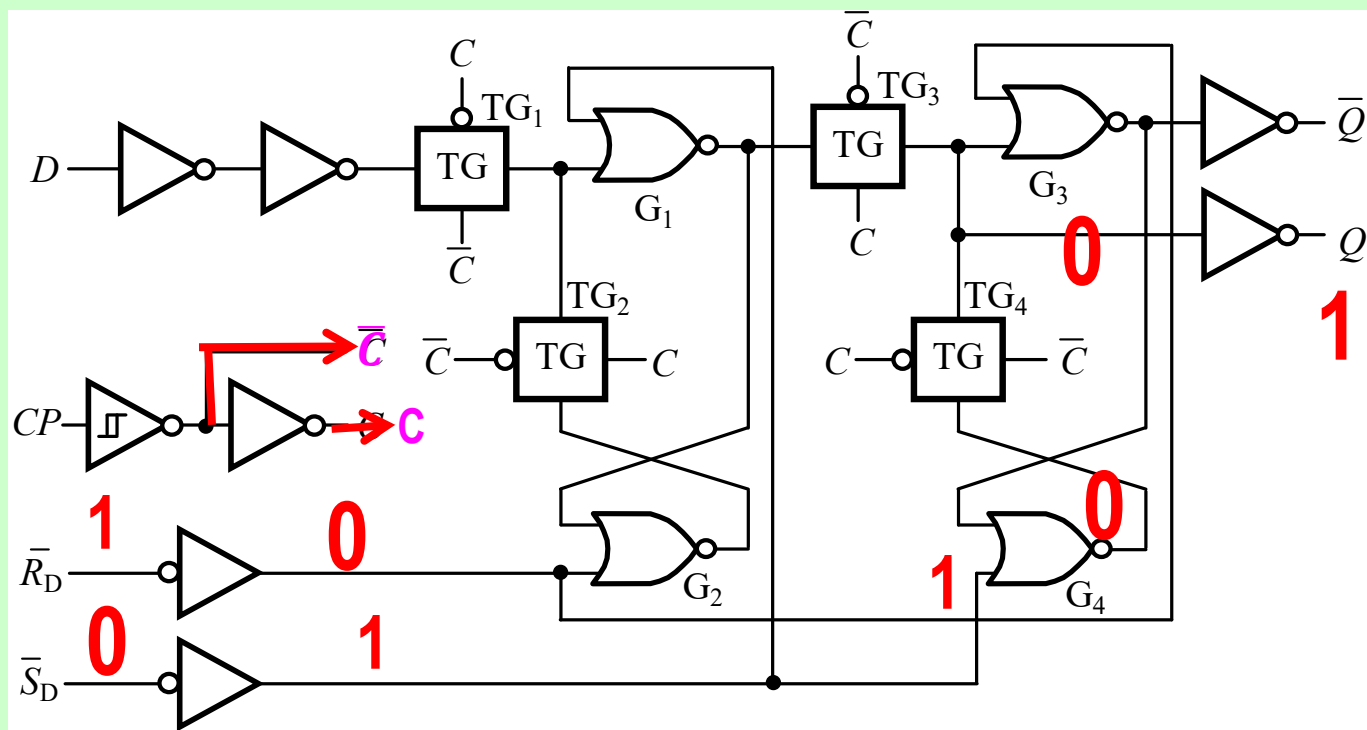


(2) CP由0跳变到1:



5.4.2 典型主从D触发器集成电路

74HC/HCT74 中D触发器的逻辑图

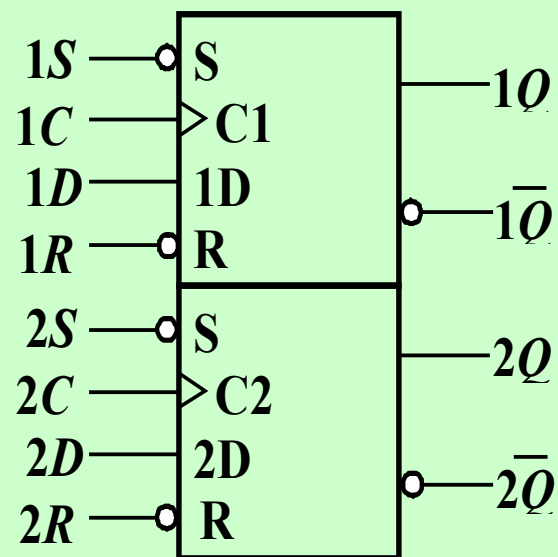


其中： \bar{S}_D 是置1、 \bar{R}_D 是置0

当 $\bar{S}_D=0$ 时，置1。

$\bar{R}_D=0$ 时，置0

74HC/HCT74的逻辑符号和功能表



国标逻辑符号

74HC/HCT74的功能表

| 输 入 | | | | 输 出 | |
|------------------|------------------|------|----------|-----------|----------------------|
| \overline{S}_D | \overline{R}_D | CP | D | Q | \overline{Q} |
| L | H | × | × | H | L |
| H | L | × | × | L | H |
| L | L | × | × | H | H |
| \overline{S}_D | \overline{R}_D | CP | D | Q^{n+1} | \overline{Q}^{n+1} |
| H | H | ↑ | L | L | H |
| H | H | ↑ | H | H | L |

具有直接置1、直接置0，正边沿触发的D功能触发器