

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

通知

1、考试时间：1月15号晚上

2、考试题型：

- 单选，填空，卡诺图化简，
- 组合电路设计题、时序电路分析题、时序电路设计题、**CMOS**电路分析题、
- 芯片的应用（**74LS138, 74LS151, 74LS161**等）
verilog代码编写和分析
- 等等

3、第六章有**30**分左右的考题。

Home work (P350)

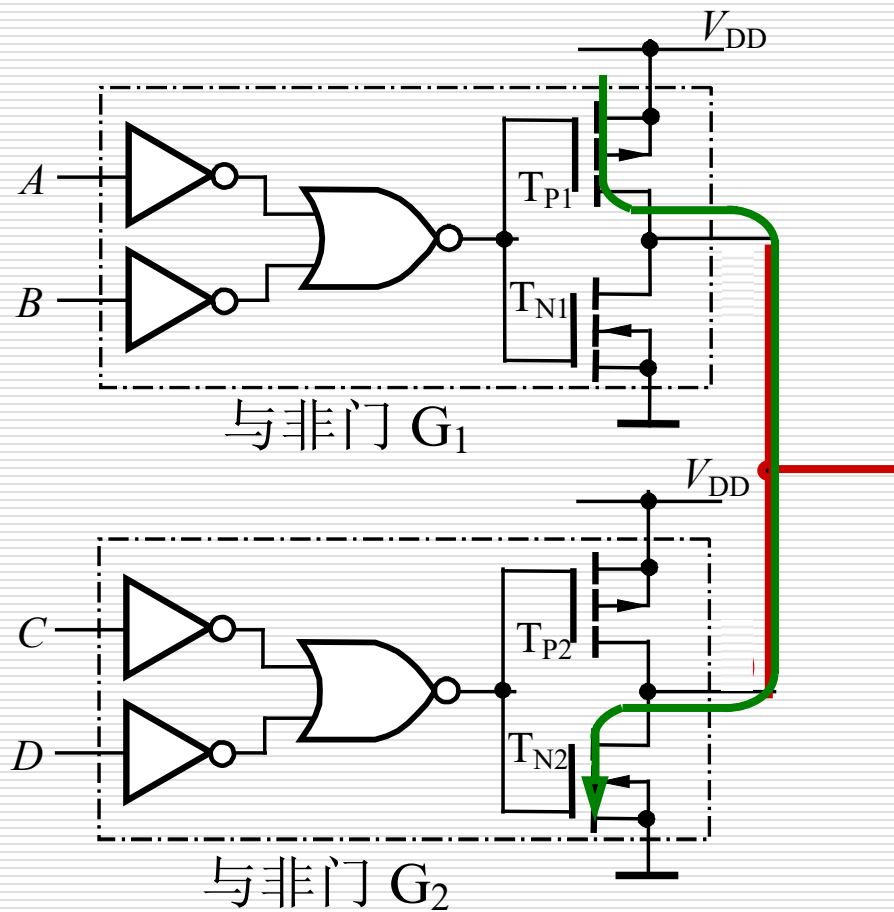
- ✎ 1、期末考试中第六章有30分左右的考题。
- ✎ 2、本次的作业(不用抄题目)
 - ✎ 6.3.2
 - ✎ 6.3.4
 - ✎ 6.3.6
 - ✎ 6.3.7
- 3、实验时间，可以随时答疑。可以回答作业或者课本中疑难问题。
- 4、本周五下午3:00-5:00，在敬亭109教师休息室答疑。
- 5、本周五晚上7:00-9:00，在敬亭109教师休息室答疑。
- 6、1月21号晚上10点前提交实验报告的电子版到坚果云里。

3.3.2 CMOS漏极开路（OD）门和三态输出门电路

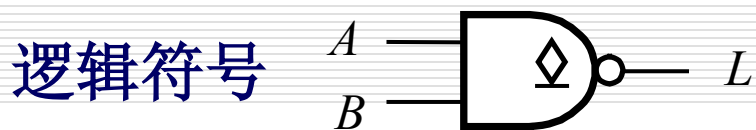
1. CMOS漏极开路门

1.) CMOS漏极开路门的提出

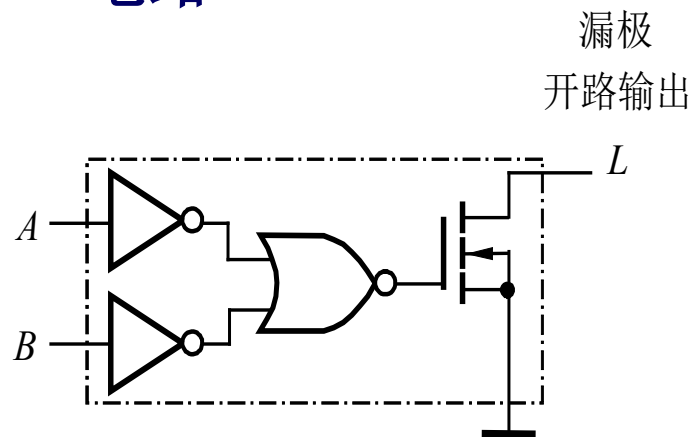
输出短接，在一定情况下会产生低阻通路，大电流有可能导致器件的损毁，并且无法确定输出是高电平还是低电平。



(2) 漏极开路门的结构与逻辑符号



电路

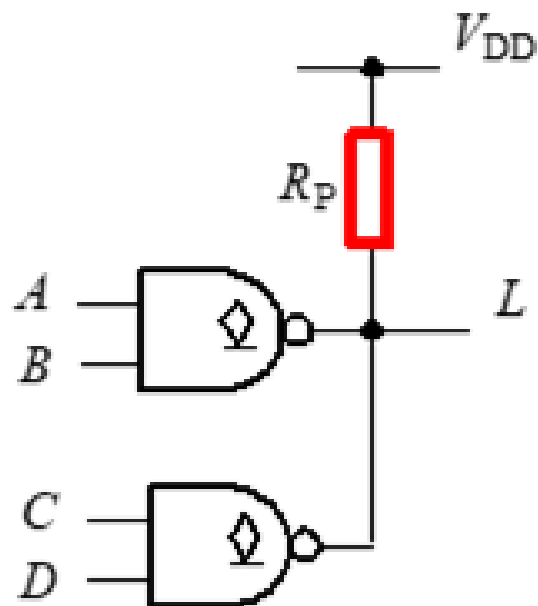


(a) 工作时必须外接电源和电阻；

(b) 与非逻辑不变

(c) 可以实现线与功能；

漏极开路门输出连接



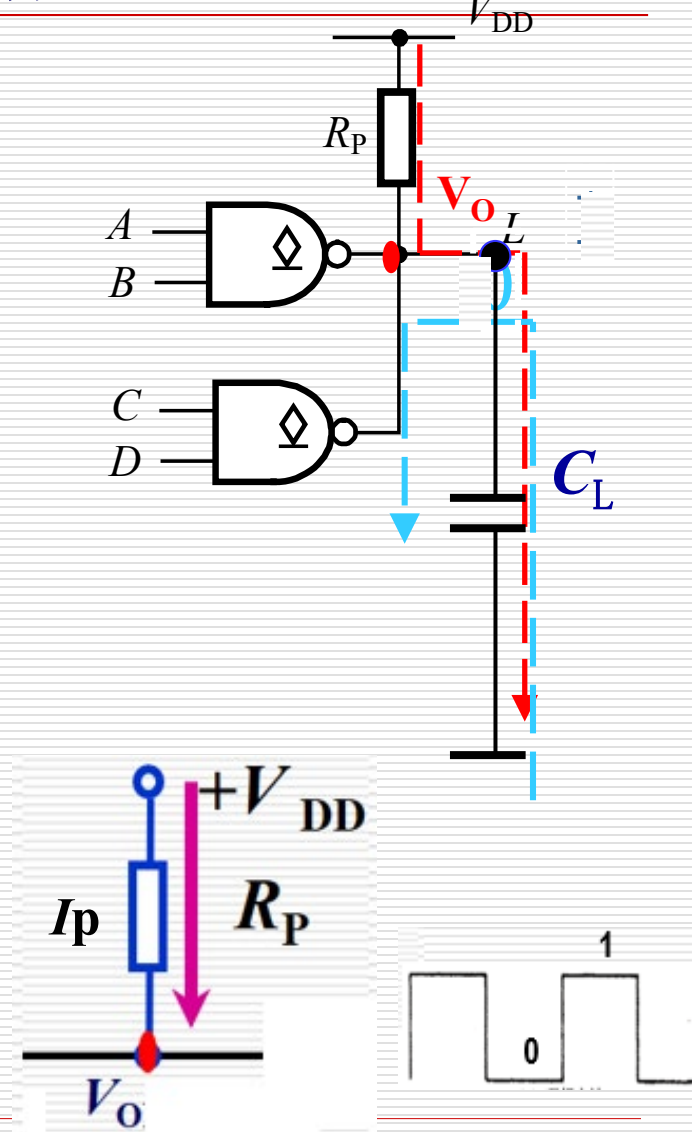
$$\begin{aligned} L &= \overline{AB} \cdot \overline{CD} \\ &= \overline{AB + CD} \end{aligned}$$

(2) 上拉电阻对OD门动态性能的影响

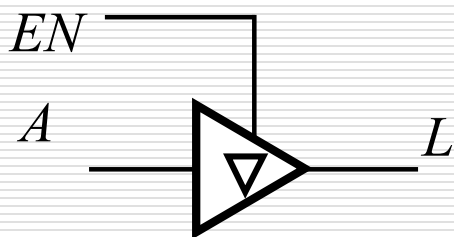
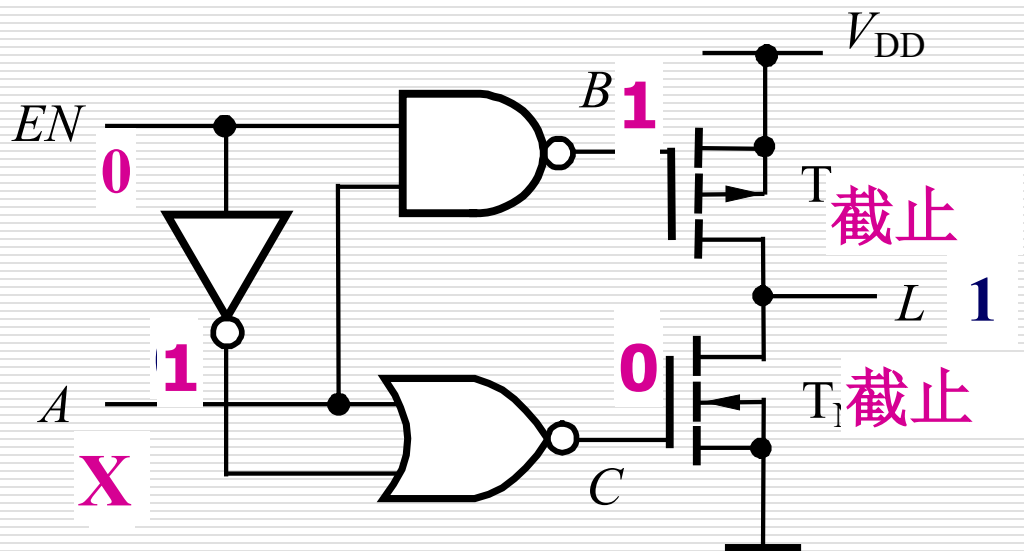
R_p 的值愈小，负载电容的充电时间常数亦愈小，因而开关速度愈快。
但功耗大，且可能使输出电流超过允许的最大值 $I_{OL(max)}$ 。

R_p 的值大，可保证输出电流不能超过允许的最大值 $I_{OL(max)}$ 、功耗小。
但负载电容的充电时间常数亦愈大，开关速度因而愈慢。

电路带电容负载



2.三态(TSL)输出门电路



使能 EN	输入 A	输出 L
1	0	0
1	1	1
0	X	高阻

逻辑功能：高电平有效的同相逻辑门

第6章 时序逻辑电路

Sequential Logic Circuit

6.3 同步时序逻辑电路的设计（期末必考）

6.3.1 设计同步时序逻辑电路的一般步骤

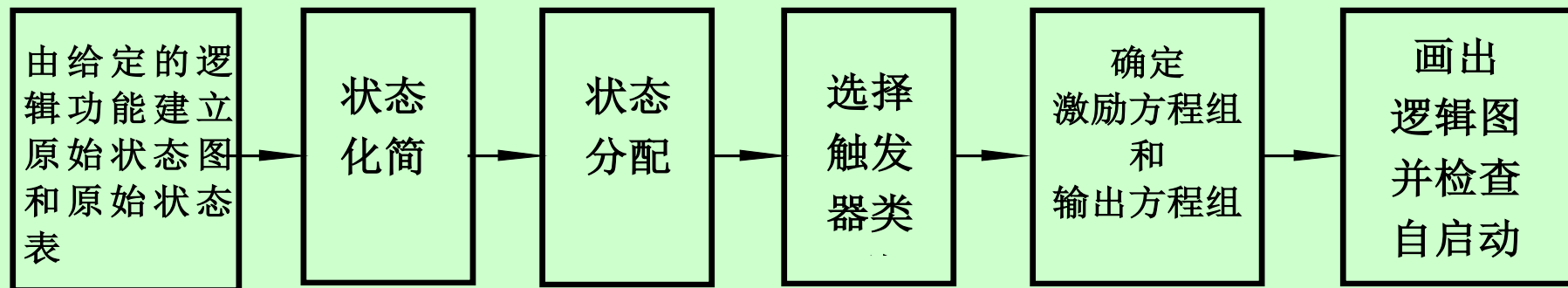
6.3.2 同步时序逻辑电路设计举例

6.3 同步时序逻辑电路的设计

同步时序逻辑电路的设计是分析的逆过程, 其任务是根据实际逻辑问题的要求, 设计出能实现给定逻辑功能的电路。

6.3.1 设计同步时序逻辑电路的一般步骤

同步时序电路的设计过程



(1) 根据给定的逻辑功能建立原始状态图和原始状态表

①明确电路的输入条件和相应的输出要求，分别确定输入变量和输出变量的数目和符号。

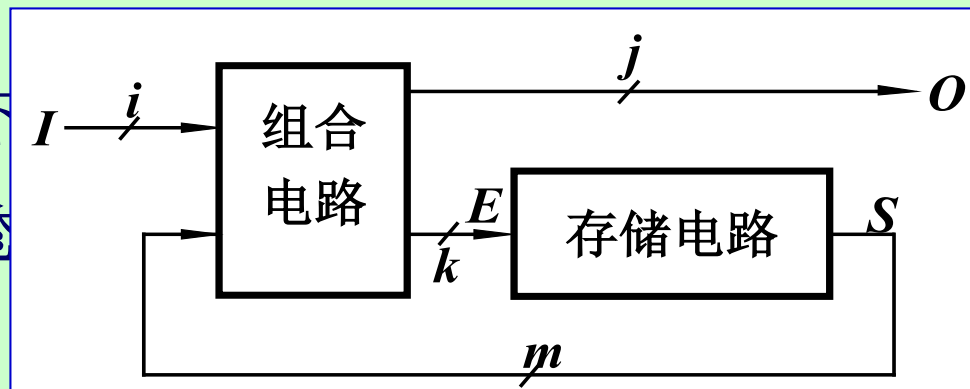
②找出所有可能的状态和状态转换之间的关系。

③根据原始状态图建立原始状态表。

(2) 状态化简-----求出最简状态图；

合并等价状态，消去多余状态的过程称为状态化简

等价状态：在相同的输入下
一个次态，这样的两个状态



(3)状态编码（状态分配）；

给每个状态赋以二进制代码的过程。

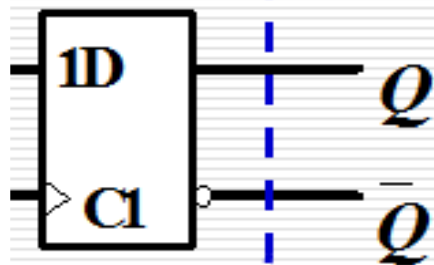
根据状态数确定触发器的个数，

$$2^{n-1} < M \leq 2^n \quad (M: \text{状态数}; n: \text{触发器的个数})$$

(4)选择触发器的类型

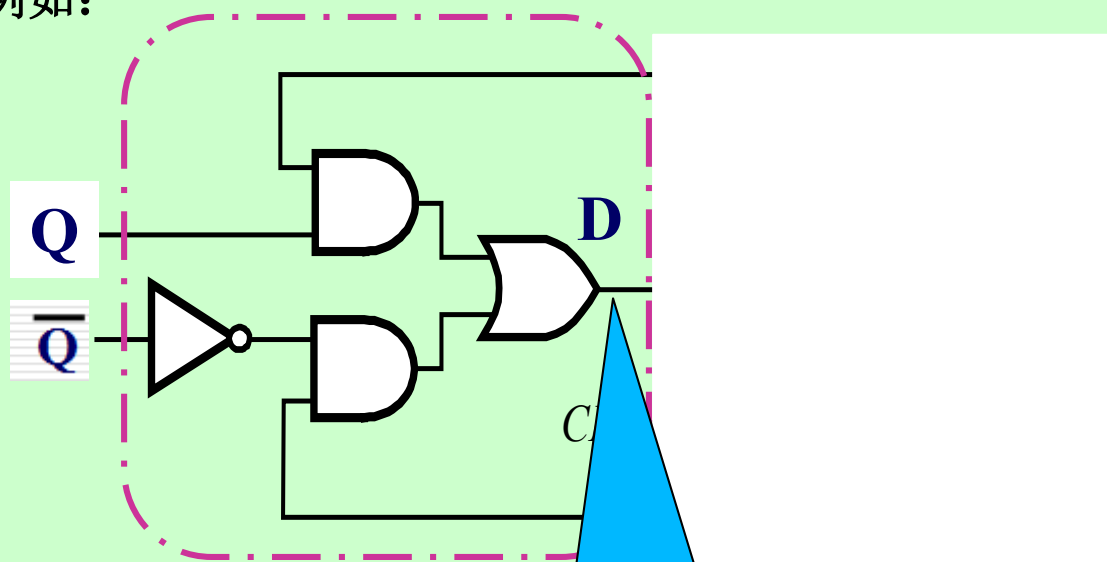
(5)求出电路的激励方程和输出方程；

(6)画出逻辑图并检查自启动能力。

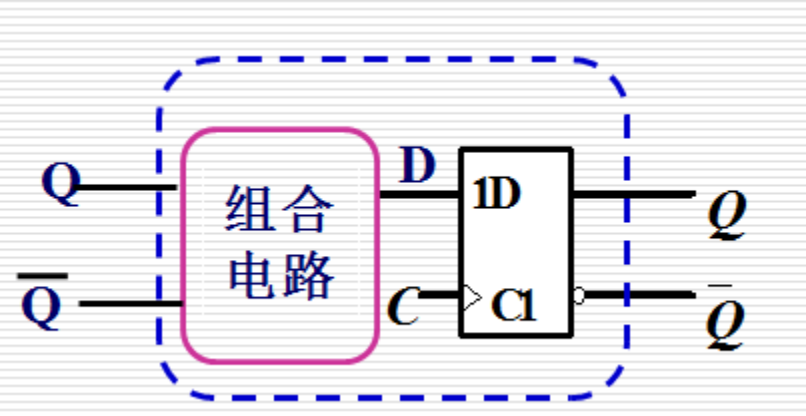


时序电路的设计
最终要转换为组
合电路的设计。

例如：



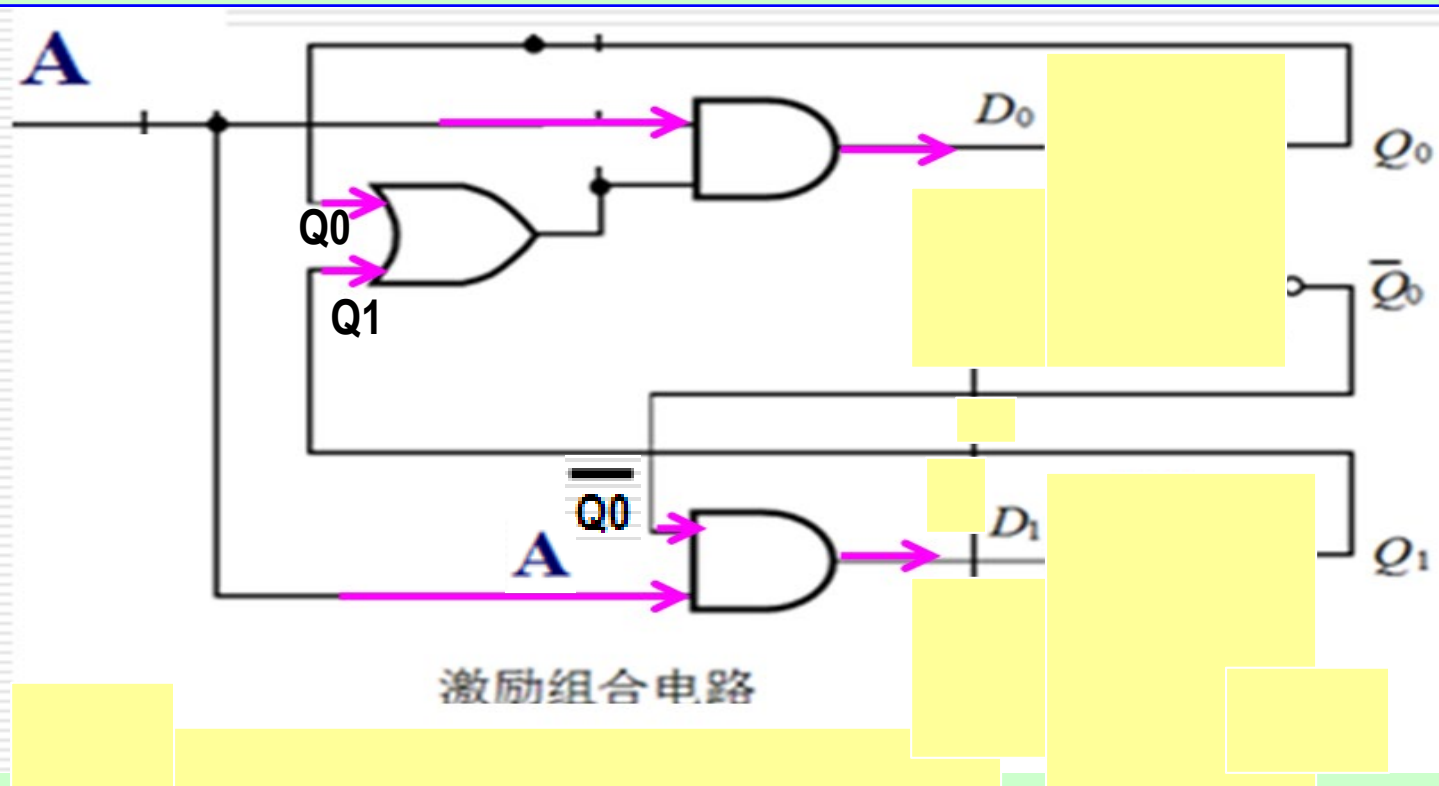
要求解的组合电路



时序电路的设计最终要转换为组合电路的设计。例如此处如果知道 D_1 和 D_0 的表达式，就可以画出整个的时序电路。

如果将D触发器隐藏起来。

再来看看 D_1 , D_0 与 Q_1 , Q_0 之间的关系式。



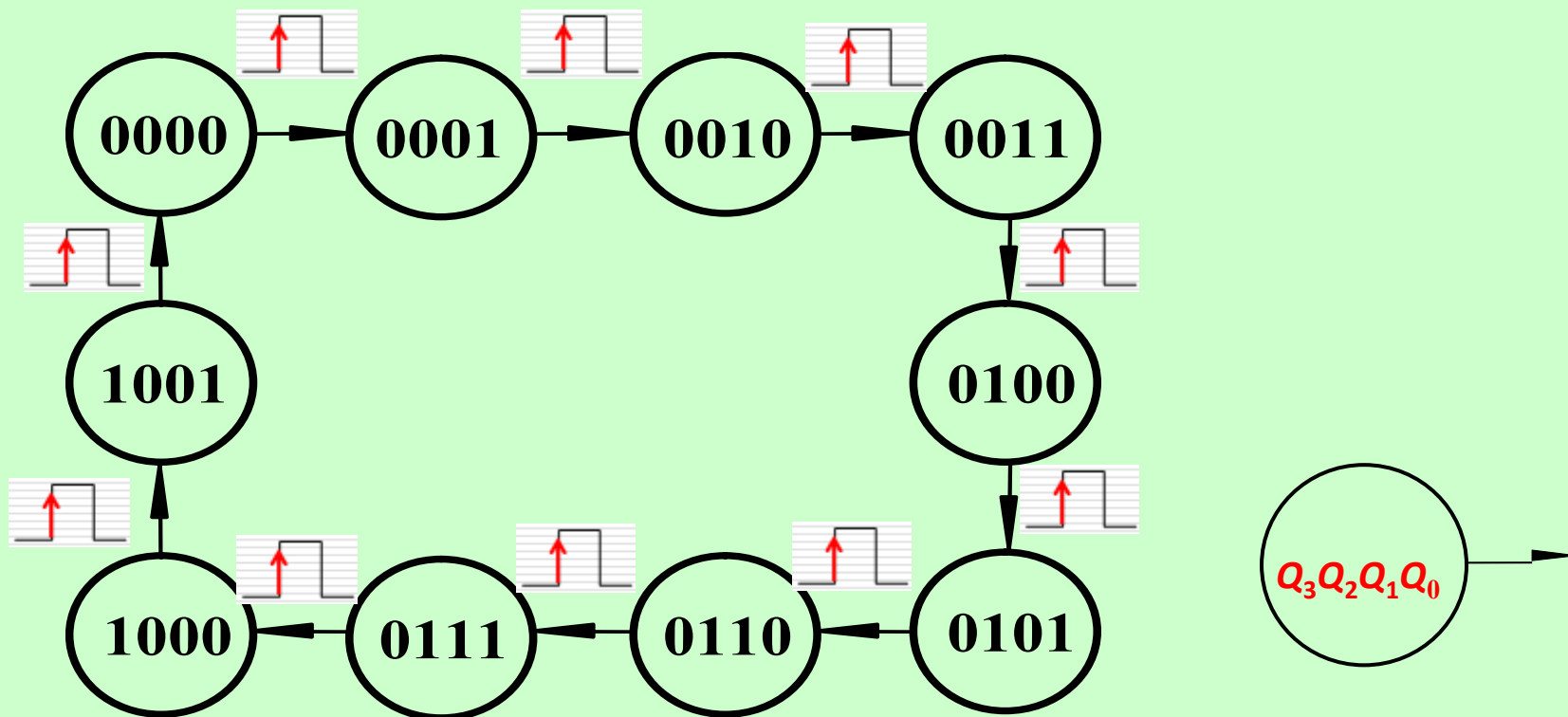
可以看出： D_1 、 D_0 是触发器现态 Q_1 和 Q_0 的函数。这个很关键。

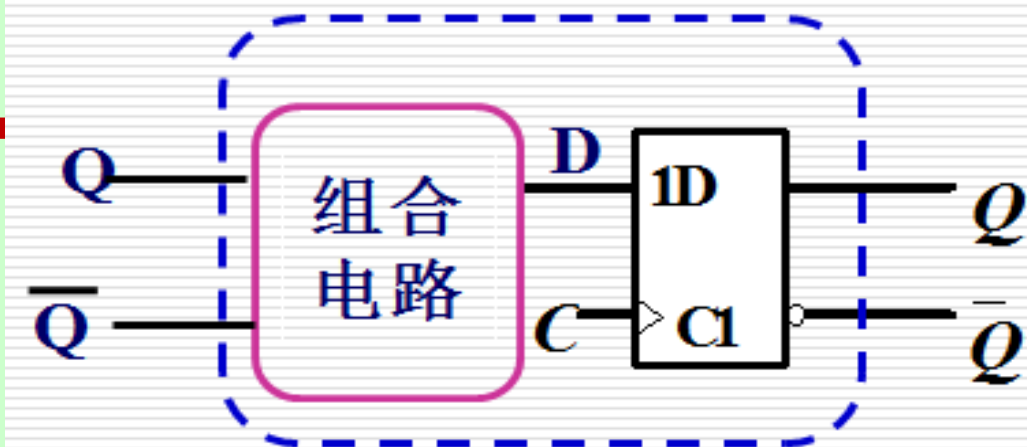
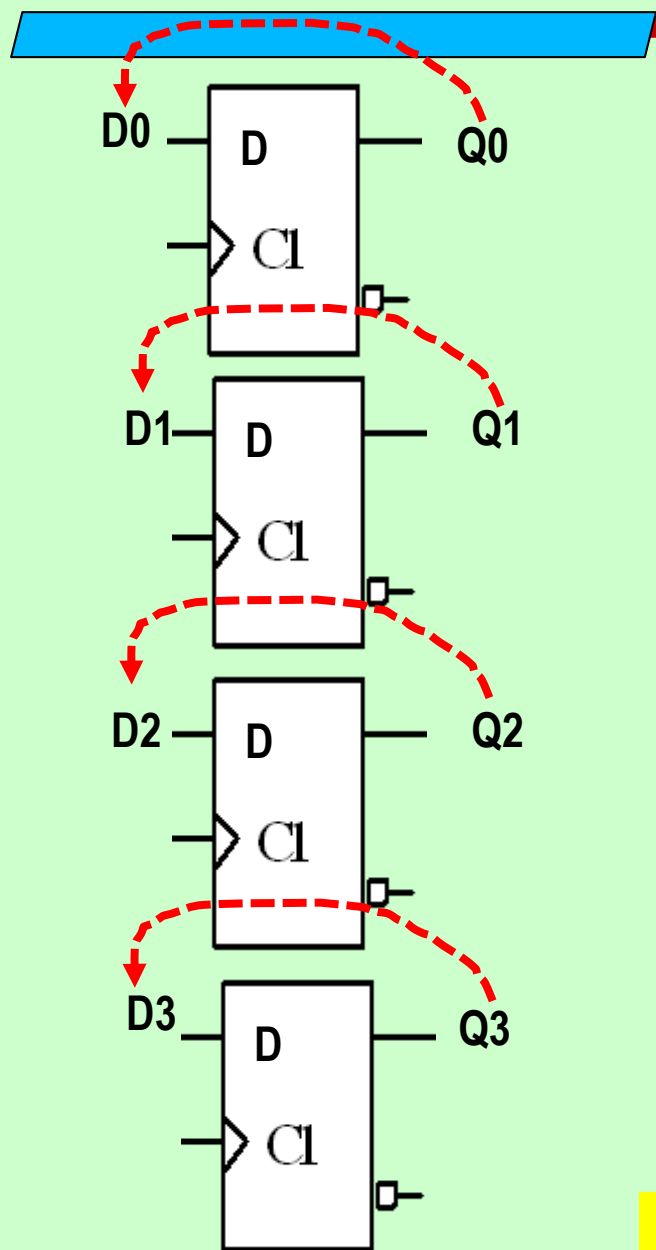
6.3.2 同步时序逻辑电路设计举例

例1 用D触发器设计一个8421 BCD码同步十进制加1计数器。

解答： **8421BCD码**：对于十进制数中的0---9中的每位用四位二进制数表示。

加1计数器：每次来一个脉冲，系统就加1。





计数脉冲CP的顺序	现 态				激励信号			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	D_3	D_2	D_1	D_0
0	0	0	0	0				
1	0	0	0	1				
2	0	0	1	0				
3	0	0	1	1				
4	0	1	0	0				
5	0	1	0	1				
6	0	1	1	0				
7	0	1	1	1				
8	1	0	0	0				

找D3、D2、D1、D0对应的表达式

6.3.2 同步时序逻辑电路设计举例

例1 用D触发器设计一个8421 BCD码同步十进制加计数器。

8421码同步十进制加计数器的状态表

计数脉冲CP的顺序	现 态				次 态			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0				
1	0	0	0	1				
2	0	0	1	0				
3	0	0	1	1				
4	0	1	0	0				
5	0	1	0	1				
6	0	1	1	0				
7	0	1	1	1				
8	1	0	0	0				
9	1	0	0	1				

(2) 确定激励方程组

计数脉冲CP的顺序	现 态				次 态				激励信号			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_3	D_2	D_1	D_0
0	0	0	0	0								
1	0	0	0	1								
2	0	0	1	0								
3	0	0	1	1								
4	0	1	0	0								
5	0	1	0	1								
6	0	1	1	0								
7	0	1	1	1								
8	1	0	0	0								
9	1	0	0	1								

(2) 确定激励方程组

计数脉冲CP的顺序	现 态				输出信号			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	D_3	D_2	D_1	D_0
0	0	0	0	0				
1	0	0	0	1				
2	0	0	1	0				
3	0	0	1	1				
4	0	1	0	0				
5	0	1	0	1				
6	0	1	1	0				
7	0	1	1	1				
8	1	0	0	0				
9	1	0	0	1				

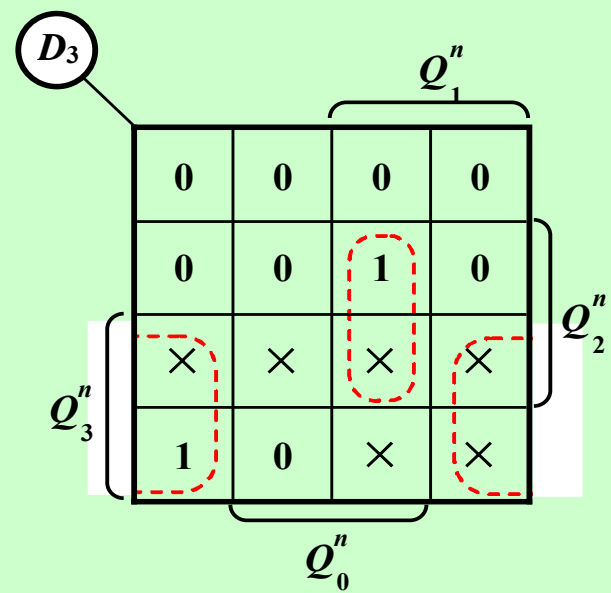
D_3 、 D_2 、 D_1 、 D_0 是触发器现态还是次态的函数？（具体见上页图形）

D_3 、 D_2 、 D_1 、 D_0 是触发器现态的函数

画出D3触发器激励信号的卡诺图

计数脉冲CP的顺序	现 态				D_3
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0

10	1	0	1	0	1			
11	1	0	1	1	0			
12	1	1	0	0	1			
13	1	1	0	1	0			
14	1	1	1	0	1			
15	1	1	1	1	1			

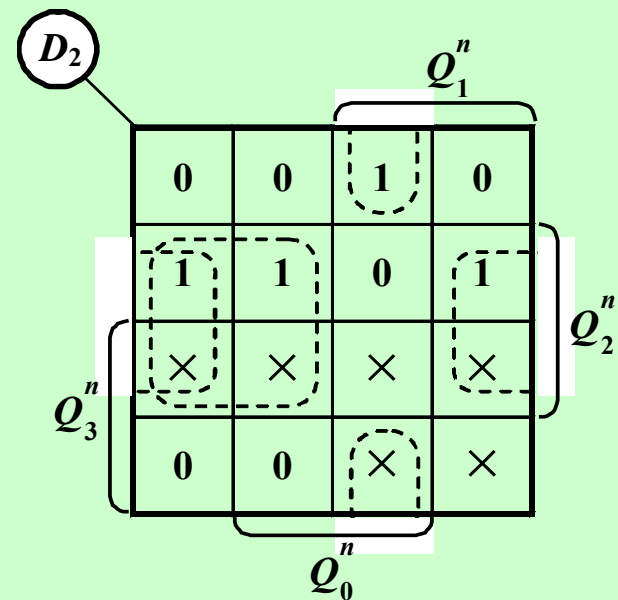


$$D_3 = Q_3^n \overline{Q_0^n} + Q_2^n Q_1^n Q_0^n$$

画出D2触发器激励信号的卡诺图

计数脉冲CP的顺序	现 态				输出值 D_2
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0

10	1	0	1	0	0		
11	1	0	1	1	1		
12	1	1	0	0	1		
13	1	1	0	1	1		
14	1	1	1	0	1		
15	1	1	1	1	0		

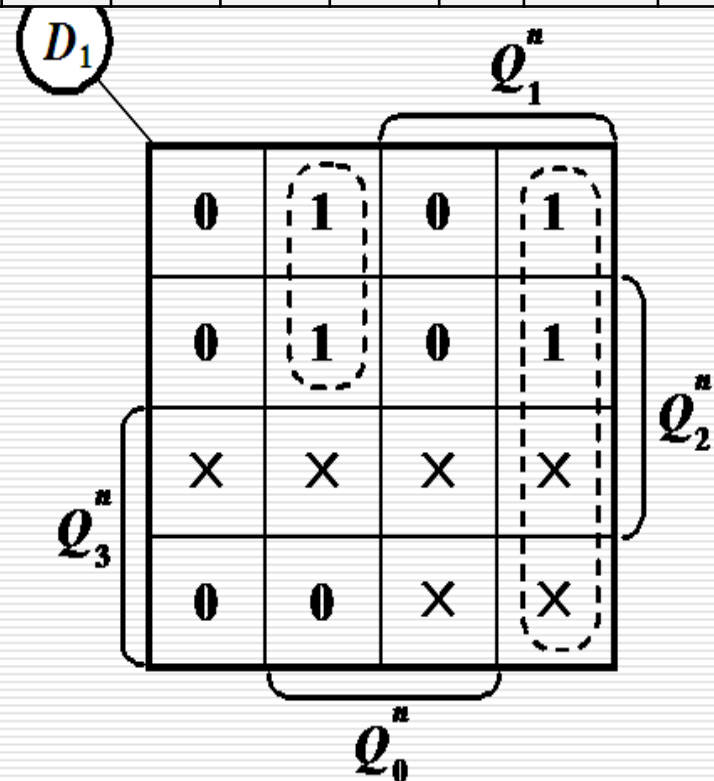


$$D_2 = \overline{Q_2^n} \overline{Q_1^n} + \overline{Q_2^n} Q_0^n + \overline{Q_2^n} Q_1^n Q_0^n$$

画出D1触发器激励信号的卡诺图

计数脉冲CP的顺序	现 态				输出信号 D_1
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0

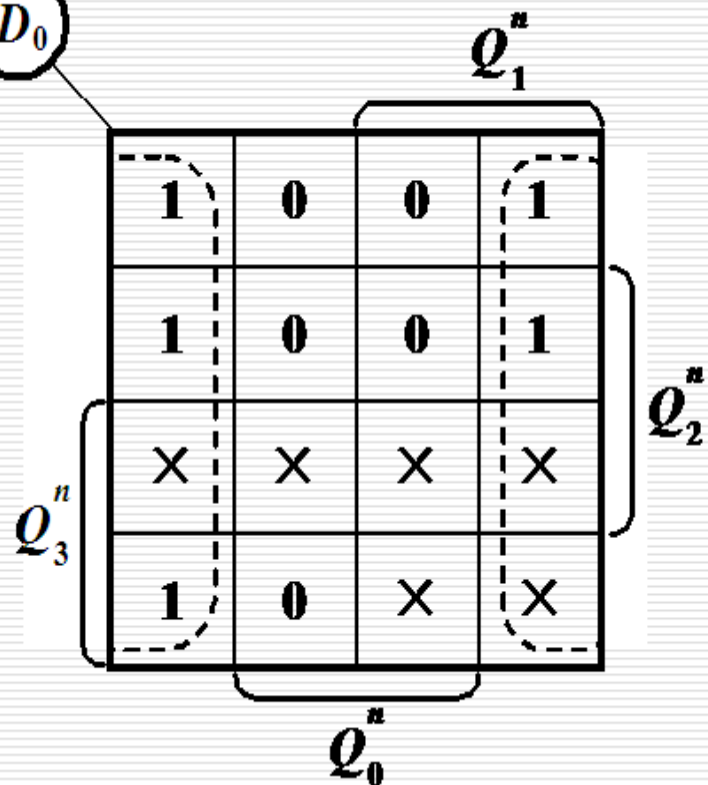
10	1	0	1	0			1
11	1	0	1	1			0
12	1	1	0	0			0
13	1	1	0	1			0
14	1	1	1	0			1
15	1	1	1	1			0



$$D_1 = Q_1^n \overline{Q_0^n} + Q_3^n \overline{Q_1^n} Q_0^n$$

画出D0触发器激励信号的卡诺图

D_0



$$D_0 = \overline{Q_0^n}$$

电路

计数脉冲CP的顺序	现 态				输出信号
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0

10	1	0	1	0			1	
11	1	0	1	1			0	
12	1	1	0	0			1	
13	1	1	0	1			0	
14	1	1	1	0			1	
15	1	1	1	1			0	

画出逻辑图

时序电路的设计最终要转换为组合电路的设计。例如此处知道D3、D2、D1和D0的表达式，就可以画出整个的时序电路。

$$D_3 = Q_3^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n$$

$$D_2 = Q_2^n \overline{Q_1^n} + Q_2^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n$$

$$D_1 = Q_1^n \overline{Q_0^n} + \overline{Q_3^n} \overline{Q_1^n} Q_0^n$$

$$D_0 = \overline{Q_0^n}$$

Q3 $\overline{Q_3}$

Q2 $\overline{Q_2}$

Q1 $\overline{Q_1}$

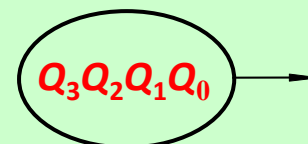
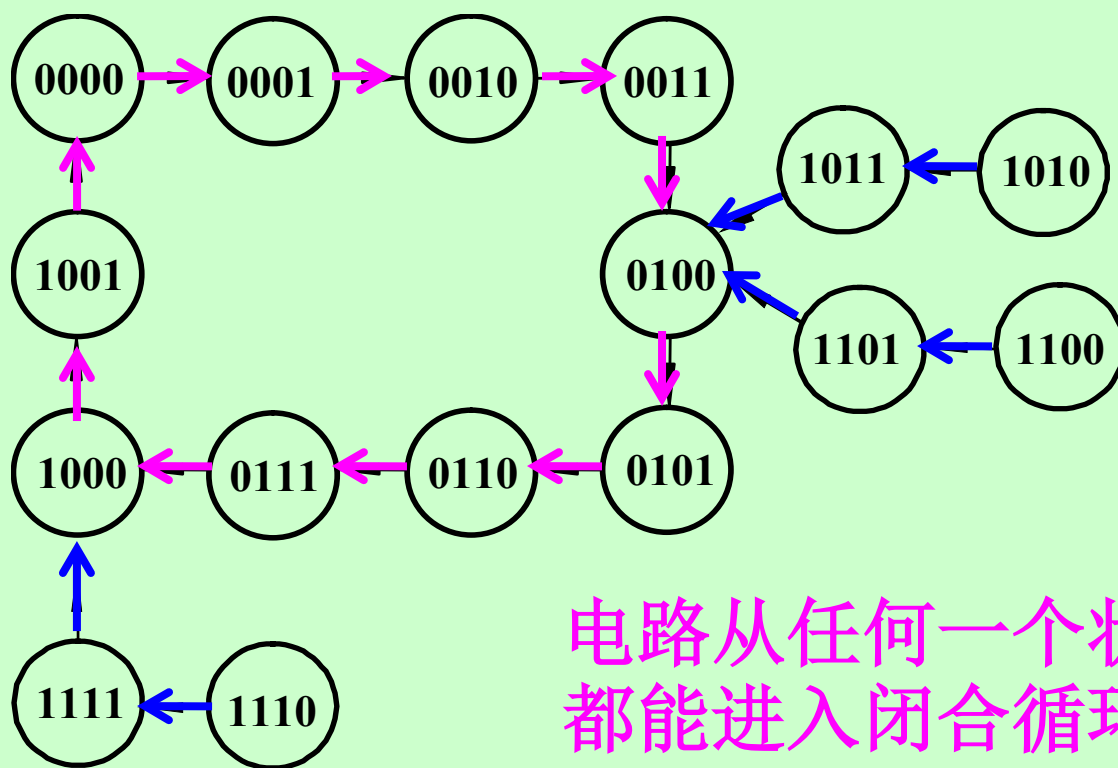
Q0 $\overline{Q_0}$

画出完全状态转换表

计数脉冲CP的顺序	现 态				次 态				输出信号			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0
2	0	0	1	0	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0	0	1	0	0
4	0	1	0	0	0	1	0	1	0	1	0	1
5	0	1	0	1	0	1	1	0	0	1	1	0
6	0	1	1	0	0	1	1	1	0	1	1	1
7	0	1	1	1	1	0	0	0	1	0	0	0
8	1	0	0	0	1	0	0	1	1	0	0	1
9	1	0	0	1	0	0	0	0	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	1	1
11	1	0	1	1	0	1	0	0	0	1	0	0
12	1	1	0	0	1	1	0	1	1	1	0	1
13	1	1	0	1	0	1	0	0	0	1	0	0
14	1	1	1	0	1	1	1	1	1	1	1	1
15	1	1	1	1	1	0	0	0	1	0	0	0

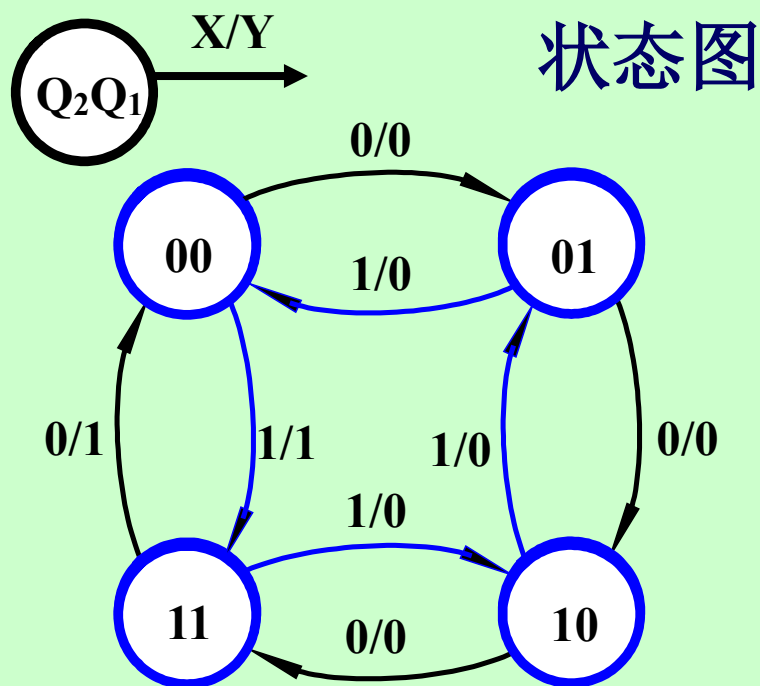
(3) 画出逻辑图，并检查自启动能力（找出闭合回路）

画出完全状态图



电路从任何一个状态启动
都能进入闭合循环圈中，
所以，电路具有自启动能力。

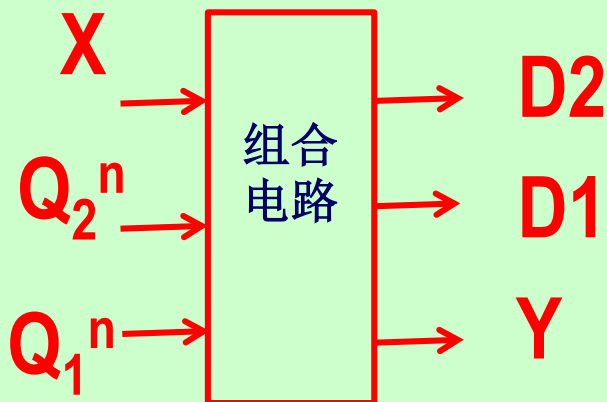
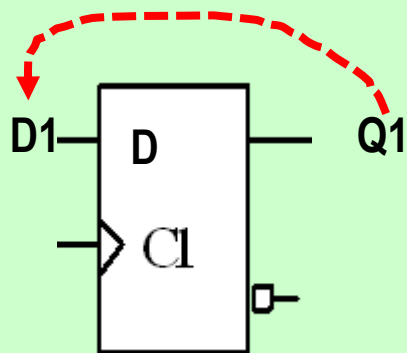
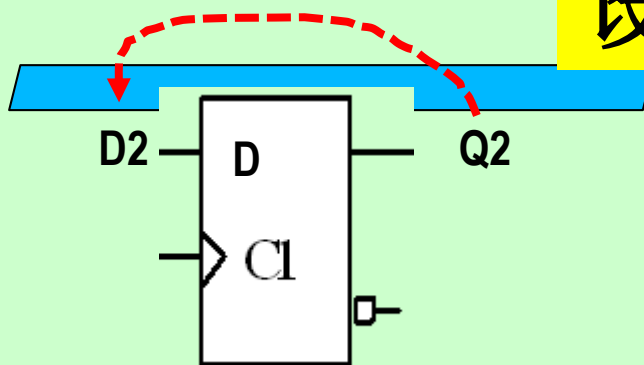
思考：已知一个**同步时序电路**的状态转换图如图所示，请选用**D触发器**设计该时序电路。画出状态转换表，写出激励方程，画出**电路对应的逻辑图**。怎么设计？



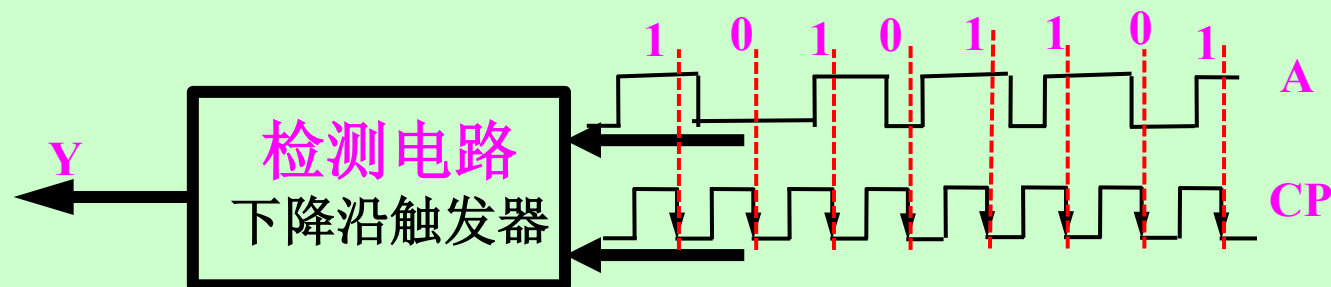
设计思路提示

状态转换真值表

现 态		输 入	次 态		输 出	激励信号	
Q_2^n	Q_1^n	X	Q_2^{n+1}	Q_1^{n+1}	Y	$\overline{D_2}$	$\overline{D_1}$
0	0	0			0	0	1
0	0	1			1	1	1
0	1	0			0	1	0
0	1	1			0	0	1
1	0	0			0	1	1
1	0	1			0	0	1
1	1	0			1	0	0
1	1	1			0	1	0



例2：设计一个串行数据检测器。电路的输入信号A是与时钟脉冲同步的串行数据，输出信号为Y；要求电路输入信号A出现110序列时，输出信号Y为1，否则为0。采用JK触发器。



通过A端随机输入一串数：

A: 011001110

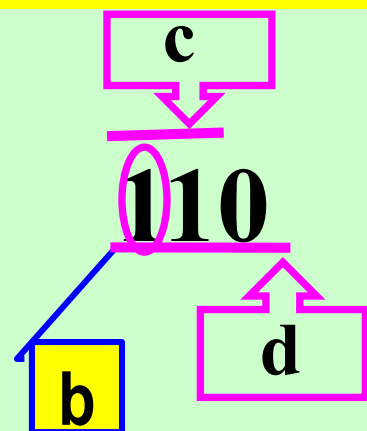
Y: 000100001

被测序列可重叠

例2

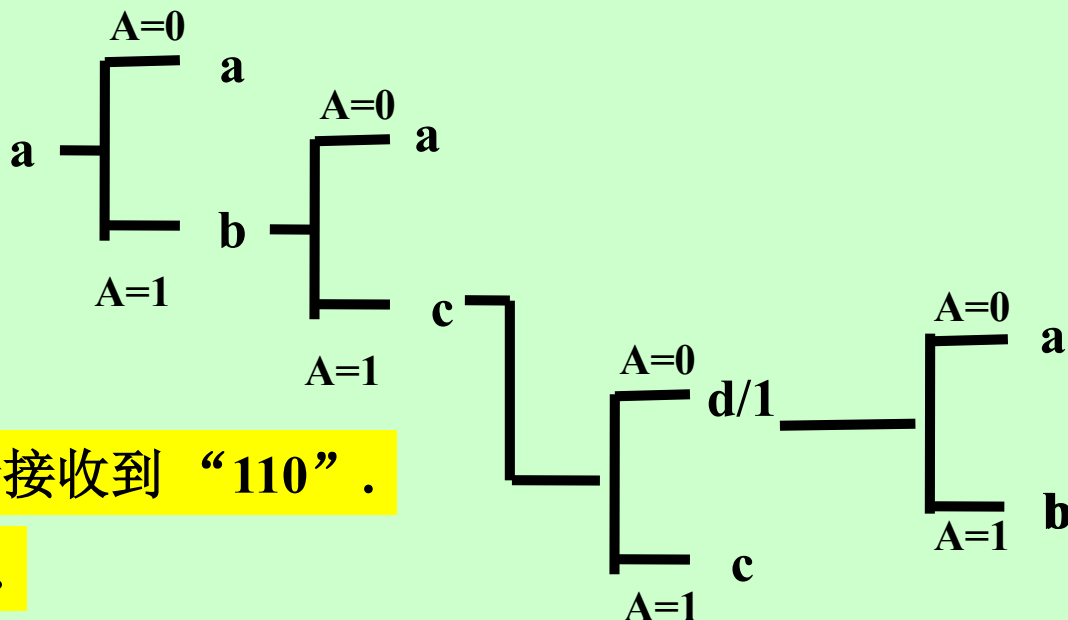
设计110序列检测器（一个输入端A、一个输出端Y）

状态c表示接收到“11”。



状态d表示接收到“110”。

状态b表示接收到一个“1”。



解：(1) 根据给定的逻辑功能建立原始状态图和原始状态表

1.) 确定输入、输出变量及电路的状态数：

输入变量：A 输出变量：Y 状态数：4个

2.) 定义输入、输出逻辑状态和每个电路状态的含义；

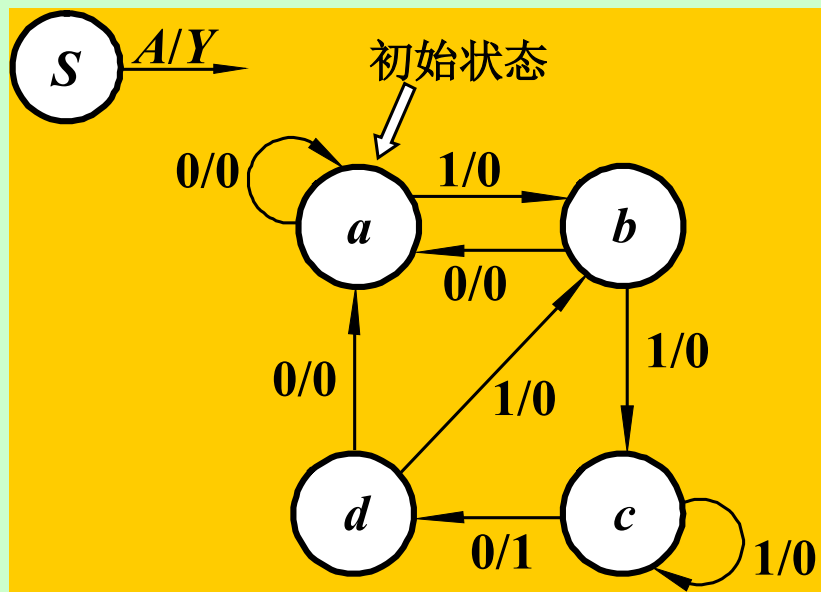
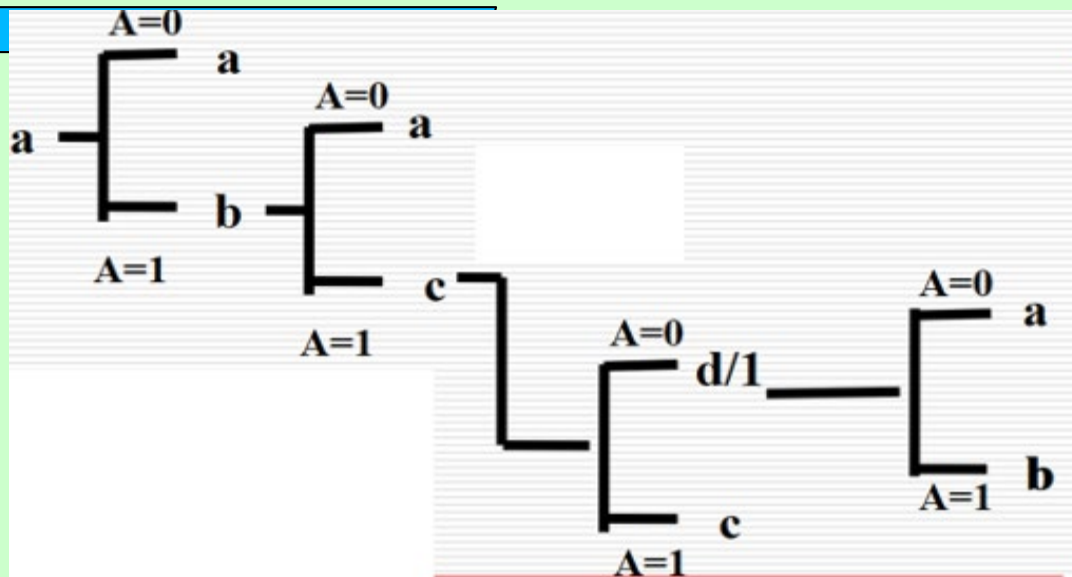
a —— 初始状态；

b —— A输入1后；

c —— A输入11后；

d —— A输入110后。

(2) 列出原始状态转换表

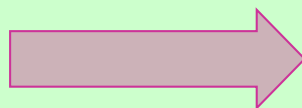


现态	次态/输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	d / 1	c / 0
d	a / 0	b / 0

2. 状态化简(找出等价状态, 消去)

合并等价状态, 消去多余状态的过程称为状态化简

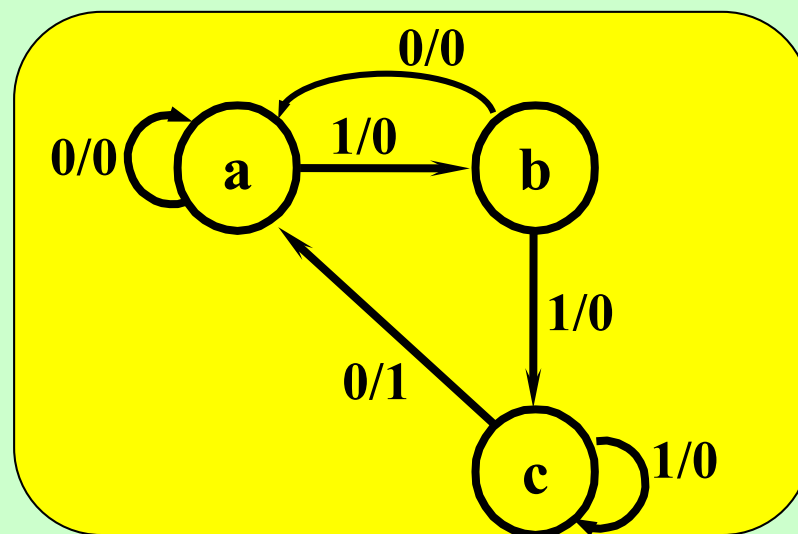
现态	次态/输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	d / 1	c / 0
d	a / 0	b / 0



现态	次态 / 输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	a / 1	c / 0

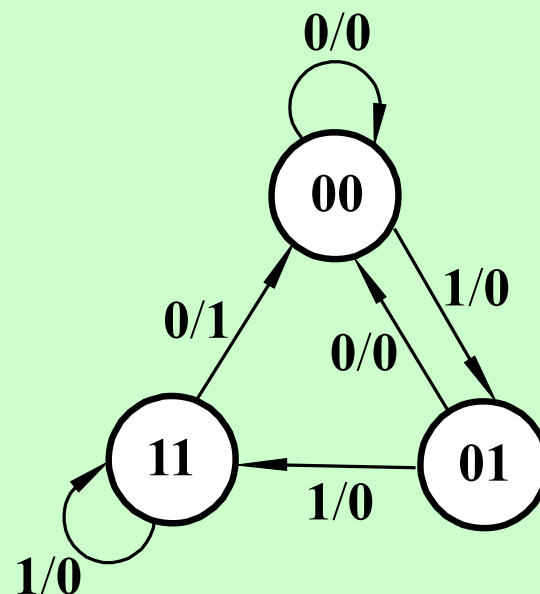
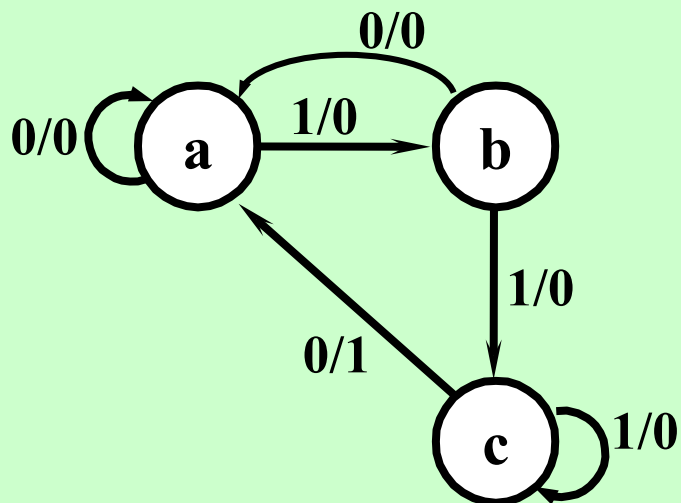


等价状态: 在相同的输入下有相同的输出, 并转换到同一个次态, 这样的两个状态称为**等价状态**。



(3) 状态分配

令 $a = 00$, $b = 01$, $c = 11$,



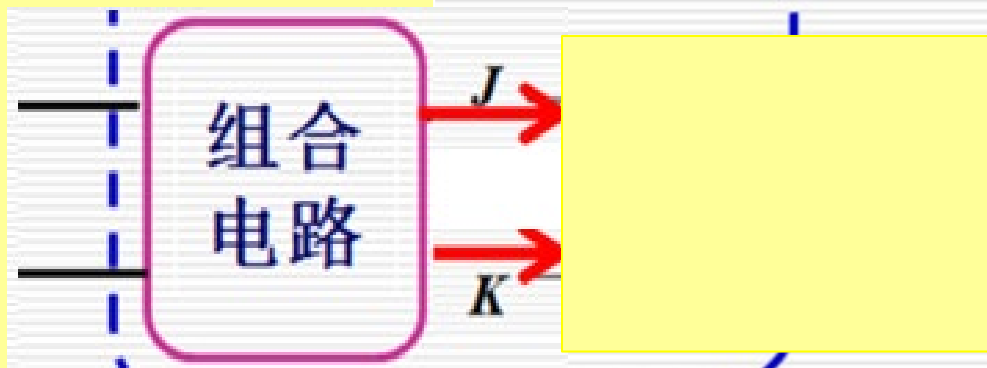
(4) 选择触发器的类型

触发器个数：两个。

类型：采用对 CP 下降沿敏感的

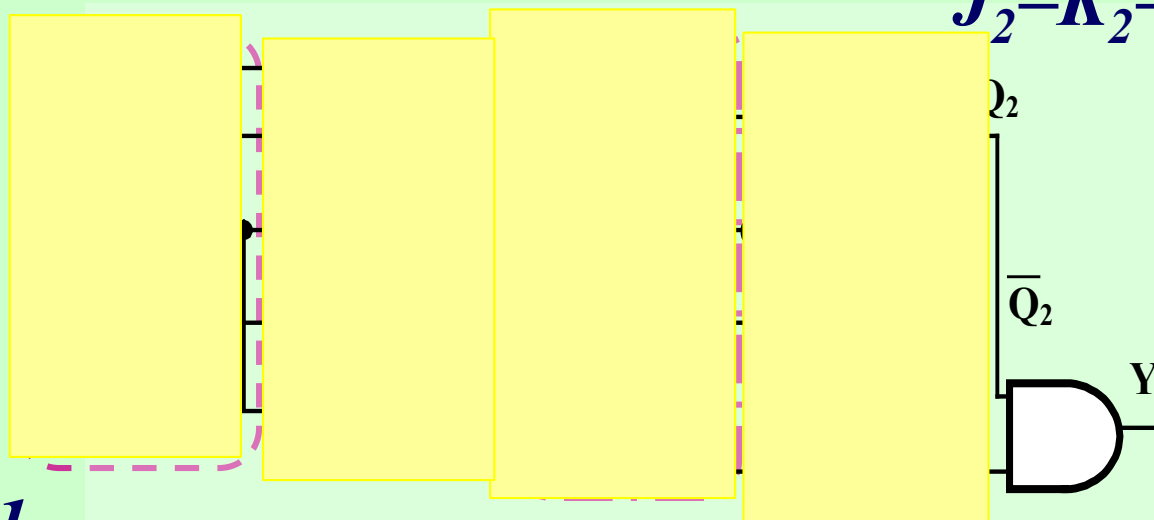
JK 触发器。

现态 Q_1Q_0	$Q_1^{n+1} Q_0^{n+1} / Y$	
	A=0	A=1
00	00 / 0	01 / 0
01	00 / 0	11 / 0
11	00 / 1	11 / 0

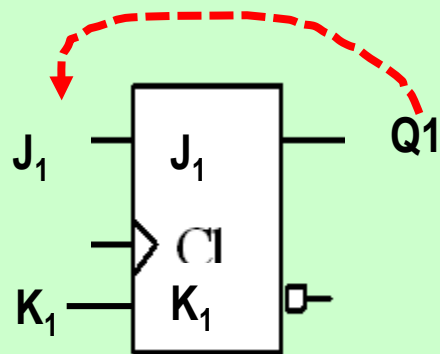
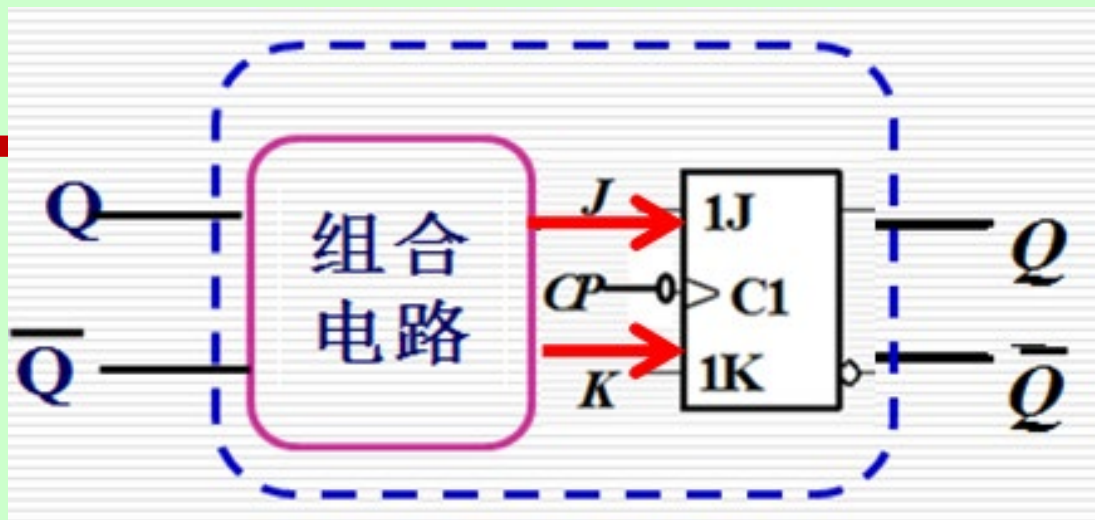
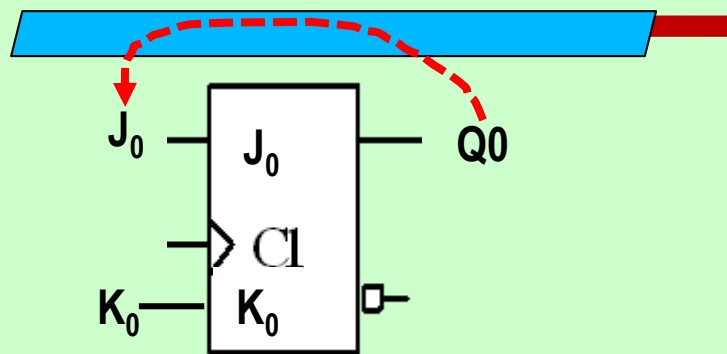


例如：

$$J_1 = K_1 = 1$$



$$J_2 = K_2 = X \oplus Q_1$$



Q_1^n	Q_0^n	A	激励信号			
			J_1	K_1	J_0	K_0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	1	0				
1	1	1				

找J0、K0、J1、K1对应的表达式

JK 触发器

1. 特性表

J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻 转
1	1	1	0	

2. 激励表

Q^n	Q^{n+1}	J	K
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

(5) 求激励方程和输出方程

激励表

Q^n	Q^{n+1}	J	K
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

现态 Q_1Q_0	$Q_1^{n+1} Q_0^{n+1} / Y$	
	A=0	A=1
00	00 / 0	01 / 0
01	00 / 0	11 / 0
11	00 / 1	11 / 0

状态转换真值表及激励信号

Q_1^n	Q_0^n	A	Y	激励信号			
				J_1	K_1	J_0	K_0
0	0	0					
0	0	1					
0	1	0					
0	1	1					
1	1	0					
1	1	1					

求激励方程的第一中方法

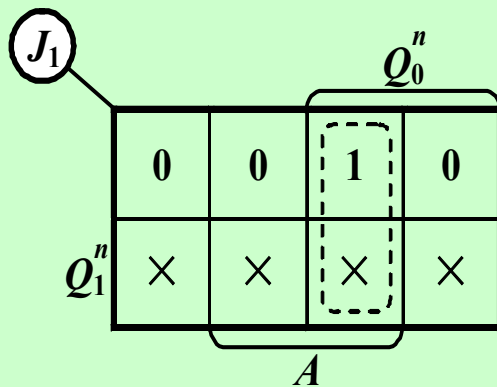
数字逻辑电路

卡诺图化简得

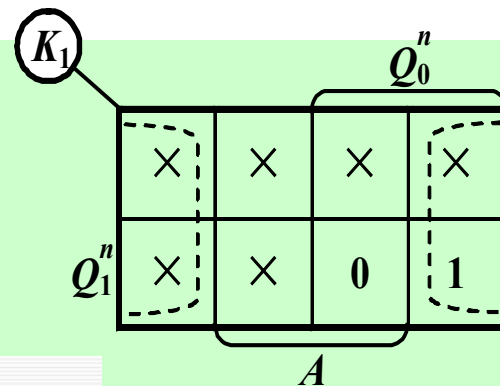
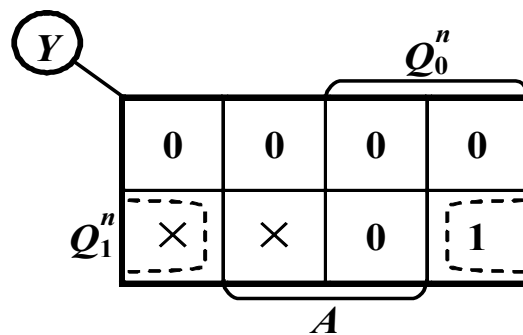
输出方程

$$Y = Q_1 \bar{A}$$

激励方程



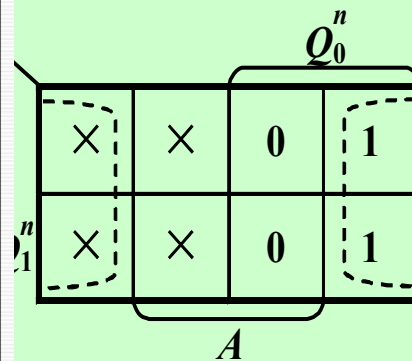
$$J_1 = Q_0 A$$



$$K_1 = \bar{A}$$

状态转换真值表及激励信号

Q_1^n	Q_0^n	A	Y	激励信号			
				J_1	K_1	J_0	K_0
0	0	0	0	0	×	0	×
0	0	1	0	0	×	1	×
0	1	0	0	0	×	×	1
0	1	1	0	1	×	0	×
1	1	0	1	×	1	×	1
1	1	1	0	×	0	×	0



$$K_0 = \bar{A}$$

求激励方程的第一种方法

(6) 根据激励方程和输出方程画出逻辑图,并检查自启动能力

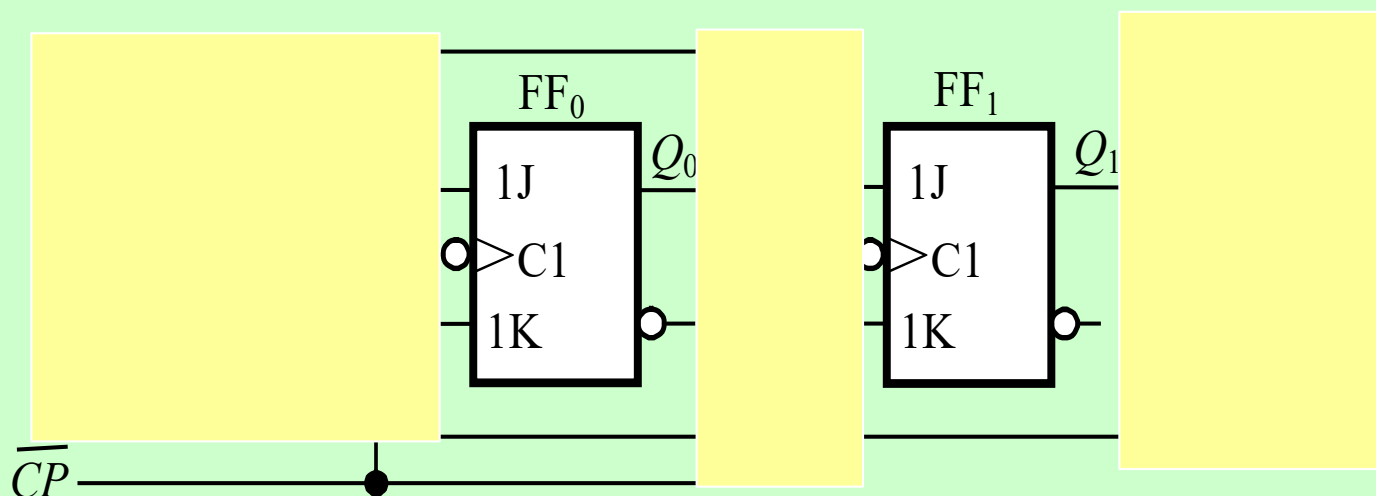
激励方程

$$J_1 = Q_0 A \quad K_1 = \overline{A}$$

$$J_0 = A \quad K_0 = \overline{A}$$

输出方程

$$Y = Q_1 \overline{A}$$



检查自启动能力和输出是否只有一处输出为1.

画出完全状态转换表

当 $Q_1 Q_0 = 10$ 时

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$J_1 = Q_0 A \quad K_1 = \bar{A}$$

$$J_0 = A \quad K_0 = \bar{A}$$

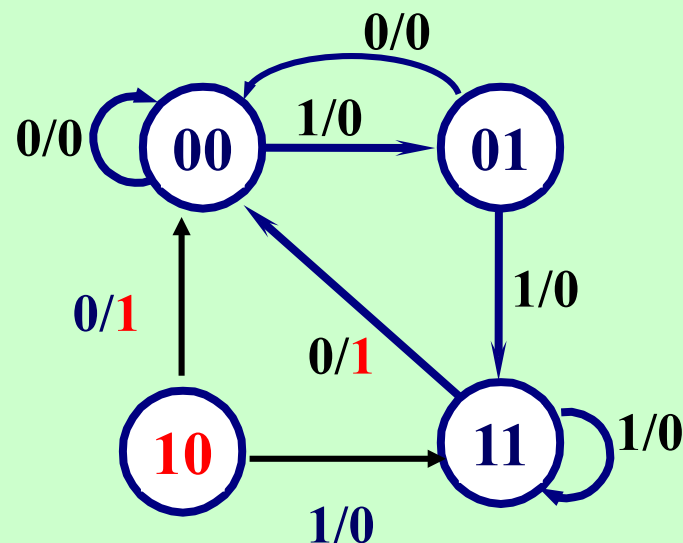
$$A=0 \quad Q_1^{n+1} Q_0^{n+1} = 00 \quad Y = 1$$

$$A=1 \quad Q_1^{n+1} Q_0^{n+1} = 11 \quad Y = 0$$

输出方程

$$Y = Q_1 \bar{A} \Rightarrow Y = Q_1 Q_0 \bar{A}$$

现态 $Q_1 Q_0$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	A=0	A=1
00	00 / 0	01 / 0
01	00 / 0	11 / 0
11	00 / 1	11 / 0
10	00 / 1	11 / 0



能自启动

求激励方程的第一种方法

Y卡诺图化简得

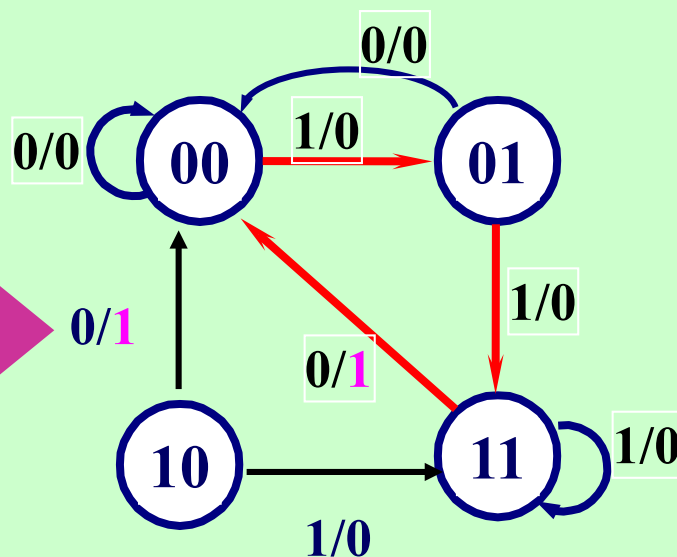
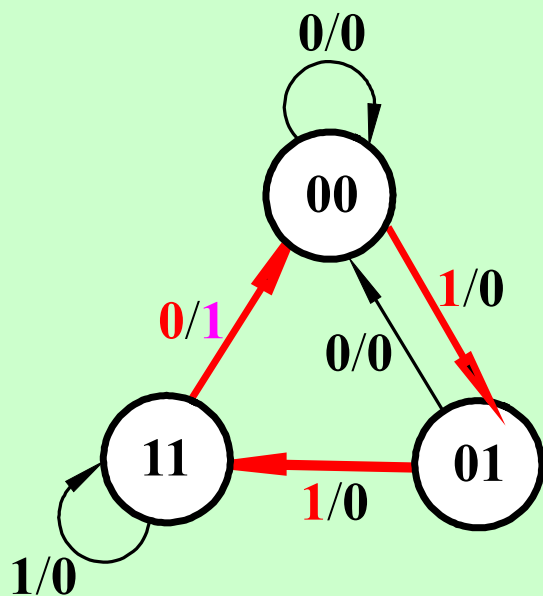
输出方程

$$Y = Q_1 \overline{A}$$

Y卡诺图

	Q_0''			
Q_1''	0	0	0	0
	1	×	0	1
	A			

Y卡诺图中有两个地方出现了1.使输出1指代不明。要修订。



修改电路

输出方程 $Y = Q_1 \bar{A}$ ➡

卡诺图化简去掉无关项

$$Y = Q_1 Q_0 \bar{A}$$

	Q_0^n			
	0	0	0	0
Q_1^n	0	×	0	1
	A			

