

# Práctica 6: Familia lógica TTL. Parámetros eléctricos y tipos de salidas.

## **Indice**

1. Objetivos
2. Material necesario
3. Desarrollo práctico
  - 3.1 Funcionamiento estático
  - 3.2 Salidas especiales
    - 3.2.1 Triestado
    - 3.2.2 Colector abierto

## **1. Objetivos**

Estudiar un ejemplo representativo de familia lógica bipolar: la TTL (Transistor-Transistor Logic).

El estudio de la familia TTL se realizará utilizando chips, la placa de montaje y la instrumentación electrónica necesaria.

Los chips utilizados pertenecen a la subfamilia LSTTL (Low-power Schottky TTL).

## **2. Material necesario**

- Familia TTL
  - Componentes y circuitos integrados:
    - Resistencias: 1k $\Omega$ , 22k $\Omega$ , 2k2
    - Diodo LED.
    - 74LS04 (séxtuple inversor *totem-pole*)
    - 74LS05 (séxtuple inversor colector-abierto)
    - 74LS125 (cuádruple *buffer* triestado)
    - Cables de interconexión

### **Hojas de especificaciones (*datasheet*) de los chips en PoliformaT**

- Instrumentación:
  - Fuente de alimentación, polímetro digital.
- Placa de montaje

### 3. Desarrollo práctico

#### 3.1 Funcionamiento estático

##### Antes de empezar...

Establezca la tensión de la fuente de alimentación a 5V y limite la fuente de alimentación regulable a 50mA.

##### Niveles lógicos

(i) Monte el circuito de la Figura 1(a). Para ello alimente el **chip 74LS04** (entre 0V y +5V) , y seleccione uno de los 6 inversores del chip (**Ver hoja de especificaciones del chip en PoliformaT**).

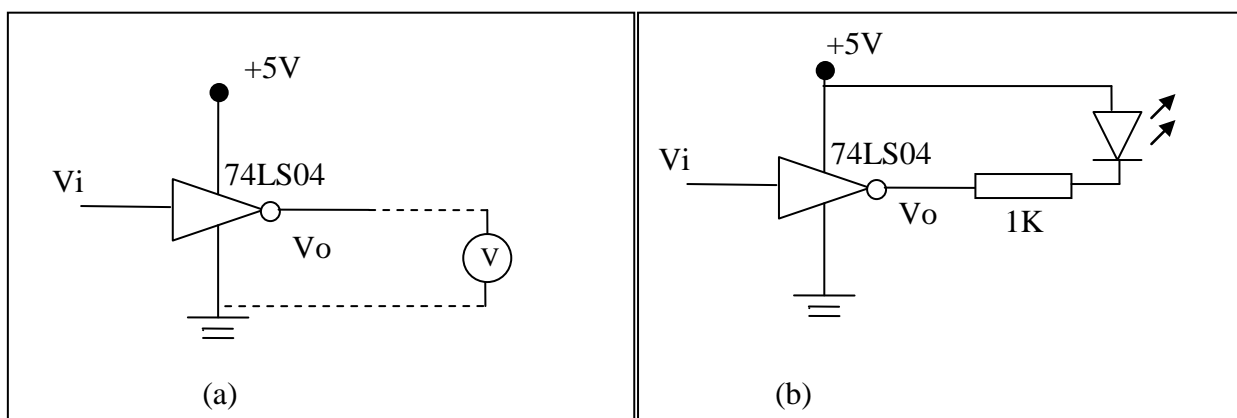
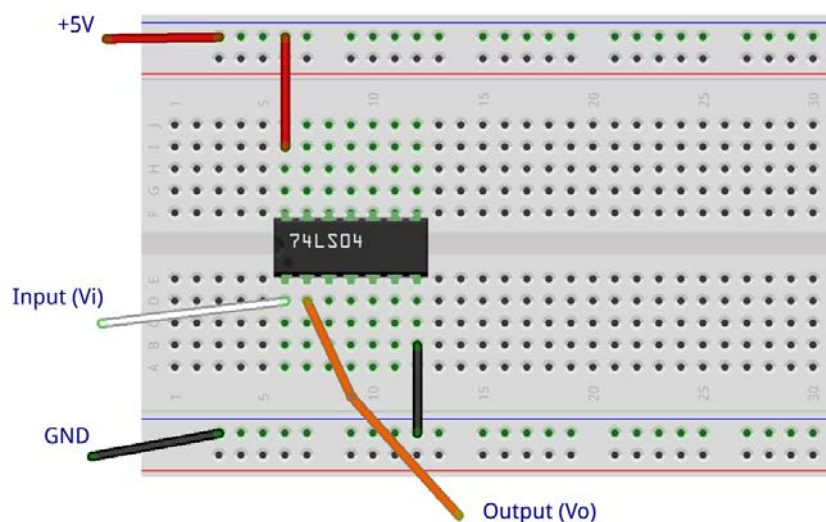


Figura 1. Circuito para monitorizar los niveles lógicos de salida de una puerta LSTTL. (a) Con el polímetro. (b) Con visualizador LED.



(Montaje sugerido para circuito de la figura (1a))

Defina la tensión de entrada ( $V_i$ ) a nivel alto. Para ello basta conectar un cable desde  $V_i$  a  $V_{cc}$  (+5V). Mida la tensión de salida ( $V_o$ ) con el **polímetro digital**, tal y como se muestra en la figura.

Defina la tensión de entrada ( $V_i$ ) a nivel bajo, para lo que cambiamos la conexión uniendo  $V_i$  a GND (0V). Mida de nuevo la tensión de salida  $V_o$ .

Complete la tabla, anotando los valores obtenidos. Estos son valores de tensión de salida típicos de la puerta en vacío (sin conectar nada a la salida).

$V_i = "1" = V_{cc}$	$V_{OL} =$
$V_i = "0" = 0V$	$V_{OH} =$

Compruebe que las salidas están en el rango correcto. En las hojas de especificaciones se pueden ver los límites de tensión de LSTTL (para condiciones límite de carga, temperatura y fabricación):

$$V_{OH\min} = 2.7V, V_{OL\max} = 0.5V, V_{IL\max} = 0.8V, V_{IH\min} = 2.0V$$

(ii) Calcule el **margen de ruido** de la familia LSTTL

$NM_H =$  \_\_\_\_\_

$NM_L =$  \_\_\_\_\_

$NM =$  \_\_\_\_\_

(iii) Monte el circuito de la Figura 1(b) para monitorizar los niveles lógicos mediante un **LED**. Observe para qué nivel lógico de salida ("0" ó "1") se enciende el LED.

(iv) Analice cómo varían las tensiones de salida dependiendo de la corriente de salida. Para ello conecte **resistencias de carga  $R_L$**  de distinto valor, entre la salida y  $V_{cc}$  (+5V) y, entre la salida y masa (0V), tal y como muestra la Figura 2.

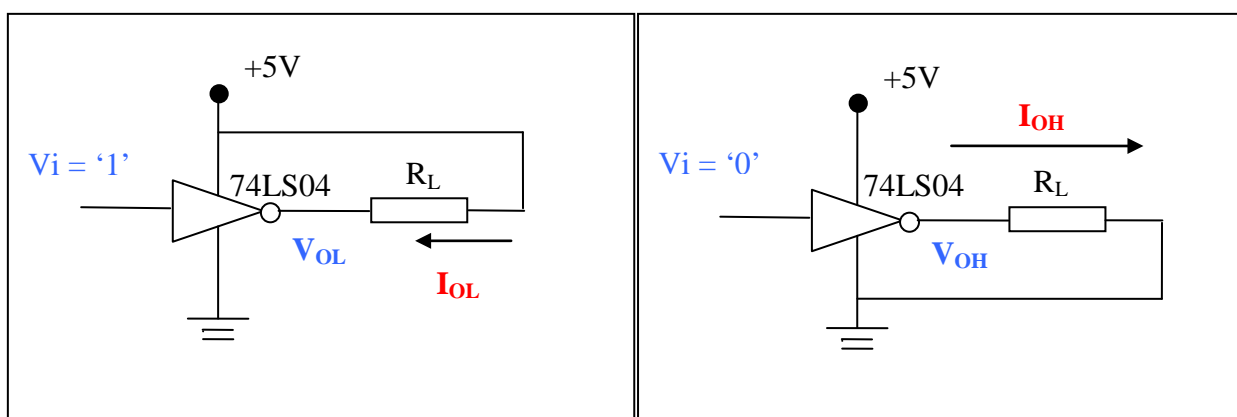


Figura 2. Circuito para analizar la variación de las tensiones de salida en función de la corriente de salida.

Para cada valor de  $R_L$ , mida  $V_o$  y rellene la tabla siguiente:

$R_L$ entre $V_o$ y +5V	$V_{OL}$	$R_L$ entre $V_o$ y 0V	$V_{OH}$
22k $\Omega$		22k $\Omega$	
1k $\Omega$		1k $\Omega$	

Tenga en cuenta que una  $R_L$  menor implica una corriente de salida  $I_o$  mayor, y viceversa.

En el montaje de la izquierda se varía  $I_{OL}$ . Compruebe que al aumentar  $I_{OL}$ ,  $V_{OL}$  aumenta, es decir, empeora.

En el montaje de la derecha se varía  $I_{OH}$ . Compruebe que al aumentar  $I_{OH}$ ,  $V_{OH}$  disminuye, es decir, empeora.

Esto nos explica el por qué en los *datasheets* el fabricante especifica una **corriente de salida máxima** ( $I_{OHmax}$ ,  $I_{OLmax}$ ) para garantizar los niveles lógicos de tensión.

Busque estos valores en las hojas de especificaciones del 74LS04

$I_{OLmax} =$	mA	$I_{OHmax} =$	mA
---------------	----	---------------	----

## 3.2 Salidas especiales: triestado y colector abierto

Las salidas triestado y colector abierto **permiten conectar varias salidas entre sí**, cosa que no se puede hacer con las salidas normales (*totem-pole*), pues se puede producir conflictos lógicos y la degradación de la puerta por corriente excesiva.

Veamos algunos ejemplos de montajes con las salidas especiales.

### 3.2.1 Salidas en colector abierto

Efectúe el montaje de la Figura 3. El **chip 74LS05** está constituido por 6 inversores con salidas en colector abierto (**Ver hoja de especificaciones en PoliformaT**). Obsérvese la presencia de la **resistencia de pull-up**  $R_{pu}$ , externa al chip, y conectada entre la salida común y  $V_{cc}$ .

**NOTA:** Tenga en cuenta que **el chip también hay que alimentarlo**, aunque no se indique en la figura, por simplicidad.

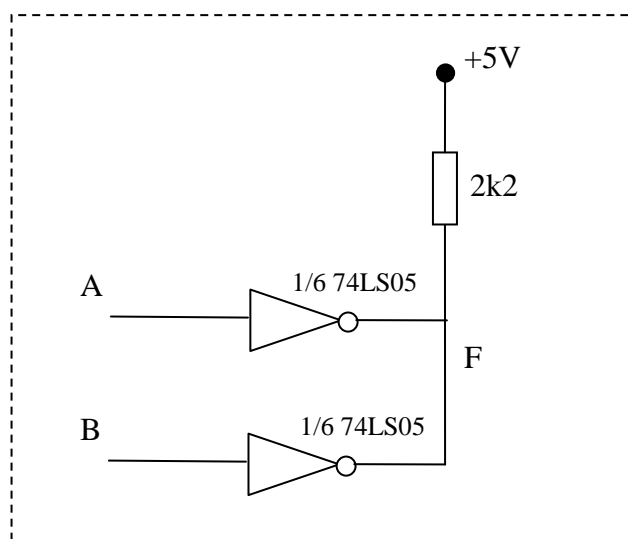


Figura 3. Conexión de 2 salidas en colector abierto.

(i) Varíe el valor de la tensión en las entradas A y B: “0” = 0V, “1” = 5V, y rellene la tabla de verdad siguiente, midiendo la tensión  $V_F$  con el **polímetro digital**:

$V_A(V)$	$V_B(V)$	$V_F(V)$
0	0	
0	5	
5	0	
5	5	

Indique la expresión de F en función de las entradas:

F = \_\_\_\_\_

Verifique que la salida F es la **AND-cableada** de las salidas. Es decir la conexión de las salidas funciona como una AND de las mismas, sin necesidad de añadir ninguna puerta.

(ii) Quite la resistencia Rpu y su conexión a +5V, dejando las salidas conectadas entre sí. Vuelva a rellenar la tabla anterior.

$V_A(V)$	$V_B(V)$	$V_F(V)$
0	0	
0	5	
5	0	
5	5	

¿Qué observa? ¿Por qué es necesaria la resistencia Rpu?

### 3.2.2 Salidas triestado

Las salidas triestado tienen, como su nombre indica, 3 estados: los habituales “0”, “1”, y un tercero especial, la **ALTA IMPEDANCIA** (Hi-Z), que equivale a la desconexión de la salida. Mediante un terminal de control (ENABLE), se selecciona el modo normal o el Hi-Z. Esto permite compartir una salida común (en modo BUS), siempre que, en un momento dado, todas las salidas menos una estén en modo Hi-Z.

(i) Para mostrar el funcionamiento de las salidas triestado, efectúe el montaje de la Figura 4, correspondiente a un sencillo MULTIPLEXOR 2x1. Consta de 2 *buffers* triestado que pertenecen al **chip 74LS125** (Ver hoja de especificaciones en **PoliformaT**), y se habilitan a nivel bajo. **Atención: únicamente debe montar el circuito de la izquierda, la figura de la derecha es simplemente su esquema simplificado.**

Las señales de ENABLE S y /S (S negada) son complementarias y pueden generarse conectándolas directamente a +5V y GND, o viceversa. También se pueden generar utilizando un inversor del chip 74LS04.

S es la señal de selección del multiplexor, encargada de activar uno de los 2 canales de entrada, A o B.

NOTA: Tenga en cuenta que **hay que alimentar los chips**, aunque no se haya representado en la figura.

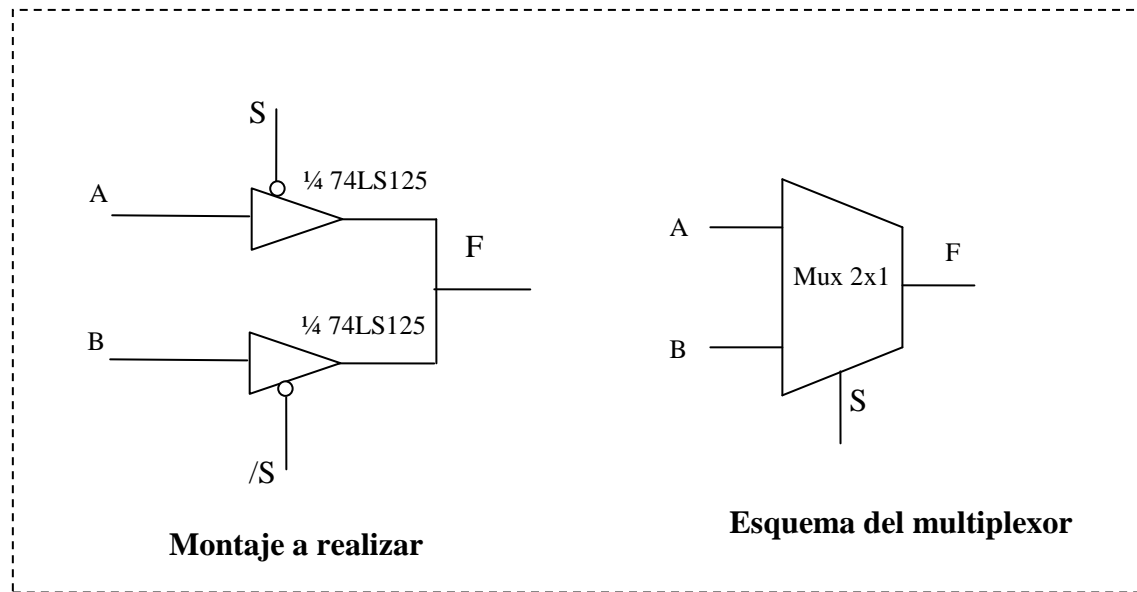


Figura 4. Multiplexor 2x1 realizado con 2 puertas triestado

**Fije A y B a dos valores lógicos distintos, por ejemplo: A='1' (+5V) y B='0' (GND).**

Ponga S="1" y /S="0". ¿Qué valor lógico tiene F? ¿Por qué?

Ponga S="0" y /S="1". ¿Qué valor lógico tiene F? ¿Por qué?

¿Por qué no hay conflicto lógico en F entre las salidas de los dos *buffers*?

¿Se podría hacer el mismo montaje con el chip 74LS04? ¿Por qué?