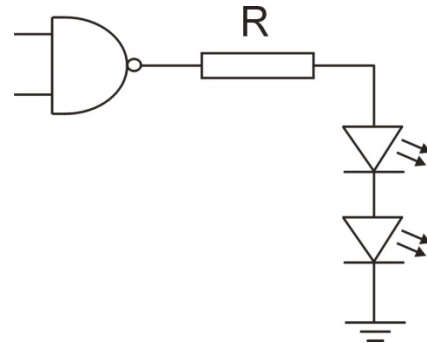


TEORÍA 1^{er}.Parcial (5 cuestiones) (6 puntos) . Puntuación: BIEN +1.2 pts., MAL -0.3 pts, N.C.: 0

1. Dado el circuito de la figura con diodos LED, indique cuál de las siguientes afirmaciones es **CORRECTA**, teniendo en cuenta que $R=100\Omega$, que para los LED $V_{LED}=1.8V$ e $I_{LED}=20mA$, y para la puerta NAND $V_{OL}=0.1V$ y $V_{OH}=4.9V$.

- [A] Los LED brillarán con un nivel alto en la salida de la puerta lógica.
- [B] Los LED brillarán con un nivel bajo en la salida de la puerta lógica.
- [C] Los LED brillarán en cualquier caso si cambiamos la resistencia por una de 50Ω .
- [D] Los LED no llegarán a brillar adecuadamente para ninguno de los niveles lógicos de salida de la puerta lógica.

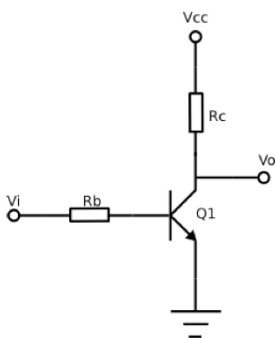


$$I_{LED} = (V_{OH} - 1.8) / R = (4.9 - 1.8) / 0.1k = 13mA < 20mA$$

(insuficiente)

2. Indique la zona de trabajo del transistor de la figura para una entrada de 3V:

(DATOS: $V_{CC} = 5V$; $R_b = 100 k\Omega$; $R_c = 2 k\Omega$; Q1: $V_{BE(ON)} = 0.7V$, $V_{CE(SAT)} = 0.2V$, $\beta = 100$)



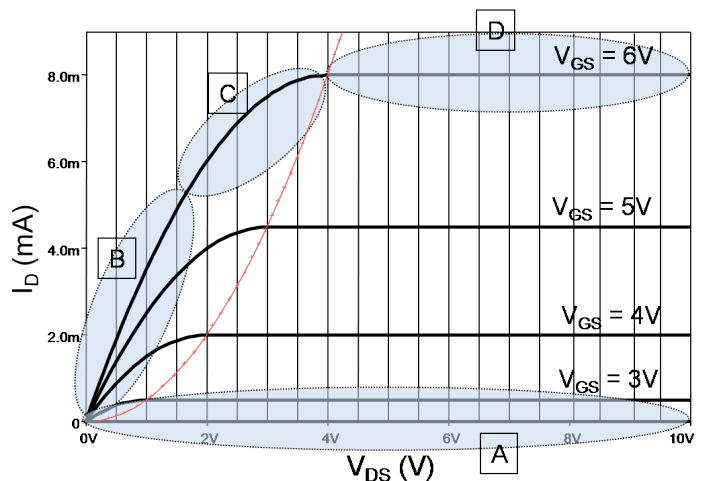
- [A] CORTE
- [B] ACTIVA
- [C] Entre ACTIVA y SATURACIÓN
- [D] SATURACIÓN

$$I_B = (3V - 0.7V) / 100k = 23\mu A$$

Si Sup. Z.Activa: $I_C = 100 \times I_B = 2.3mA$, luego $V_o = V_{CE} = 5V - 2k \times 2.3mA = 0.4V > 0.2V$, luego OK activa.

3. Dadas las curvas del transistor MOSFET con las zonas (A,B,C,D) y la secuencia de ecuaciones: 1 $\rightarrow I_{DS}=0$, 2 $\rightarrow I_{DS}=K(V_{GS}-V_T)^2$, 3 $\rightarrow I_{DS}=2K(V_{GS}-V_T)V_{DS}$, 4 $\rightarrow I_{DS}=K[2(V_{GS}-V_T)V_{DS}-V_{DS}^2]$. Indique cuál de los siguientes conjuntos de emparejamientos ZONA-ECUACION es correcto:

- [A] A-1,B-2,C-3,D-4
- [B] A-2,B-1,C-4,D-2
- [C] A-1,B-3,C-4,D-2
- [D] A-1,B-4,C-3,D-2



4. Considere el circuito adjunto y los parámetros característicos siguientes. Si se trata de salidas en colector abierto, indíquese para la combinación de entradas (A=4V, B=0.2V, C=4.5V, D=0.6V) el valor de la tensión del punto F.

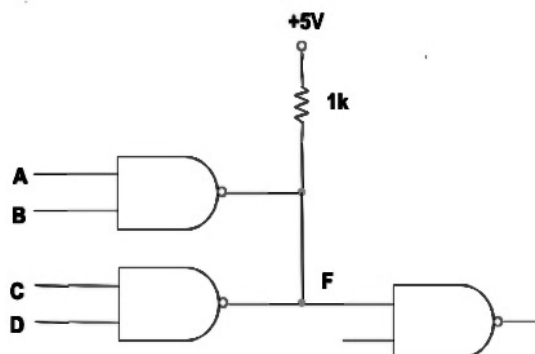
[A] F=0.5V

[B] F=3.0V

[C] F=4.5V

[D] F=5V

$$V_F = 5V - 1k \times (2 I_{OHMAX} + I_{IHMAX}) = 5 - 1k \times (0.2mA + 0.3mA) = 5 - 0.5 = 4.5 V$$



V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5 V	0.8 V	3.0 V	0.5 V
I_{IHmax}	I_{ILmax}	$I_{OHmax}(fugas)$	I_{OLmax}
300 μA	-0.36 mA	100 μA	7 mA

5. Con respecto a los parámetros característicos de las familias lógicas y suponiendo salida totem-pole, marque la respuesta FALSA:

[A] Si I_{OH} es negativo la corriente sale por la salida a nivel alto.

[B] El margen de ruido a nivel alto se define como: $NM_H = V_{OHmin} - V_{IHmin}$.

[C] Si la tensión de salida V_{OH} está por debajo de V_{OHmin} una entrada conectada a esta salida no la interpretará como '1' lógico en ningún caso.

[D] Para que la conexión entre dos puertas lógicas funcione de forma adecuada, se ha de cumplir, entre otras cosas que, $V_{OL} \leq V_{ILmax}$.

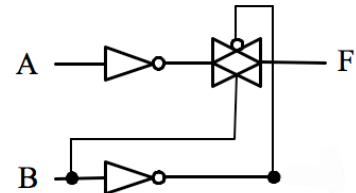
TEORÍA 2º.Parcial (8 cuestiones) (6 puntos) . Puntuación: BIEN +0.75 ptos., MAL -0.18 ptos, N.C.: 0

1. Con respecto a las características más relevantes de la familia lógica CMOS, indique cuál de las siguientes afirmaciones es **FALSA**.

- [A] Presentan un bajo consumo.
- [B] El proceso de fabricación es simple.
- [C] Presentan una baja inmunidad al ruido.
- [D] La tensión de alimentación puede ser variable.

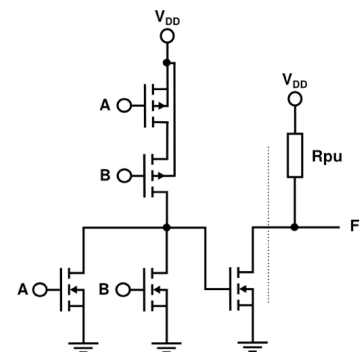
2. El circuito CMOS de la figura funciona como:

- [A] Un buffer
- [B] Un inversor con salida triestado
- [C] Un multiplexor 2x1 con canales A y B
- [D] Una función XOR (OR-Exclusiva) de A y B

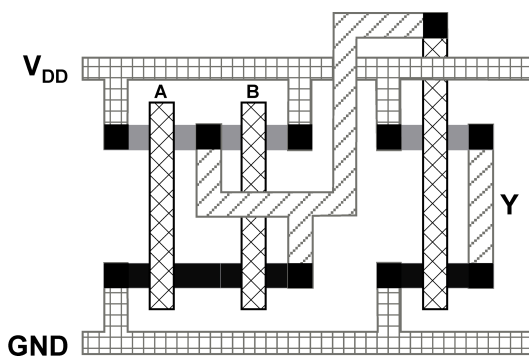


3. Qué función lógica $F(A,B)$ realiza el circuito CMOS de la figura.

- [A] $F(A,B) = A + B$
- [B] $F(A,B) = \overline{A + B}$
- [C] $F(A,B) = A \cdot B$
- [D] $F(A,B) = \overline{A \cdot B}$



4. ¿Qué tipo de circuito implementa el *layout* de la figura?



- Contact
- ▨ Metal 1
- ▤ Metal 2
- ▥ pdiff
- ndiff
- ▩ Polysilicon

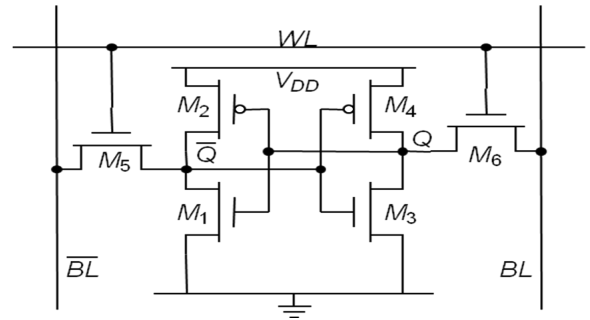
- [A] Una puerta NOR de tres entradas
- [B] Una puerta OR de dos entradas
- [C] Una puerta NAND de tres entradas
- [D] Una puerta AND de dos entradas

5. Señalar la afirmación **FALSA** de las siguientes acerca de las memorias semiconductoras:

- [A] Las PROM son memorias no volátiles, de acceso aleatorio, que se pueden programar una sola vez.
- [B] En una EPROM borrada, los transistores de todas sus celdillas pueden conducir si son seleccionados.
- [C] Las memorias SRAM son de acceso aleatorio, aunque su tiempo de acceso depende de si están o no en un ciclo de refresco.
- [D] Las memorias FLASH se basan en celdillas con transistor FAMOS, que necesitan polarizarse con una tensión más alta que la de alimentación para su programación.

6. Dada la celda de memoria de la figura, indicad la respuesta CORRECTA:

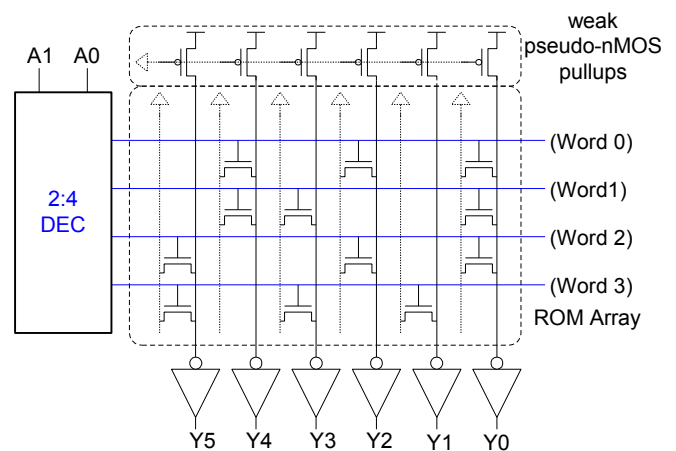
- [A] Es una celda de memoria DRAM que incluye el circuito de refresco.
- [B] El proceso de escritura es: precargar BL con el dato a escribir y /BL con el contrario, activar WL a 0 y esperar que el dato se escriba en la celdilla.
- [C] La línea de bit BL sirve para leer los datos, y /BL para escribirlos.
- [D] Los transistores M1, M2, M3 y M4 forman un biestable que almacena el valor lógico de la celdilla.



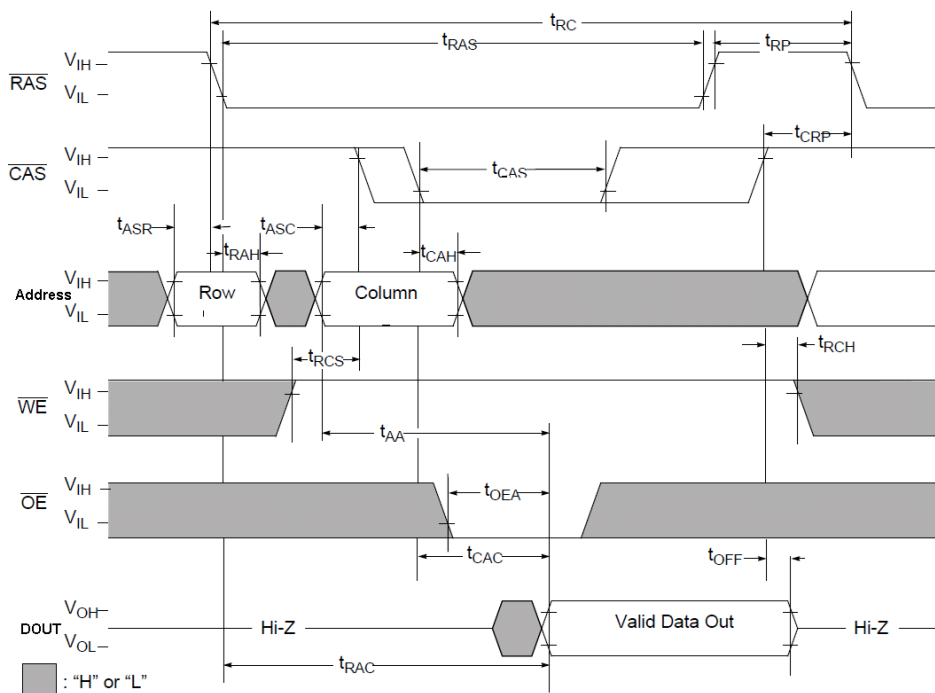
7. Dada la memoria de la figura, indicad la respuesta FALSA:

Nota: A1 es el bit de más peso y A0 el de menos peso

- [A] Es una memoria ROM de 4 palabras de 6 bit.
- [B] Si A1=1 y A0=1, en el bus de datos se leerá la palabra 010101.
- [C] La presencia de un transistor pone un 0 en la celda, que se lee como 1 en la correspondiente salida Yx.
- [D] Los transistores de "pull-up" se comportan como resistencias de "pull-up" conectadas a la alimentación.



8. A la vista del cronograma de la figura determine cual de las respuestas es la FALSA:



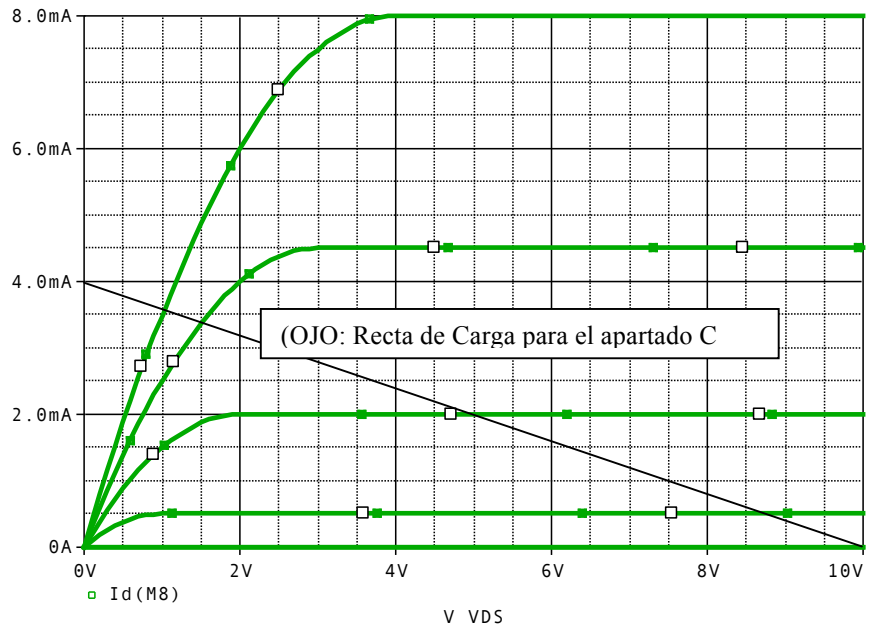
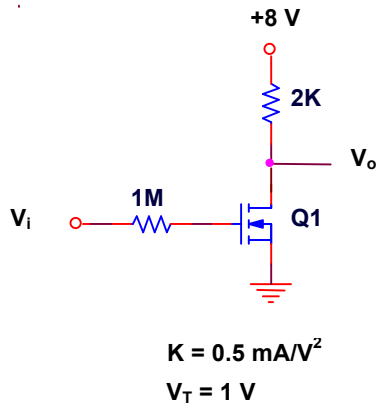
- [A] Es un cronograma de lectura de una DRAM
- [B] Para leer un dato, la selección de la fila es anterior a la de la columna
- [C] t_{CAS} es el tiempo de latencia de CAS
- [D] t_{RC} es el tiempo de duración del ciclo de lectura.

Apellidos:

Nombre:

PROBLEMA 1 (Primer Parcial) (4 Ptos.),

El circuito de la figura es un inversor NMOS. Se pide:

Nota: En zona óhmica utilice la expresión aproximada $I_{DS} \approx 2K(V_{GS} - V_T) V_{DS}$, y en saturación $I_{DS} = K(V_{GS} - V_T)^2$ **Nota:** Las curvas representadas son para incrementos de 1V de V_{GS} .A) [0.8p] Calcule el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor lógico de salida V_o con una entrada a "1" ($V_i = 5V$). Justifique la respuesta con las necesarias demostraciones.

1) Malla GS: $V_i - I_G \times 1M - V_{GS} = 0 \rightarrow V_{GS} = V_i \rightarrow V_{GS} = 5V > V_T \rightarrow$ el transistor conduce
Como es un inversor, en lugar de suponer saturación, suponemos óhmica o lineal.

2) Calculamos la R_{ON}

$$R_{ON} = \frac{1}{2K(V_{GS} - V_T)} = \frac{1}{2 \times 0.5(5 - 1)} = \frac{1}{4} = 0.25k$$

3) Malla DS: Es un divisor resistivo:

$$I_{DS} = \frac{V_{DD}}{R_{ON} + R_D} = \frac{8}{0.25 + 2k} = 3.55mA \quad V_{DS} = V_o = \frac{R_{ON}}{R_{ON} + R_D} \times V_{DD} = 0.8888V$$

4) Comprobamos óhmica: $V_{DS} < V_{GS} - V_T$? $0.88V < 5V - 1V \rightarrow$ correcto

$V_{GS} = 5 \text{ (V)}$	$V_{DS} = 0.88 \text{ (V)}$	$I_{DS} = 3.55(mA)$	$V_o = "0"$
--------------------------	-----------------------------	---------------------	-------------

B) [0.8p] Calcule el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor de salida V_o con una entrada NO digital de $V_i = 3V$. Justifique la respuesta con las necesarias demostraciones.

1) Malla GS: $V_i - I_G \times 1M - V_{GS} = 0 \rightarrow V_{GS} = V_i \rightarrow V_{GS} = 3V > V_T \rightarrow$ el transistor conduce

2) Suponemos Saturación (se observa en la gráfica que para este caso, el punto está en saturación)

$$I_{DS} = K(V_{GS} - V_T)^2 = 0.5(3 - 1)^2 = 2mA$$

3) Malla DS: $V_{DD} - I_{DS}R_D - V_{DS} = 0 \rightarrow V_{DS} = 8V - 2mA \times 2k = 4V$

4) Comprobamos saturación: $V_{DS} > V_{GS} - V_T$? $4V > 3V - 1V \rightarrow$ está saturado

$V_{GS} = 3 \text{ (V)}$	$V_{DS} = 4 \text{ (V)}$	$I_{DS} = 2 \text{ (mA)}$	$V_o = "?"$
--------------------------	--------------------------	---------------------------	-------------

C) [0.8p] Se desea cambiar la tensión de alimentación y el valor de R_D para que la recta de carga sea la mostrada en el dibujo. Indique los nuevos valores, justifique los resultados analíticamente.

- 1) La recta corta el eje X en 10V luego $V_{DD} = 10V$
- 2) Para la R_D , observamos el corte en el eje Y en 4mA y tenemos

$$I_{DSX} = \frac{V_{DD}}{R_D} \quad R_D = \frac{V_{DD}}{I_{DS}} = \frac{10V}{4mA} = 2.5k$$

$$R_D = 2.5 (k)$$

$$V_{DD} = 10 (V)$$

D) [0.8p] Con los valores originales ($R_D = 2k$ y $V_{DD} = 8V$), calcule la tensión de entrada V_i para la que el transistor se encuentre en el punto entre Saturación y Óhmica.

- 1) Como esta en límite, será cierto: $V_{DS} = V_{GS} - V_T$ [1]
- 2) Podemos utilizar la fórmula de saturación o de óhmica, pero nunca la óhmica simplificada.
Usamos la de saturación: $I_{DS} = K(V_{GS} - V_T)^2$ [2]

- 3) Sustituyendo [1] en [2] $I_{DS} = K(V_{DS})^2$ [3]

- 4) Malla de drenador: $V_{DD} - I_{DS}R_D - V_{DS} = 0$ [4]

- 5) Haciendo un sistema de ecuaciones con [3] y [4], resulta la ecuación: $-V_{DS}^2 - V_{DS} + 8 = 0$

- 6) Resultados: $V_{DS1} = 2.37V$ y $V_{DS2} = -3.37V$,

- 7) Sustituyendo las dos V_{DS} en [1], resulta en: $V_i = V_{GS} = 3.37V$ y $V_i = V_{GS} = -2.37V < V_T$
La segunda se descarta

$$V_i = 3.37V$$

E) [0.8p] Se quiere utilizar este circuito para controlar un pequeño motor eléctrico con una señal de control V_i con niveles de 0V y 5V. Para ello se sustituye la resistencia R_D por el motor. El motor es de 6V y consume 8mA. Para un $V_{DD} = 8V$ y una $V_i = 5$, rellene la siguiente tabla, justificando analíticamente las respuestas.

- 1) R_{ON} para $V_{GS}=5$, $R_{ON} = \frac{1}{2K(V_{GS} - V_T)} = \frac{1}{2 \times 0.5(5 - 1)} = \frac{1}{4} = 0.25k$
- 2) R_{MOTOR} por la ley de Ohm: $R_{MOTOR} = \frac{V_{MOTOR}}{I_{MOTOR}} = \frac{6V}{8mA} = 0.75k$
- 3) V_{DS} como divisor resistivo: $V_{DS} = \frac{R_{ON}}{R_{ON} + R_{MOTOR}} \times V_{DD} = \frac{0.25k}{0.25k + 0.75k} \times 8V = 2V$
ó conociendo la corriente: $V_{DS} = R_{ON} \times I_{DS} = 0.25k \times 8V = 2V$
- 4) Potencia motor: $P_{MOTOR} = V_{MOTOR} \times I_{MOTOR} = 6V \times 8mA = 48mW$
- 5) Potencia mosfet: $P_{MOSFET} = V_{DS} \times I_{DS} = 2V \times 8mA = 16mW$

$R_{ON}(\text{Mosfet})$	0.25k
R_{MOTOR}	0.75k
V_{DS}	2V
P_{MOTOR}	48mW
P_{MOSFET}	16mW

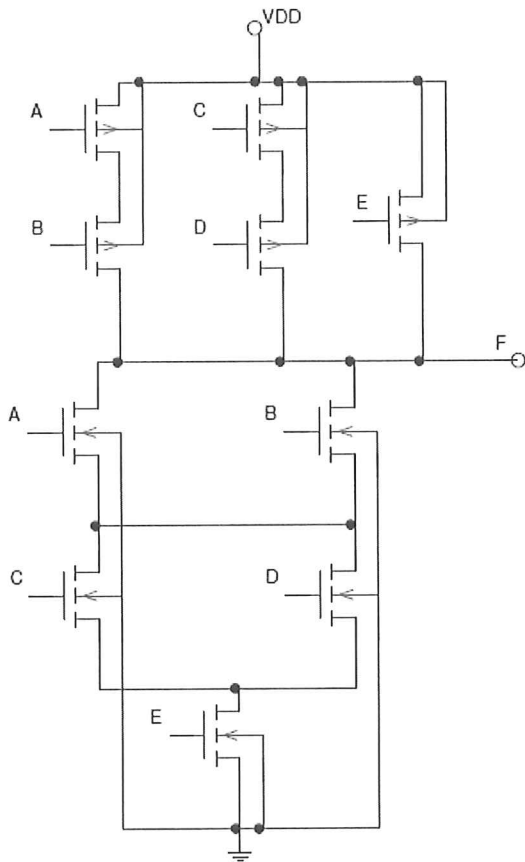
Apellidos:

SOLUCIONES

Nombre:

Problema 2 (Segundo PARCIAL) (4 PTOS)

Dado el circuito lógico CMOS de la figura:



A.(0.7 pto.) Indique la **expresión lógica de F** en función de las variables A, B, C, D y E. Justifique la respuesta.

$$F = (A+B) \cdot (C+D) \cdot E = (\overline{A} \cdot \overline{B}) + (\overline{C} \cdot \overline{D}) + \overline{E}$$

Bloque NMOS:

A y B en paralelo $\rightarrow (A+B)$

C y D en paralelo $\rightarrow (C+D)$

E en serie con los anteriores:

$$G_{NMOS} = (A+B) \cdot (C+D) \cdot E$$

$$F = \overline{G_{NMOS}} = \overline{(A+B) \cdot (C+D) \cdot E}$$

Bloque PMOS (opcionalmente se puede hacer a partir del bloque PMOS)

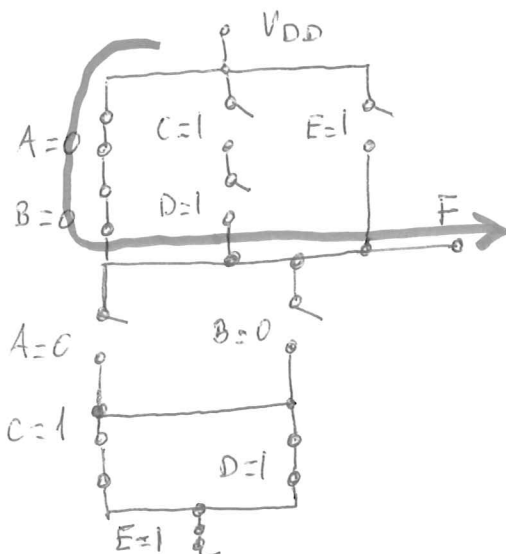
F = G_{PMOS} con las variables negadas

$F = \overline{A} \cdot \overline{B} + \overline{C} \cdot \overline{D} + \overline{E}$, que es equivalente a la anterior. Si aplicamos De Morgan a la anterior obtenemos esta.

B. (1 pto.) Para la combinación de entradas: A=B="0", C=D=E="1":

B.1. (0.4 pto.) Sustituya los transistores por interruptores abiertos/cerrados, y dibuje el **circuito con interruptores**.

B.2. (0.4 pto.) Justifique el valor lógico de F, a partir del circuito con interruptores.



$F = "1"$ porque hay un camino de conexión entre VDD y F. Por contra, GND está desconectada de F.

Se verifica el valor en

$$F = (A+B) \cdot (C+D) \cdot E = (0+0) \cdot (1+1) \cdot 1$$

$$F = \overline{0} = 1$$

[A] B.3. (0.2 pto.) ¿Cuál es el valor de la corriente consumida por el circuito en este estado? Justifique su valor.

El valor de la corriente (estática) es $= 0$, pues no hay camino de conexión entre VDD y GND. Obviamente se desprecian las corrientes de fuga.

- C. (1 pto.) Suponga que el circuito pertenece a la ALU de un microprocesador alimentado a +2.5V. Suponga que la frecuencia media de conmutación de las entradas es 0.5 GHz. La capacidad media por transistor es 10 fF (1 femtofaradio = 10^{-15} F) Calcule la **potencia dinámica** consumida por el circuito, en mW.

$$P_d = (V_{dd})^2 f_{entradas} C_L$$

$$V_{dd} = 2.5V$$

$$f_{entradas} = 0.5 \text{ GHz} = 0.5 \times 10^9 \text{ Hz}$$

(no hace falta conocer el factor de actividad α , $f_{entradas} = \alpha f_{clock}$)

$$C_L = \text{número de transistores} \times 10 \text{ fF}$$

$$= 10 \times 10 \text{ fF} = 10^2 \times 10^{-15} = 10^{-13} \text{ F}$$

$$P_d = (2.5)^2 \times 0.5 \times 10^9 \times 10^{-13} \text{ W}$$

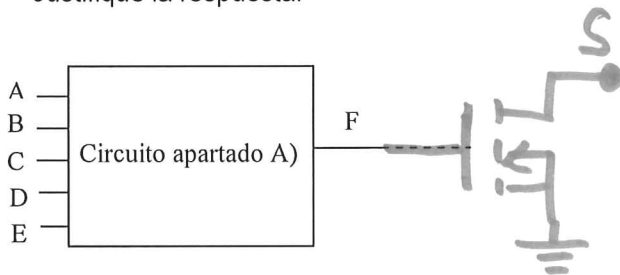
$$P_d = 3.125 \times 10^{-4} \text{ W}$$

$$P_d = 0.3125 \times 10^{-3} \text{ W}$$

$$P_d = 0.3125 \text{ mW}$$

- D. (1.3 pto.) Se desea dotar al circuito del apartado A) de salida en **Drenador Abierto**.

D.1 (0.5 pto.) Para ello añada los elementos necesarios, efectuando el diseño a nivel de transistor. Justifique la respuesta.

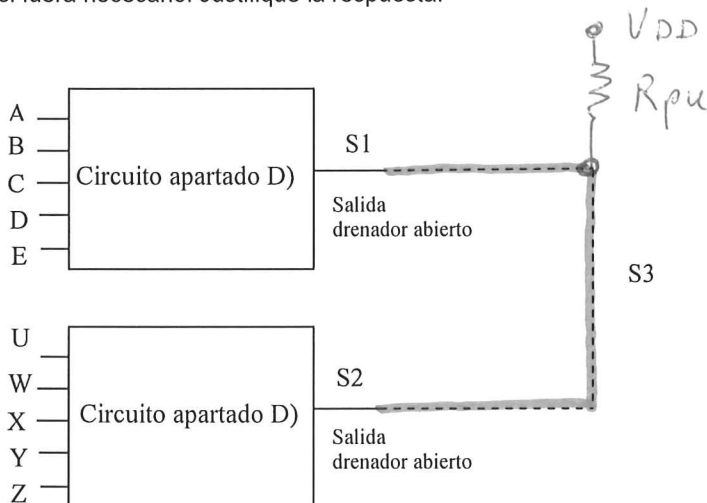


El drenador del Mosfet de salida queda al aire.
El Mosfet de salida niega a F
 $S = \bar{F}$. Para que funcione bien hay que añadir una R_{pu} externa (ver apartado D.2).

* Si se quiere que la salida no venga negada, se puede añadir un buffer drenador abierto → (diseño también válido)



D.2 (0.4 pto.) Suponga que se quieren conectar las salidas de 2 circuitos como el anterior (Apartado D.1), con el objetivo de implementar una **función lógica cableada**. Dibuje la conexión entre S1 y S2, añadiendo elementos externos si fuera necesario. Justifique la respuesta.



R_{pu} = Resistencia de pull-up

R_{pu} es necesaria para poner el "1" en S_3

$S_3 = S_1 \cdot S_2 = \text{and-cableada de } S_1 \text{ y } S_2$

D.3. (0.4 pto.) Indique la expresión de la **función lógica cableada** S3. Justifique la respuesta.

$$S_3 = S_1 \cdot S_2 = (A+B) \cdot (C+D) \cdot E \cdot (V+W) \cdot (X+Y) \cdot Z$$

* $S_1 = \bar{F}_1 = (A+B) \cdot (C+D) \cdot E$, $S_2 = \bar{F}_2 = (V+W) \cdot (X+Y) \cdot Z$
* Usando la solución con 4 transistores del apartado D.1)