

Exámenes

UT3 Seguimiento

[Tabla de Contenidos](#)

Tiempo restante: 0:17:36

Ocultar/Mostrar el tiempo restante

Parte 1 de 2 - Teoría

Preguntas 1 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Elige las afirmaciones correctas. Un sistema dispone de dos caches (L1 y L2), la cache L1 implementa la política de escritura no-write allocate y la cache L2 write allocate. En dicho sistema:

- ☐

A.

Un fallo de escritura, implicaría una escritura en memoria principal pero el bloque no se traería a ninguna cache.

- ☐ B. Un fallo de escritura en ambas caches solo se traería el bloque a la cache L1.

- ☒ C. Un fallo de escritura en ambas caches solo se traería el bloque a la cache L2.

- ☐ D. Un fallo de escritura en ambas caches se traería el bloque a ambas caches.

Borra selección

Preguntas 2 de 10

1 Puntos

¿Cuál de los siguientes enunciados sobre las políticas de escritura en cache es **CIERTO**? (marca todas las respuestas correctas)

☐

A.

Con la estrategia *Write through* cuando un bloque no está en antememoria no se trae desde los niveles inferiores ni se produce ningún reemplazamiento.

☐

B.

Con la política *Write-back* la memoria principal sólo está completamente actualizada cuando no hay bloques *sucios* en los niveles de antememoria.

☐

C.

La estrategia *Write allocate* trae un bloque a una antememoria siempre que se intenta escribir en un bloque que no está presente en la antememoria.

☐

D.

Con la política *Write-back* sólo se escribe en un nivel de cache si el bloque ya está presente en dicho nivel.

Preguntas 3 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Elige las afirmaciones correctas. Un sistema tiene dos caches L1 y L2. Si la cache L1 implementa la política de escritura write-back (WB) entonces se reduce:

- ☐ A. El número de bloques escritos en L1 y L2.
- ☒ B. El número de bloques escritos en L2 y MP (memoria principal).
- ☐ C. El número de bloques escritos en L2.
- ☐ D. El número de bloques escritos en L1.

Borra selección

Preguntas 4 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Indica la afirmación correcta:

- ☒ A. Cada módulo de DRAM puede tener tantas filas abiertas como bancos.
- ☐ B. Cada módulo de DRAM puede tener tantas filas abiertas como ranks.
- ☐ C. Cada módulo de DRAM solo puede tener abierta una línea en un momento dado.
- ☐ D. Cada módulo de DRAM puede tener abiertas tantas filas como canales tenga el controlador.

Borra selección

Preguntas 5 de 10

1 Puntos

Respecto a los módulos de memoria principal, la aparición de las memorias tuvo como principal contribución la transferencia de datos en los dos flancos de la señal de reloj.

Preguntas 6 de 10

1 Puntos

Importante: utiliza únicamente el punto como separador decimal.

Un programa ejecutado sobre un procesador MIPS con caches de instrucciones y datos separadas ejecuta un 21% de instrucciones de carga y un 14% de almacenamiento. Así pues, el programa realizará un promedio de accesos por instrucción (API) en lectura $API_L = 1.21$ y en escritura $API_E = 0.14$. Por otro lado, el número de accesos por instrucción a la cache de instrucciones será $API_I = 1$ y a la cache de datos $API_D = 0.35$.

Preguntas 7 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Indica la afirmación correcta:

- ☐ A.
La técnica CRITICAL WORD FIRST permite reducir el componente de la latencia (L) de la penalización de fallo.
- ☐ B.
La penalización de fallo incluye, en caso de EARLY RESTART, la latencia de acceso más el tiempo de transferencia de la primera palabra.
- ☐ C. La técnica CRITICAL WORD FIRST transfiere primero la palabra de menor peso dentro del bloque.
- ☒ D. La penalización de fallo incluye la latencia de acceso más el tiempo de transferencia del bloque.

Borra selección

Parte 2 de 2 - Ejercicios

Preguntas 8 de 10

1 Puntos

Importante: utiliza únicamente el punto como separador decimal.

Un programa se ejecuta sobre un sistema con dos niveles de cache. La tasa de fallos de primer nivel TF_{L1} es 0.05 y la tasa de fallos global TF_{L1+L2} es 0.0275. Así pues, la tasa de fallos local de L2 TF_{L2} será .

Preguntas 9 de 10

1 Puntos. Puntos descontados por fallo: 0.33

El tiempo de acierto en una cache es de 1ns. Sea un programa compuesto por 200 millones de instrucciones que se ejecutan en un procesador con una frecuencia de reloj de 1GHz. El número de instrucciones de acceso a memoria es de 600.000, de las cuales un tercio encuentra el dato solicitado en la cache, y el resto acceden a memoria principal con un tiempo de 100 ciclos del procesador. Obtener el tiempo medio de acceso de este programa. Elegir la respuesta CORRECTA.

- ☒ A. Ninguna de las otras respuestas
- ☐ B. 100 ns
- ☐ C. 51 ns
- ☐ D. 80 ns

Borra selección

Preguntas 10 de 10

1 Puntos

Importante: utiliza únicamente el punto como separador decimal.

En un sistema con una cache L1 se ejecuta un programa con un 28% de instrucciones de acceso a memoria. Este programa sufre 9.12 fallos por cada 100 instrucciones ejecutadas. En este caso, la tasa de fallos unificada TF_{I+D} a la cache L1 sería .

- PoliformaT
- UPV
- Powered by Sakai
- Copyright 2003-2019 The Sakai Foundation. All rights reserved. Portions of Sakai are copyrighted by other parties as described in the Acknowledgments screen.