

ESTRUCTURA DE COMPUTADORES

Control Tema 6

Apellidos y Nombres

Un procesador semejante al MIPS tiene conectada una memoria cache de datos de correspondencia directa y escritura posterior (*write-back*) con ubicación (*write-allocate*). El contenido inicial de la memoria cache es el se muestra en la tabla:

Línea	V	M	E (hex)
0	1	1	100000
1	0	–	-----
2	1	0	000200
3	1	0	1af002
4	0	–	-----
5	1	0	87654f
6	0	–	-----
7	1	1	100002

- a) Explica cómo afecta al estado de la cache la ejecución de la secuencia consecutiva de instrucciones que tenéis más abajo. En cada caso se ha de contestar cuál es la línea afectada, si se trata de un caso de acierto (A) o de fallo (F), el estado en que quedan los bits de válido (V) y modificado (M), así como el campo etiqueta (E). Considera que **\$t0 = 0x10000000**.

	Línea	A/F	Estado resultante		
			V	M	E
lw \$t1,0(\$t0)	0	A	1	1	100000
lw \$t1,0x8C0(\$t0)	6	F	1	0	100008
sw \$t1,0x8C4(\$t0)	6	A	1	1	100008
sw \$t1,0x2E0(\$t0)	7	A	1	1	100002

- b) Calcula el tamaño en bits de la memoria de control asociada a la cache

$$8 \text{ líneas} \times [1(V) + 1(M) + 24(\text{Etiqueta})] = 208 \text{ bits}$$