

EJERCICIO PROPUESTO TEMA 2

1. Supóngase el siguiente código ejecutándose en un procesador como el estudiado en clase. En dicho procesador los conflictos de datos y de control se resuelven ambos mediante la inserción ciclos de parada. La latencia de salto es de 2 ciclos.

```

(1)      .text 0x00040000
(2)      __start: addi $t0, $zero, 8
(3)              lui $t1, 0x1080
(4)              ori $t1, $t1, 0xA0
(5)      bucle: lw $t2, 0($t1)
(6)              srl $t2, $t2, 1
(7)              sw $t2, 0($t1)
(8)              addi $t1, $t1, 4
(9)              addi $t0, $t0, -1
(10)             bne $t0, $zero, bucle

```

- a) Identificar los riesgos por dependencia de datos completando la siguiente tabla y especificar en la columna correspondiente el número de ciclos de parada necesarios en cada caso para resolver la dependencia cuando este sea el método empleado para ello. Nótese que el bucle se ejecuta 8 veces.

	Registro	Número de instrucción en que se escribe	Número de instrucción en que se lee	Nº ciclos de parada a insertar
Riesgo 1	\$t1	2	3	2
Riesgo 2	\$t1	3	4	2
Riesgo 3	\$t2	4	5	2
Riesgo 4	\$t2	5	6	2
Riesgo 5	\$t0	8	9	2
.....				

- b) Calcúlese los ciclos que se emplearían para ejecutar el código y el CPI resultante. Muéstrase en el diagrama instrucciones tiempo adjunto.

[illegible]

Instrucciones ejecutadas (I)	$3+6*8 = 51$
Ciclos de parada (P)	$4 + 8*(6+2) = 68$, el riesgo 2 está fuera del bucle
Ciclos totales de ejecución (T)	$51+68+4 = 123$
CPI	$(123-4)/51 = 2.3$

- c) Suponiendo que el procesador se halla segmentado en cinco etapas, cuyos retardos son 45ns, 25ns, 35ns, 45ns y 30ns, y que el retardo de los registros de segmento es de 5ns, indíquese cuál sería el periodo de reloj del procesador y su *speedup* (aceleración) respecto al procesador no segmentado.

Ciclo de reloj = $45 \text{ ns} + 5 \text{ ns} = 50 \text{ ns}$

Speedup = $180 \text{ ns} / 50 \text{ ns} = 3.6$

$T_{\text{no-segmentado}} = 45 + 25 + 35 + 45 + 30 = 180 \text{ ns}$

- d) ¿Cuál sería la **productividad real** del procesador, expresada en MIPS, al ejecutar el código anterior?
Nota: Partir directamente del resultado del apartado b

Productividad = $n^{\circ} \text{ instrucciones ejecutadas} / 123 * 50 = 8.29 \text{ MIPS}$

- e) ¿Qué se podría esperar en términos de productividad máxima del empleo de un procesador superescalar de 4 vías trabajando a una frecuencia de reloj la mitad de la del procesador anterior?

El incremento de vías a 4 puede incrementar hasta 4 veces la productividad del procesador segmentado.

La disminución de la frecuencia de reloj a la mitad (doble tiempo de ciclo) dividirá por dos la productividad original.

En consecuencia, la productividad resultante sería dos veces mayor a la del procesador segmentado original