

4. (2,5 puntos) El procesador M1 es un procesador con ejecución fuera de orden, tamaño de palabra de 64 bits, frecuencia de reloj de 2GHz y arquitectura *load/store* similar al MIPS.

El procesador implementa dos niveles de memoria *cache*. Las caches L1, tanto de instrucciones como de datos, tienen ambas un tamaño de 64KB, correspondencia asociativa por conjuntos de 4 vías y tasas de fallos de 1 % y 2,8 %, respectivamente. La cache L2, unificada, tiene un tamaño de 512KB y correspondencia asociativa por conjuntos de 10 vías, y una tasa de fallo del 45 %. El tiempo de acierto es de 1 ciclo para las caches de primer nivel y 6 ciclos para la cache de segundo nivel. Ambos niveles trabajan con un tamaño de bloque de 64 bytes. Por otro lado, el procesador dispone de buffers de escritura y la ejecución fuera de orden permite solapar el 40 % de la penalización por fallo de la cache L1 de datos, siendo el resto de solapamientos despreciable.

Respecto a la memoria principal, ésta es una SDRAM DDR4 con una frecuencia de 1600MHz, temporización 16-16-16 ($CL - t_{RCD} - t_{RP}$), y ancho de bus de 64 bits. La tasa de aciertos en el búfer de fila (TA_{bf}) se desconoce, pero se ha observado que el tiempo medio de lectura de bloque en dicha memoria es de 34,4 ciclos de bus de memoria.

Tras analizar la carga habitual del computador se observa que el 22 % de las instrucciones son de tipo *load*, el 9 % de tipo *store* y se obtiene un CPI de 0,85 en ausencia de fallos de memoria.

Calcula:

- Penalización de fallos de la *cache* L1 en segundos.
- El tiempo de ejecución de un programa *A* formado por 20 millones de instrucciones.
- La tasa de aciertos en el búfer de fila (o probabilidad de acceder a una fila abierta).
- Para la nueva versión del procesador, el M2, se está estudiando la posibilidad de hacerlo funcionar a 3GHz, para ello será necesario emplear caches de primer nivel más rápidas. Concretamente se está considerando caches de menor tamaño (32KB tanto para la cache de instrucciones como para la de datos) y asociativa por conjuntos de 2 vías, que ofrecería una tasa de fallo de 2.5 % y 6 % para instrucciones y datos, respectivamente. La cache L2 no se modifica.

Calcular la nueva TF_{L2} a partir de las nuevas tasas de fallos de las caches de primer nivel. Suponed que la tasa de fallo global del sistema se mantiene constante.