

## Exámenes

### UT3 Seguimiento

[Tabla de Contenidos](#)

Tiempo restante: 0:05:47

[Ocultar/Mostrar el tiempo restante](#)

Parte 1 de 2 - Teoría

Preguntas 1 de 10

1 Puntos

Indique TODAS las respuestas correctas

☐

A.

Aumentar el número de vías manteniendo el tamaño de cache puede aumentar los fallos por capacidad, pero no los fallos de arranque.

☐

B.

Si se aumenta el tamaño de bloque sin reducir el número de bloques de cache, se reducen los fallos de arranque sin aumentar los fallos por conflicto y por capacidad.

☐

C.

Aumentar el tamaño de la cache reduce únicamente los fallos por capacidad, independientemente de cómo se modifiquen el número de bloques y su tamaño.

☐

D.

Aumentar el tamaño de bloque puede aumentar el tiempo de acceso a cache, pese a que se reduzca la tasa de fallos.

Preguntas 2 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Indica la afirmación correcta:

- ☐ A. Cada módulo de DRAM solo puede tener abierta una línea en un momento dado.
- ☒ B. Cada módulo de DRAM puede tener tantas filas abiertas como bancos.
- ☐ C. Cada módulo de DRAM puede tener abiertas tantas filas como canales tenga el controlador.
- ☐ D. Cada módulo de DRAM puede tener tantas filas abiertas como ranks.

[Borra selección](#)

## Preguntas 3 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Indica la afirmación correcta:

- ☐ A.  
La técnica CRITICAL WORD FIRST permite reducir el componente de la latencia (L) de la penalización de fallo.
- ☒ B. La penalización de fallo incluye la latencia de acceso más el tiempo de transferencia del bloque.
- ☐ C. La técnica CRITICAL WORD FIRST transfiere primero la palabra de menor peso dentro del bloque.
- ☐ D.  
La penalización de fallo incluye, en caso de EARLY RESTART, la latencia de acceso más el tiempo de transferencia de la primera palabra.

Borra selección

## Preguntas 4 de 10

1 Puntos. Puntos descontados por fallo: 0.33

La tendencia mostrada en las nuevas organizaciones de memoria principal en los procesadores es:

- ☒ A. Poner chips más pequeños para poder realizar más accesos en paralelo.
- ☐ B. Aumentar el voltaje de alimentación para soportar bancos con mayor capacidad.
- ☐ C.  
Aumentar el solapamiento haciendo que el sistema total (controladores, ranks y canales) disponga de más bancos.
- ☐ D. Reducir la penalización de acceso, haciendo las memorias más rápidas.

Borra selección

## Preguntas 5 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Elige las afirmaciones correctas. Un sistema dispone de dos caches (L1 y L2), la cache L1 implementa la política de escritura no-write allocate y la cache L2 write allocate. En dicho sistema:

- ☒ A. Un fallo de escritura en ambas caches solo se traería el bloque a la cache L2.
- ☐ B.  
Un fallo de escritura, implicaría una escritura en memoria principal pero el bloque no se traería a ninguna cache.
- ☐ C. Un fallo de escritura en ambas caches solo se traería el bloque a la cache L1.
- ☐ D. Un fallo de escritura en ambas caches se traería el bloque a ambas caches.

Borra selección

---

## Preguntas 6 de 10

1 Puntos. Puntos descontados por fallo: 0.33

Elige las afirmaciones correctas. En un sistema con dos caches L1 y L2. Si la cache L1 implementa la política de escritura write-back (WB) entonces se reduce:

- ☐ A. El número de bloques escritos en L2 y MP (memoria principal).
- ☐ B. El número de bloques escritos en L1.
- ☐ C. El número de bloques escritos en L1 y L2.
- ☐ D. El número de bloques escritos en L2.

Borra selección

## Preguntas 7 de 10

1 Puntos

¿Cuál de los siguientes enunciados sobre las políticas de escritura en cache es **CIERTO**? (marca todas las respuestas correctas)

☐

A.

Con la política *Write-back* la memoria principal sólo está completamente actualizada cuando no hay bloques *sucios* en los niveles de antememoria.

☐

B.

Con la política *Write-back* sólo se escribe en un nivel de cache si el bloque ya está presente en dicho nivel.

☐

C.

Con la estrategia *Write through* cuando un bloque no está en antememoria no se trae desde los niveles inferiores ni se produce ningún reemplazamiento.

☐

D.

La estrategia *Write allocate* trae un bloque a una antememoria siempre que se intenta escribir en un bloque que no está presente en la antememoria.

## Parte 2 de 2 - Ejercicios

Preguntas 8 de 10

1 Puntos

**Importante:** utiliza únicamente el punto como separador decimal.

Un sistema con dos niveles de cache obtiene una tasa de fallos media en el primer nivel L1 de 0.07 y de 0.42 en el segundo nivel L2. Si el tiempo de acierto en la cache L1 es  $TA_{L1} = 1$  ciclo y en la cache L2  $TA_{L2} = 4$  ciclos, y la penalización por fallo de la cache L2 (acceso a memoria) es  $PF_{L2} = 70$  ciclos, la penalización por fallos del nivel L1 será  $PF_{L1} =$   ciclos.

Preguntas 9 de 10

1 Puntos. Puntos descontados por fallo: 0.33

El tiempo de acierto en una cache es de 1ns. Sea un programa compuesto por 200 millones de instrucciones que se ejecutan en un procesador con una frecuencia de reloj de 1GHz. El número de instrucciones de acceso a memoria es de 600.000, de las cuales un tercio encuentra el dato solicitado en la cache, y el resto acceden a memoria principal con un tiempo de 100 ciclos del procesador. Obtener el tiempo medio de acceso de este programa. Elegir la respuesta CORRECTA.

- ☐ A. 51 ns
- ☐ B. 100 ns
- ☐ C. 80 ns
- ☐ D. Ninguna de las otras respuestas

Borra selección

Preguntas 10 de 10

1 Puntos

**Importante:** utiliza únicamente el punto como separador decimal.

En un sistema con cache L1 de instrucciones y datos separadas ejecuta un programa con un 15% de instrucciones de acceso a memoria. Si la tasa de fallos a la cache de instrucciones es  $TF_I = 0.03$  y a la cache de datos es  $TF_D = 0.09$ , la tasa de fallos unificada a la cache L1 será  $TF_{I+D} =$  .

GuardarEnviar para calificar

- [PoliformaT](#)
- [UPV](#)
- [Powered by Sakai](#)

- Copyright 2003-2019 The Sakai Foundation. All rights reserved. Portions of Sakai are copyrighted by other parties as described in the Acknowledgments screen.