

# FUNDAMENTOS DE COMPUTADORES

## Práctica 3

### Decodificadores y multiplexores

Apellidos y nombre	Grupo	DNI

En esta tercera práctica, una vez conocidos los conceptos de la lógica combinacional y habiendo experimentado con puertas y funciones lógicas elementales, así como su utilización para generar funciones y su posterior simplificación, el alumno pondrá en práctica los conocimientos adquiridos relativos a circuitos más complejos y de especial importancia dentro de las diferentes unidades funcionales del computador, como son los decodificadores y multiplexores.

Las pastillas o chips disponibles en el mercado con decodificadores y multiplexores forman parte de los llamados circuitos de media escala de integración (o MSI). En esta práctica implementaremos funciones lógicas mediante el uso de dichos circuitos.

El esquema del entrenador que usará el alumno será exactamente el mismo que se utilizó en las prácticas anteriores, no se introducirá ningún otro bloque funcional. Recordemos dicho esquema:

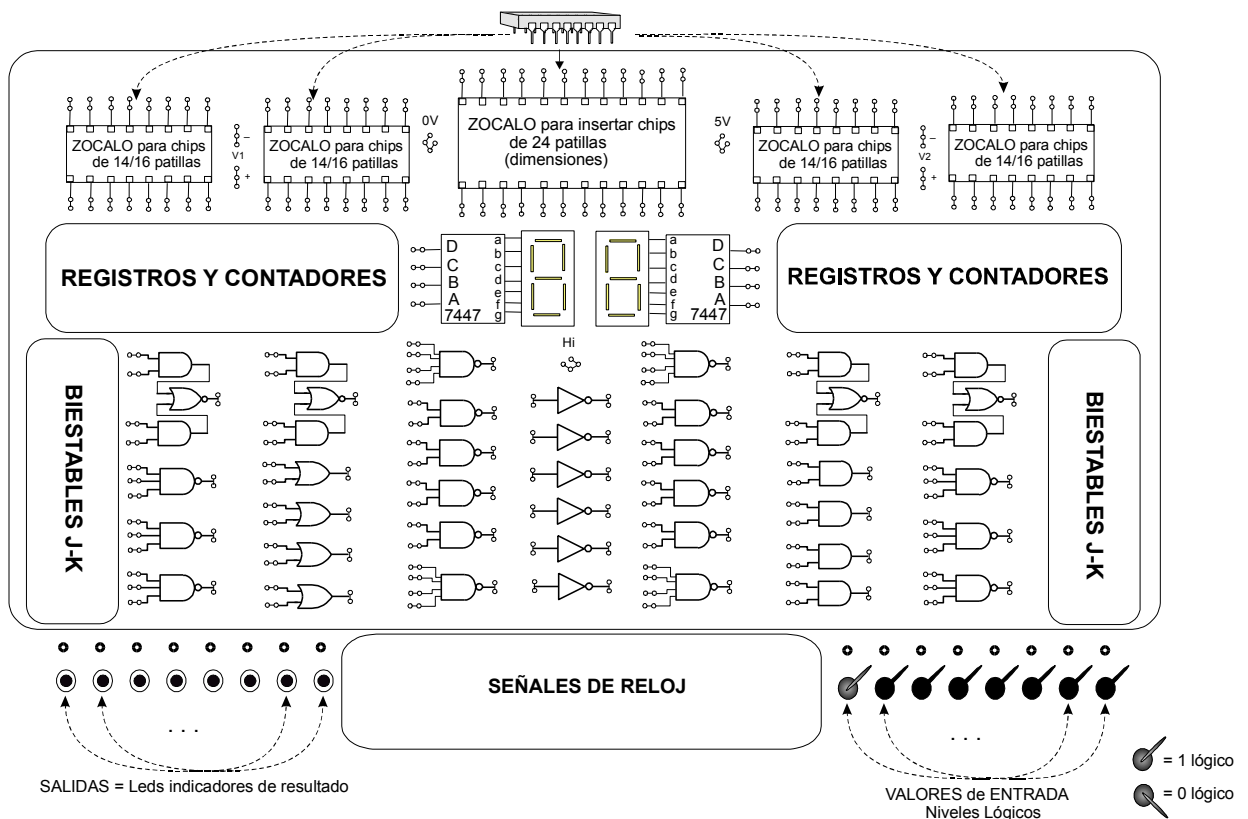


Figura 1: Esquema funcional detallado del entrenador lógico.

## 1. DECODIFICADORES BINARIOS.

En este primer apartado el alumno pondrá en práctica los conocimientos teóricos relativos a decodificadores binarios. El circuito MSI que se utilizará es el circuito integrado (CI) 74139 de 16 patillas, que incorpora dos decodificadores independientes de 2 entradas y 4 salidas (activas a nivel bajo), además de 1 entrada de habilitación (también activa a nivel bajo). En las hojas de especificaciones del fabricante (ver anexos), el alumno encontrará toda la información necesaria para el conexionado y utilización del 74139. El alumno debe de ir familiarizándose con estas hojas de especificaciones de cara a saber interpretar cualquier circuito a partir de las especificaciones del mismo.

***¡Téngase en cuenta que el fabricante utiliza las mismas hojas técnicas para describir dos decodificadores distintos, el 74138 (un solo decodificador de 3 a 8 con varias habilitaciones) y el 74139 (dos decodificadores de 2 a 4 con habilitación integrados en un único CI).***

- a) Utilícese el circuito 74139 colocado en uno de los zócalos de 16 patillas del entrenador y verifíquese el correcto funcionamiento de cualquiera de los dos decodificadores de 2 a 4 mediante la obtención de su tabla de verdad.

Entradas			Salidas			
Habilitación	Selección					
/G	B	A	/Y0	/Y1	/Y2	/Y3
1						
0						
0						
0						
0						

*Tabla de verdad de un decodificador de los dos incorporados en el chip 74139*

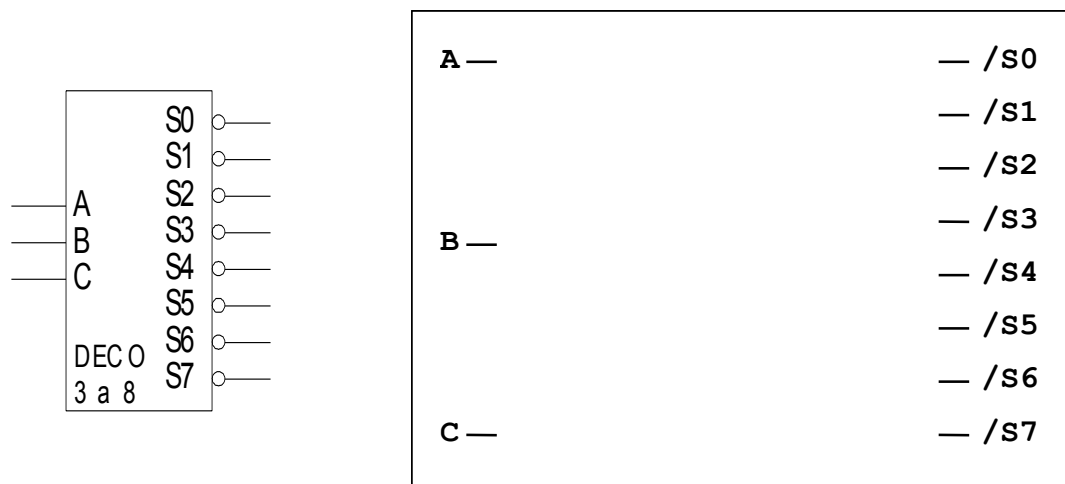
**NOTA:** En la tabla de verdad anterior se han utilizado nombres genéricos; el fabricante, para distinguir las entradas y salidas de cada uno de los decodificadores que se encuentran dentro del chip las denomina /G1, A1, B1, /1Y0, /1Y1, /1Y2, /1Y3 para el primero y /G2, A2, B2, /2Y0, /2Y1, /2Y2, /2Y3 para el segundo.

- b) Dibuje el símbolo lógico correspondiente a la tabla de verdad anterior

***ATENCIÓN:*** No olvide, para este circuito y para todos los demás, etiquetar todas las entradas y salidas, y emplear la nomenclatura adecuada a las entradas y salidas activas a nivel bajo.

Una de las técnicas mediante la cual es posible obtener decodificadores de mayor número de entradas a partir de otros con un número menor, es la **composición de decodificadores**, que consiste en colocar varios decodificadores en paralelo y mediante lógica adicional determinar qué decodificador debe estar activo en cada momento.

- c) Utilizando la técnica comentada anteriormente, utilícense los dos decodificadores del circuito 74139 junto con una puerta NOT para diseñar e implementar en el entrenador un decodificador de 3 a 8, cuyo símbolo lógico podemos observar en la figura siguiente. (Nota: observar que en este caso no existe entrada de habilitación externa).



*Símbolo lógico DECO 3 a 8*

*Circuito implementado*

**NO DESMONTAR EL CIRCUITO** (se utiliza en apartados posteriores)

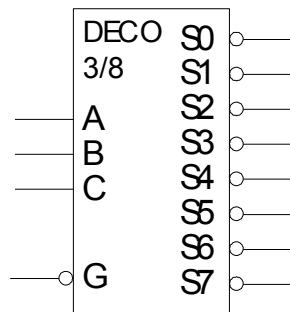
- d) Verifíquese el correcto funcionamiento del circuito implementado en el apartado anterior obteniendo su tabla de verdad.

Entradas	Salidas							
<b>CBA</b>	<b>/S0</b>	<b>/S1</b>	<b>/S2</b>	<b>/S3</b>	<b>/S4</b>	<b>/S5</b>	<b>/S6</b>	<b>/S7</b>
000								
001								
010								
011								
100								
101								
110								
111								

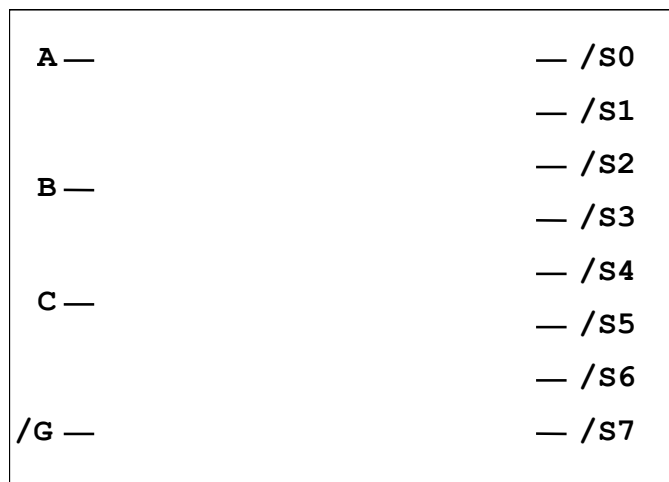
*Tabla de verdad de un decodificador de 3 a 8*

- e) Modifíquese el decodificador 3 a 8 implementado en el apartado “c” de forma que se obtenga un circuito decodificador 3 a 8 con **entrada de habilitación externa** a nivel bajo. Para la implementación de dicho circuito tendrán que utilizarse algunas puertas lógicas adicionales.

Muéstrese el circuito implementado junto al símbolo lógico del mismo.



Símbolo lógico DECO 3 a 8  
Con entrada de habilitación /G



Circuito implementado

- f) Verifíquese el correcto funcionamiento del circuito implementado en el apartado anterior obteniendo su tabla de verdad.

Entradas		Salidas							
/G	CBA	/S0	/S1	/S2	/S3	/S4	/S5	/S6	/S7
0	000								
0	001								
0	010								
0	011								
0	100								
0	101								
0	110								
0	111								
1	000								
1	001								
1	010								
1	011								
1	100								
1	101								
1	110								
1	111								

Tabla de verdad de un decodificador de 3 a 8 con entrada de habilitación /G

## 2. MULTIPLEXORES.

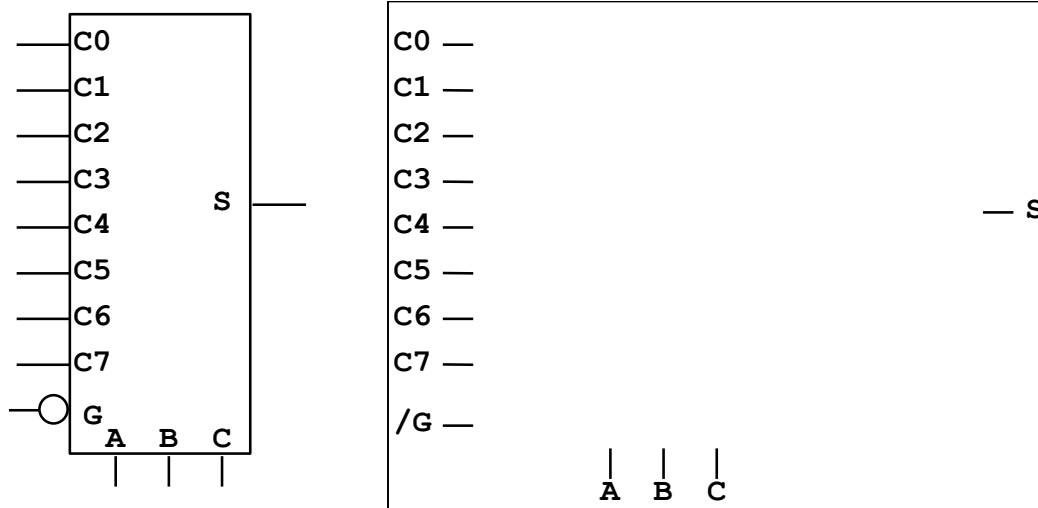
Un multiplexor es un circuito combinacional con  $2^n$  líneas de entrada de datos, 1 línea de salida y  $n$  entradas de selección. Las entradas de selección indican cuál de las líneas de entrada de datos es la que proporciona el valor a la línea de salida.

El circuito MSI que se utilizará es el CI 74153 de 16 patillas (ver hojas de especificaciones en anexo) que incorpora dos multiplexores completos en el mismo chip.

También se pueden construir multiplexores con mayor número de entradas utilizando multiplexores de menos entradas, utilizando la **composición de multiplexores**.

- a) Utilícese el chip 74153 y las puertas necesarias disponibles en el entrenador, para construir un multiplexor de 8 a 1 con entrada de habilitación activa a nivel bajo. **Téngase en cuenta que solamente disponemos de un circuito integrado 74153, por lo que será necesario implementar mediante puertas lógicas alguno de los multiplexores empleados en la composición.**

**NO DESMONTÉIS EL CIRCUITO.**



*Símbolo lógico MUX 8 a 1  
con entrada de habilitación /G*

*Circuito implementado*

### NOTAS DE MONTAJE:

Como en el entrenador lógico no disponemos de 12 entradas (las que serían necesarias para probar todas las combinaciones de valores de las entradas del circuito), fijaremos las entradas de datos (C7, C6, C5, C4, C3, C2, C1 y C0) a los valores fijos **01110001** respectivamente. Nos quedarán así solamente 4 entradas (/G, C, B y A) y podremos probar, solamente, 16 combinaciones de las  $2^{12}$  (4096) combinaciones posibles de los valores de entrada.

- b) Para comprobar el multiplexor hemos dado valores fijos a las entradas de datos, el que hemos hecho ha sido implementar una función lógica concreta. ¿Sabrías decir cuál es esta función? Exprésala por medio de la forma canónica disyuntiva:

$$f_{C,B,A} = \sum_{CBA} ( \quad )$$