



ENLACE



Inicio



Guía Docente



Anuncios



Recursos



Tareas



Exámenes



Calificaciones



Calendario



Grupos



Videoapuntes



Simuladores MIPS

## UT3 Seguimiento

[Volver a la Lista de Exámenes](#)

Parte 1 de 2 - Teoría

3.01/ 7.0 Puntos

Preguntas 1 de 10

-0.33/ 1.0 Puntos. Puntos descontados por fallo: 0.33

Elige las afirmaciones correctas. En un sistema con dos caches L1 y L2. Si la cache L1 implementa la política de escritura write-back (WB) entonces se reduce:

- ☐ A. El número de bloques escritos en L1.
- ☐ B. El número de bloques escritos en L2.
- ☒ C. El número de bloques escritos en L2 y MP (memoria principal).
- ☐ D. El número de bloques escritos en L1 y L2.

Preguntas 2 de 10

1.0/ 1.0 Puntos. Puntos descontados por fallo: 0.33

Elige las afirmaciones correctas. Un sistema dispone de dos caches (L1 y L2), la cache L1 implementa la política de escritura no-write allocate y la cache L2 write allocate. En dicho sistema:

- ☐ A. Un fallo de escritura, implicaría una escritura en memoria principal pero el bloque no se traería a ninguna cache.
- ☐ B. Un fallo de escritura en ambas caches se traería el bloque a ambas caches.
- ☐ C. Un fallo de escritura en ambas caches solo se traería el bloque a la cache L1.
- ☒ D. Un fallo de escritura en ambas caches solo se traería el bloque a la cache L2.

Preguntas 3 de 10

-0.33/ 1.0 Puntos. Puntos descontados por fallo: 0.33

La tendencia mostrada en las nuevas organizaciones de memoria principal en los procesadores es:

- ☐ A. Reducir la penalización de acceso, haciendo las memorias más rápidas.
- ☐ B. Aumentar el voltaje de alimentación para soportar bancos con mayor capacidad.
- ☐ C. Aumentar el solapamiento haciendo que el sistema total (controladores, ranks y canales) disponga de más bancos.
- ☒ D. Poner chips más pequeños para poder realizar más accesos en paralelo.

Preguntas 4 de 10

1.0/ 1.0 Puntos

Indique TODAS las afirmaciones correctas

☐

A.

Cuando se aplica la técnica *load-bypassing* sobre los Buffers de Escritura, una instrucción de carga puede continuar cuando se dispone del dato referenciado por la dirección de carga en el buffer de escritura.☐

B.

Cuando se utilizan las políticas *Write-Back/Write-allocate* la existencia de un Buffer de Escritura con el siguiente nivel elimina la penalización por fallo siempre que hay un fallo en escritura en la cache.☒

C.

La técnica de Buffers de Escrituras combinadas pretende reducir el número de accesos a memoria combinando escrituras pertenecientes al mismo bloque en una única petición.

☒

D.

Cuando se utilizan Buffers de Escritura una instrucción de carga puede continuar si la dirección accedida no se encuentra en dicho buffer.

Preguntas 5 de 10

1.0/ 1.0 Puntos. Puntos descontados por fallo: 0.33

Indica la afirmación correcta:

☒

A.

La penalización de fallo incluye la latencia de acceso más el tiempo de transferencia del bloque.

☐

B.

La penalización de fallo incluye, en caso de F&amp;BPI Y RESTART la latencia de acceso más el tiempo de transferencia de la primera palabra

- ☐ B. La penalización de fallo mayor, en caso de fallo, reduce la frecuencia de acceso más el tiempo de transferencia de la primera palabra.
- ☐ C. La técnica CRITICAL WORD FIRST permite reducir el componente de la latencia (L) de la penalización de fallo.
- ☐ D. La técnica CRITICAL WORD FIRST transfiere primero la palabra de menor peso dentro del bloque.

Preguntas 6 de 10

1.0/ 1.0 Puntos

Respecto a los módulos de memoria principal, la aparición de las memorias DDR tuvo como principal contribución la transferencia de datos en los dos flancos de la señal de reloj.

Preguntas 7 de 10

-0.33/ 1.0 Puntos. Puntos descontados por fallo: 0.33

Elige las afirmaciones correctas. Un sistema tiene dos caches L1 y L2. Si la cache L1 implementa la política de escritura write-back (WB) entonces se reduce:

- ☐ A. El número de bloques escritos en L1.
- ☐ B. El número de bloques escritos en L2.
- ☒ C. El número de bloques escritos en L2 y MP (memoria principal).
- ☐ D. El número de bloques escritos en L1 y L2.

Parte 2 de 2 - Ejercicios

0.34/ 3.0 Puntos

Preguntas 8 de 10

1.0/ 1.0 Puntos

**Importante:** utiliza únicamente el punto como separador decimal.

Un programa se ejecuta sobre un sistema con dos niveles de cache. La tasa de fallos de primer nivel  $TF_{L1}$  es 0.09 y la tasa de fallos global  $TF_{L1+L2}$  es 0.0396. Así pues, la tasa de fallos local de L2  $TF_{L2}$  será 0.44.

Preguntas 9 de 10

-0.33/ 1.0 Puntos. Puntos descontados por fallo: 0.33

Un procesador tiene una cache de L3 conectada al bus de memoria donde se encuentra un DIMM DDR3. El tamaño de bloque de la DDR es de 256 bytes. ¿Cuántos ciclos de bus duraría la transferencia de todo el bloque?

- ☒ A. Ninguna de las otras respuestas
- ☐ B. 32
- ☐ C. 16
- ☐ D. 64

Preguntas 10 de 10

-0.33/ 1.0 Puntos. Puntos descontados por fallo: 0.33

El tiempo de acierto en una cache es de 1ns. Sea un programa compuesto por 200 millones de instrucciones que se ejecutan en un procesador con una frecuencia de reloj de 1GHz. El número de instrucciones de acceso a memoria es de 600.000, de las cuales un tercio encuentra el dato solicitado en la cache, y el resto acceden a memoria principal con un tiempo de 100 ciclos del procesador. Obtener el tiempo medio de acceso de este programa. Elegir la respuesta CORRECTA.

- ☐ A. 100 ns
- ☐ B. 80 ns
- ☒ C. Ninguna de las otras respuestas
- ☐ D. 51 ns

- [Powered by Sakai](#)
- Copyright 2003-2019 The Sakai Foundation. All rights reserved. Portions of Sakai are copyrighted by other parties as described in the Acknowledgments screen.

► Información de SW:

► Hora del servidor: