- 3. (2,5 **puntos**) Respecto a la ejecución de un programa en un procesador con ejecución fuera de orden con una frecuencia de 4 GHz se dispone de i) diagrama de instrucciones-ciclos, ii) valores iniciales de memoria y banco de registros, y iii) contenido del ROB al final de un ciclo X desconocido. A continuación se muestran dichos datos:
 - Diagrama de instrucciones-ciclos:

```
PC Instruc.
                   1
                      2
                          3
                             4
                                5
                                    6
                                       7
                                                 10 11 12 13 14 15 16
                                           8
0 1.d f0,4(r1)
                   IF I
                          AC L1 L2 L3 WB
                                          С
1 mul.d f4, f0, f2
                      IF I
                                          M1 M2 M3 WB C
2 s.d f4,4(r1)
                         IF I
                                AC -
                                                               L1 L2 L3
3 dsubi r1, r1, 8
                             IF I E1
                                           WB -
                                                               С
4 bnez r1, loop
                                IF I
                                              E1 WB
                                                    _
0 l.d f0,4(r1)
                                                                      С
                                    IF I
                                              AC L1 L2 L3 WB -
                                       IF I
1 mul.d f4,f0,f2
                                                               M1 M2 M3
2 \text{ s.d } f4,4(r1)
                                           IF I
                                                 AC -
3 dsubi r1, r1, 8
                                              IF I E1 WB -
4 bnez r1, loop
                                                 IF I
                                                           E1 WB
0 1.d f0,4(r1)
                                                     IF I
                                                           AC -
1 mul.d f4, f0, f2
                                                        IF I
2 \text{ s.d } f4,4(r1)
                                                            IF I
                                                                  AC
3 dsubi r1, r1, 8
                                                               IF I
                                                                      E1
4 bnez r1, loop
                                                                  IF I
0 1.d f0, 4(r1)
                                                                      IF
```

- Valores iniciales de memoria y banco registros.
 - Mem[76] = 15; Mem[68] = 20
 - Regs[F2] = 2.0; Regs[R1] = 72
- Contenido del ROB al final del ciclo X.

	busy	instr	completed	dest	value	pred	PC
0	NO	l.d f0,4(r1)	SÍ	F0	15		0
1	NO	mul.d f4,f0,f2	SÍ	F4	30		1
2	NO	s.d f4,4(r1)		s1			2
3	NO	dsubi r1,r1,8	SÍ	<i>R1</i>	64		3
4	NO	bnez r1,loop	SÍ	loop	Salta	Salta	4
5	SÍ	1.d f0,4(r1)	SÍ	F0	20		0
6	SÍ	mul.d f4,f0,f2		F4			1
7	SÍ	s.d f4,4(r1)		s2			2
8	SÍ	dsubi r1,r1,8	SÍ	R1	56		3
9	SÍ	bnez r1,loop	SÍ	loop	Salta	Salta	4
10	SÍ	1.d f0,4(r1)		F0			0
11	SÍ	mul.d f4,f0,f2		F4			1
12	SÍ	s.d f4,4(r1)		s3			2
13	SÍ	dsubi r1,r1,8		R1			3
14	NO						
15	NO						

Se pide:

- a) Contenido de los bancos de registros (enteros y coma flotante) al final del ciclo 16.
- b) Contenido de las estaciones de reserva del sumador/restador al final del ciclo 16.
- c) Valor de X, justificando la respuesta.
- d) Contenido de las estaciones de reserva del multiplicador al final del ciclo X.

ANEXO. CAMPOS DE LAS ESTRUCTURAS. Utiliza solo las que necesites Bancos de registros.

	F0	F1	F2	F3	F4	F5	F6	F7
rob								
valor								
	R0	R1	R2	R3	R4	R5	R6	R7
rob	R0	R1	R2	R3	R4	R5	R6	R7

Estaciones de reserva.

	busy	Op	Q1	V1	Q2	V2	rob	result
e1								

	busy	Op	Q1	V1	Q2	V2	rob	result
m1								

Buffers de lectura.

	busy	Q1	V1	disp	addr	rob	result
11							

Buffers de escritura.

	busy	Q1	V1	disp	addr	rob	Q2	V2	confirm
s1	•••								