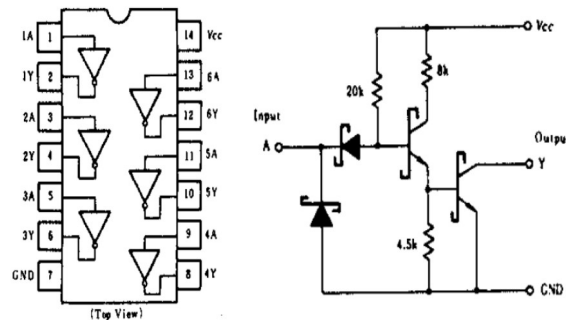


**10 Cuestiones de TEORIA (6 puntos) . Puntuación: BIEN:+0.6 puntos. MAL: -0.15 puntos. N.C.: 0**

1. La figura adjunta muestra el chip 74LS05, que contiene 6 inversores. El esquema de uno de estos inversores se muestra en el circuito de la derecha. Indique la respuesta **FALSA**:

- [A] El chip pertenece a la familia LSTTL (Low Power Schottky TTL).
- [B] Los inversores tienen salida en colector abierto.
- [C] Emplea diodos y transistores Schottky, que aumentan la velocidad de las puertas.
- [D] La salida de los inversores se puede conectar a una entrada TTL directamente, sin ningún componente adicional.

La salida de los inversores es en colector abierto por lo que no se puede conectar a una entrada TTL directamente. Hace falta una  $R_{pull-up}$  conectada a las salidas y a la tensión de alimentación del receptor.



2. Para el circuito contador síncrono de la figura, que emplea biestables JK, calcule la frecuencia máxima de funcionamiento:

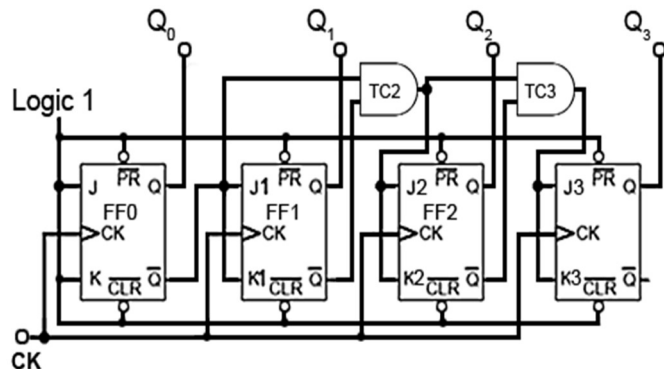
Nota: las entradas de puesta a 1 (/PR) y puesta a 0 (/CLR), al ser asíncronas, no influyen en el cálculo de la frecuencia máxima.

Datos biestables:  $t_{su} = 5ns$ ;  $t_h = 2ns$ ;  $t_{pd} = 15ns$   
 Datos puertas lógicas:  $t_{pd} = 10ns$

- [A]  $F_{m\acute{a}x} = 23.8 \text{ MHz}$
- [B]  $F_{m\acute{a}x} = 25 \text{ MHz}$
- [C]  $F_{m\acute{a}x} = 33.33 \text{ MHz}$
- [D]  $F_{m\acute{a}x} = 31.25 \text{ MHz}$

Teniendo en cuenta el camino más largo, que es el peor caso (J3), se tiene:  
 $T_{min} = 2 \cdot t_{pdAND} + t_{pdBIESTABLE} + t_{su} = 20ns + 15ns + 5ns = 40ns$

$F_{m\acute{a}x} = 1 / T_{min} = 1 / 40ns = 0,025GHz = 25MHz$

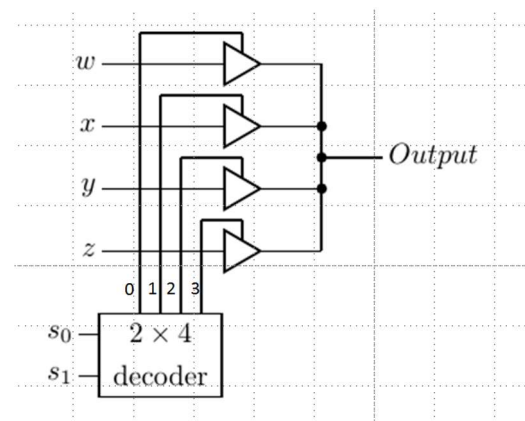


3. Sobre el circuito de la figura, indique la respuesta **CORRECTA**:

Nota: se asume que  $s_1$  tiene más peso que  $s_0$

- [A] Con la combinación  $s_1=1$ ,  $s_0=0$ , la salida Output = x.
- [B] El circuito puede funcionar como un multiplexor de 4 canales (w,x,y,z) y dos señales de selección ( $s_1, s_0$ ).
- [C] Falta conectar una resistencia de pull-up entre la salida y la alimentación.
- [D] El diseño no funciona, pues la interconexión de las salidas de los buffers puede provocar un conflicto lógico.

Se puede observar que el circuito incluye una serie de buffers que comparten sus salidas. En función de la combinación de entrada ( $s_1, s_0$ ), una de las salidas del decoder pasa a nivel alto, habilitando el buffer correspondiente. De este modo, el buffer habilitado transmite el valor de la entrada a la salida. No hay conflicto lógico pues el resto de buffers no están habilitados (salida en alta impedancia).



4. Indique la respuesta **FALSA** acerca de las características de diferentes familias lógicas:

- [A] La familia NMOS presenta consumo estático cuando la salida es '0' lógico.  
 [B] La familia TTL emplea transistores bipolares.  
 [C] **El consumo dinámico de la familia CMOS depende cuadráticamente de la frecuencia de funcionamiento.**  
 [D] El consumo estático en CMOS es prácticamente nulo, pues es debido a corrientes de fuga.

$$P_{\text{Dinámica}} = V_{DD}^2 \cdot C_L \cdot f$$

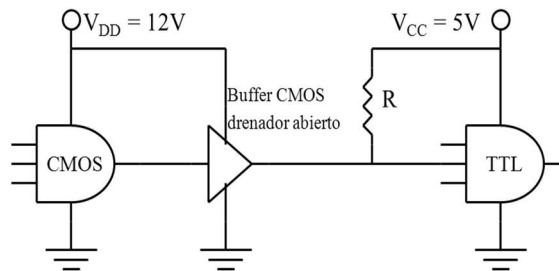
5. El circuito de la figura muestra la conexión de una puerta CMOS alimentada a +12V con una puerta TTL alimentada a +5V. Para ello se ha intercalado un buffer drenador abierto con una resistencia de pull-up. ¿Cuál es el valor máximo de R que asegura una correcta conexión?

#### Buffer CMOS

$I_{OL\max} = 15 \text{ mA}$   
 $I_{OH\max} = 0.1 \text{ mA}$  (fugas)  
 $V_{OL\max} = 0.3 \text{ V}$

#### TTL

$I_{IL\max} = -1.6 \text{ mA}$   
 $I_{IH\max} = 20 \mu\text{A}$   
 $V_{IH\min} = 2 \text{ V}$



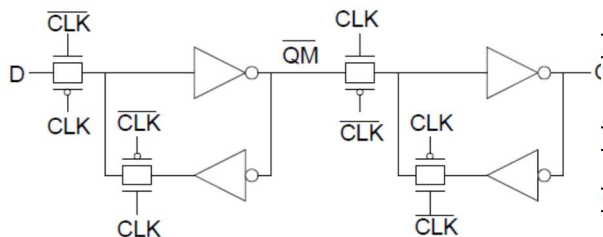
- [A]  **$R_{\max} = 25 \text{ k}\Omega$**   
 [B]  $R_{\max} = 10 \text{ k}\Omega$   
 [C]  $R_{\max} = 41.6 \text{ k}\Omega$   
 [D] El diseño es erróneo, el buffer se ha de alimentar a +5V para compatibilizar las tensiones.

A nivel alto, la resistencia de pull-up debe estar acotada superiormente para evitar que la caída de tensión en la misma ( $R_{pu} \cdot I_{Rpu}$ ), lleve la tensión de entrada a la puerta TTL por debajo de  $V_{IH\min}$ . Esto es, se ha de cumplir:

$$V_o = V_{CC} - R_{pu} \cdot I_{Rpu} \geq V_{IH\min}$$

$$R_{pu} \leq \frac{V_{CC} - V_{IH\min}}{m \cdot I_{OH\max} + n \cdot I_{IH\max}} \quad R_{pu} \leq \frac{5\text{V} - 2\text{V}}{0,1\text{mA} + 0,02\text{mA}} \quad R_{pu} \leq 25\text{k}\Omega$$

6. Dado el circuito adjunto, indique la afirmación **FALSA**:



- [A] Es un biestable D activo por flanco, implementado con puertas de transmisión CMOS.  
 [B] Está formado por dos *latches* D conectados en modo *master-slave*.  
 [C] Cuando CLK = '0', el *latch* maestro captura el valor de la entrada D.  
 [D] **Funciona como un biestable D activo por flanco de bajada.**

El circuito funciona como un biestable D activo por flanco de subida. El "maestro" lee la información de entrada en D cuando CLK = 0 y transmite al "esclavo" en el flanco de subida.

7. Indique cuál de las siguientes opciones permite aumentar la velocidad de un determinado circuito lógico CMOS:

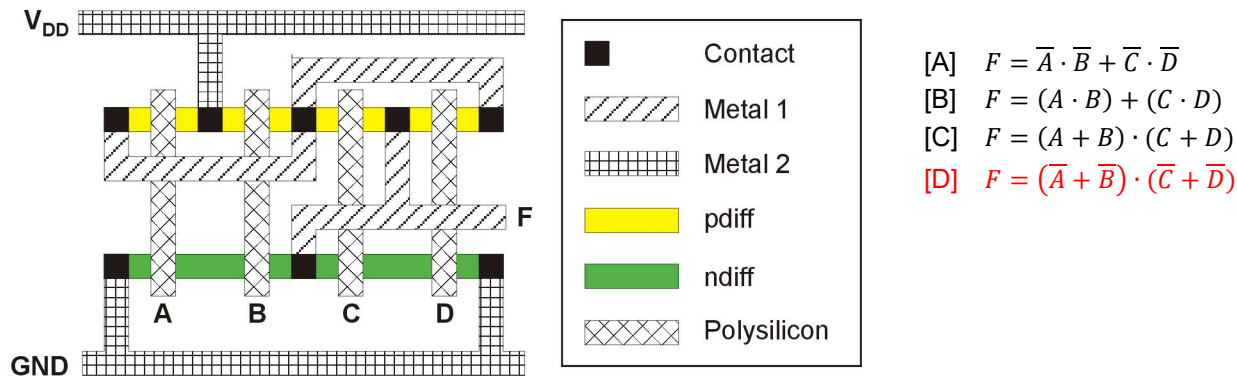
- [A] Disminuir la tensión de alimentación  $V_{DD}$ .  
 [B] Aumentar la tensión umbral  $V_T$  de los transistores.  
 [C] **Disminuir la capacidad parásita de carga  $C_L$ .**  
 [D] Disminuir la constante K de los transistores.

El retardo de propagación se puede expresar como:

$$t_p = \frac{C_L}{2 * (V_{DD} - V_T)} \left( \frac{1}{K_p} + \frac{1}{K_n} \right)$$

En esta expresión se observa que si disminuye la capacidad parásita de carga  $C_L$  disminuye el retardo y, por tanto, aumenta la velocidad. En todos los otros casos el retardo aumenta.

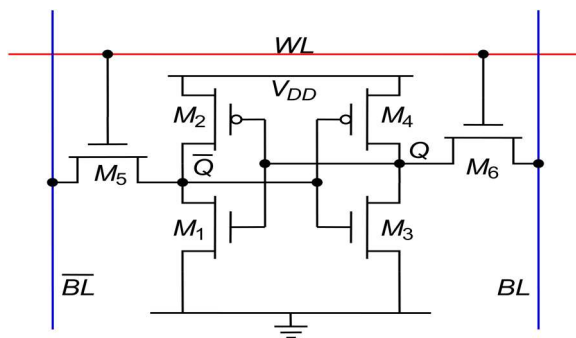
8. A partir del *layout* de la figura, identifique la función que implementa:



Si nos fijamos en el bloque PMOS, los transistores con entradas A y B comparten un terminal conectado a  $V_{DD}$  y dos terminales conectados entre sí, por lo que están en paralelo (función suma). Los transistores cuyas entradas son C y D también están conectados en paralelo (función suma) pues comparten un terminal conectado a la salida F y otros dos terminales conectados entre sí. Se observa que ambas agrupaciones en paralelo están, a su vez, conectadas en serie (función producto). El bloque NMOS es dual del PMOS y está conectado entre la salida F y masa. Por tanto, se puede obtener la expresión de F, a partir del bloque PMOS, negando cada una de las entradas individualmente:

$$F = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D})$$

9. Dada la celda de memoria de la figura, indique la respuesta **FALSA**:

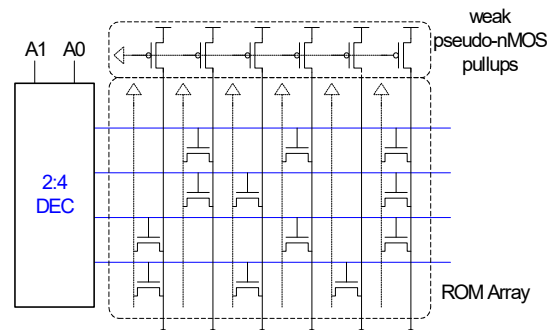


- [A] Es una celda de memoria estática formada por dos inversores CMOS realimentados y dos puertas de transmisión NMOS.
- [B] Los transistores de paso M5 y M6 permiten el acceso a la celda en los ciclos de lectura/escritura, cuando  $WL=0$ .
- [C] El proceso de lectura consiste en: precargar BL y /BL a  $V_{DD}$ , activar WL y leer de las líneas de bit.
- [D] La información almacenada en la celda se conserva sin necesidad de un refresco periódico, siempre que se mantenga conectada la alimentación.

Los transistores de paso M5 y M6 permiten el acceso a la celda en los ciclos de lectura/escritura, cuando  $WL=1$ .

10. De las siguientes afirmaciones acerca del contenido de la ROM de la figura, señale la **FALSA**: (asuma que la línea BL situada más a la derecha se corresponde con el bit Y0 del dato almacenado y la línea WL[0] es la salida superior del decodificador)

- [A] La posición  $(A_1A_0) = (00)$  contiene el dato  $(Y_5...Y_0) = (101\ 010)$
- [B] Es una memoria ROM de cuatro palabras de 6 bits cada una.
- [C] La posición  $(A_1A_0) = (11)$  contiene el dato  $(Y_5...Y_0) = (010101)$
- [D] La posición  $(A_1A_0) = (10)$  contiene el dato  $(Y_5...Y_0) = (100101)$



La posición  $(A_1A_0) = (10)$  contiene el dato  $(Y_5...Y_0) = (011010)$ , ya que la presencia de un elemento estructural (transistor NMOS) en la celda, almacena un 0, y su ausencia, pone la línea de bit a "1" gracias a las cargas PMOS conectadas a  $V_{DD}$  de la parte superior.

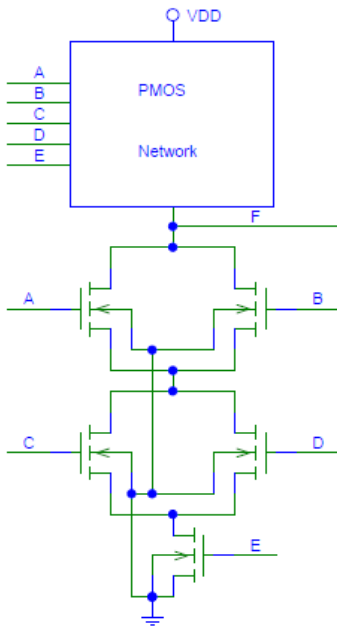
Apellidos:

Nombre:

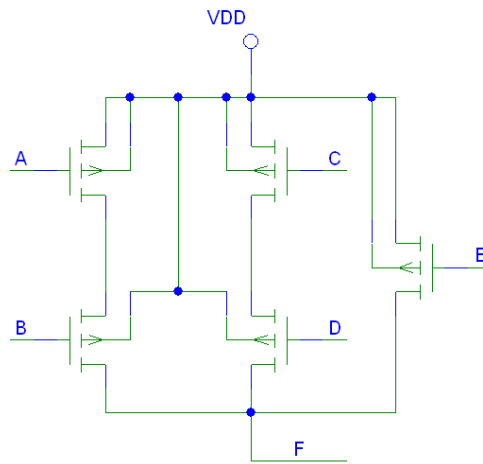
**PROBLEMA (4 PUNTOS)**

- A. (0.8 ptos.) El esquema de la figura implementa una función lógica  $F(A, B, C, D, E)$  en tecnología CMOS complementaria. En la figura se muestra solamente el esquema de la red de transistores NMOS. Se pide dibujar el esquema de la red complementaria de transistores PMOS. Justifique la respuesta.

Nota: utilice el símbolo con el sustrato de los transistores, tal y como se hace en el bloque NMOS.



La red PMOS será la complementaria de la NMOS, es decir, si en esta los transistores están en serie, en la PMOS estarán en paralelo, y viceversa. Los sustratos de todos los transistores PMOS deben conectarse a  $V_{DD}$ :



- B. (0.6 ptos.) Escriba la ecuación lógica de la salida  $F$  en función de las entradas. Justifique la respuesta

La ecuación se puede obtener de la red PMOS o de la NMOS. De esta última, se puede obtener una función  $G$  con la regla siguiente: los transistores en serie equivalen a la función AND de las entradas que hay en las entradas de sus puertas, y los que están en paralelo equivalen a la función OR. Del mismo modo, las asociaciones de bloques en serie equivalen a la función AND y en paralelo a la función OR. Finalmente,  $F$  es la inversa de  $G$ :

$$F(A, B, C, D, E) = \overline{(A + B)(C + D)E} = \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{E}$$

- C. (0.8 ptos.) Suponga que el circuito pertenece a un chip con una tensión de alimentación  $V_{DD} = 2.5V$  y frecuencia de reloj  $f_{clock} = 1GHz$ . Además el factor de actividad medio de las entradas es  $\alpha = 0.4$  y la capacidad media por transistor es  $C_L = 10 fF$  ( $1fF = 10^{-15}F$ ). Calcule la **potencia dinámica** aproximada del circuito, en mW.

La potencia dinámica depende de la tensión de alimentación ( $V_{DD}$ ), de la capacidad total del circuito (para 10 transistores), y del factor de actividad multiplicado por la frecuencia de reloj, según la fórmula siguiente.  $C$  es la capacidad total del circuito, que tiene 10 transistores ( $10C_L$ ).

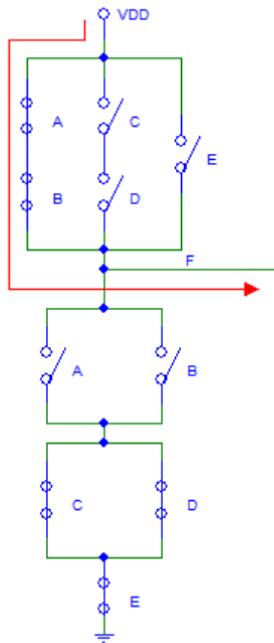
$$P_d = V_{DD}^2 C \alpha f_{CLK} =$$

$$2,5^2 * 10 * 10 * 10^{-15} * 0,4 * 10^9 = 0,25mW$$

D. (0.8 ptos.) Para la combinación de entradas:  $A = B = '0'$ ,  $C = D = E = '1'$ , se pide:

D.1. (0.4 ptos.) Sustituya los transistores por interruptores abiertos/cerrados, y dibuje el **circuito con interruptores**.

D.2. (0.4 ptos.) Justifique el valor lógico de  $F$ , a partir del circuito con interruptores.



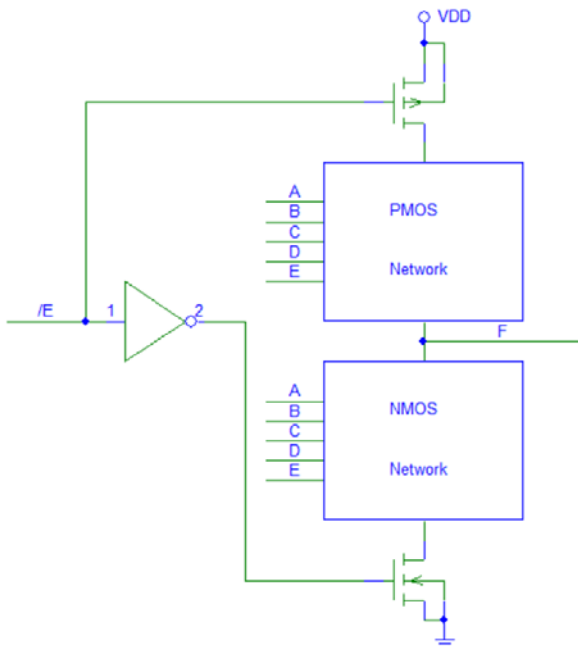
D. 1.: El circuito con transistores en ON (equivalentes a un interruptor cerrado) y OFF (equivalentes a un interruptor abierto) es el de la izquierda. Los transistores PMOS de las entradas A y B conducen, por estar a '0' sus puertas. Los PMOS de entradas C, D y E no conducen, por estar a '1' sus puertas. En cuanto a los NMOS, la situación es la contraria.

D.2.: La flecha representa la conexión de la salida del circuito, a través de los transistores que están en ON con  $V_{DD}$ . Por lo tanto, la salida es un '1' para la combinación de entradas dada.

E. (1 pto.) Modifique el esquema de la figura del apartado A (partiendo de dos cajas que representen los bloques NMOS y PMOS) para dotar al circuito de **salida triestado**. Añada los transistores y las señales de control necesarias.

E.1 (0.5 ptos.) Dibuje el esquema

E.2 (0.5 ptos.) Explique el funcionamiento



E.2.: La entrada  $/E$  es activa a nivel bajo. Cuando  $/E = 0$  los dos transistores conducen, y la salida será igual a la ecuación lógica del apartado B. Cuando  $/E = 1$ , no conducirá ningún transistor y la salida  $F$  estará flotante, por lo tanto, en alta impedancia:  $F = 'Z'$ .