

Exámenes

UT2 (2.4,2.5) - Prueba de seguimiento

[Tabla de Contenidos](#)

Tiempo restante: 0:47:14

Ocultar/Mostrar el tiempo restante

Parte 1 de 4 -

Preguntas 1 de 8

1 Puntos

Indica cuales de las siguientes afirmaciones son correctas:

☐

A. Las instrucciones especulativas pueden generar excepciones durante su ejecución, aunque éstas se tratarán cuando las instrucciones sean confirmadas.

☐

B. Una de las ventajas de la especulación hardware es que permite la confirmación de instrucciones fuera de orden.

☐

C. A la fase Commit pueden llegar instrucciones especuladas incorrectamente, pero éstas se cancelan.

☐

D. Las instrucciones especulativas pueden ejecutarse fuera de orden.

Preguntas 2 de 8

1 Puntos

Indica cuál de las siguientes afirmaciones es **falsa**:

☐

A.

Las estaciones de reserva almacenan las instrucciones desde que se lanzan a ejecución (I) hasta que se confirman (C).

☐

B.

Una instrucción dependiente solo podrá obtener sus operandos de los registros fuente que utilice, y si éstos estuvieran reservados por otra instrucción, anotarse la marca que éstos contengan.

☐

C.

La planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación hardware sólo afecta a la ejecución de instrucciones multiciclo, como las de aritmética en coma flotante.

☐

D.

Cuando la instrucción llega a la etapa WB, difunde su resultado a través del bus de datos común para que todas las estaciones de reserva, buffers y registros que requieran de dicho valor puedan recuperarlo.

Preguntas 3 de 8

1 Puntos

Gestionar dinámicamente las instrucciones a ejecutar conlleva el mantenimiento de un grafo de dependencias. Se añaden nuevas entradas al grafo cuando las instrucciones pasan por la etapa , mientras que se eliminan cuando pasan por la etapa .

Parte 2 de 4 -

Preguntas 4 de 8

1 Puntos. Puntos descontados por fallo: 0.3

Los procesadores VLIW aumentan la complejidad de las instrucciones máquina y el trabajo que éstas realizan con el objetivo de reducir el tiempo de ejecución de los programas.

☐ Verdadero☐ FalsoBorra selección

Preguntas 5 de 8

1 Puntos

Indica cuál (o cuales) de las siguientes afirmaciones es (o son) correcta(s):

☐

A. Un procesador superescalar de m vías con restricciones impone limitaciones en cuanto al tipo de instrucciones que se pueden lanzar simultáneamente, con lo que no será posible que varias instrucciones puedan efectuar la fase Commit al mismo tiempo.

☐

B. Un procesador superescalar con 2 vías aumentará las prestaciones de su homólogo segmentado siempre en un factor de 2.

☐

C. Un procesador superescalar de m vías modifica la ruta de datos interna del procesador segmentado de partida, con lo que no es compatible a nivel binario con dicho procesador segmentado.

☐

D. Ninguna de las anteriores.

☐

E. Un procesador superescalar de m vías busca siempre en la etapa IF m instrucciones, aunque en determinadas ocasiones, algunas de estas instrucciones tienen que ser canceladas y no se entregan a las etapas siguientes.

Preguntas 6 de 8

1 Puntos. Puntos descontados por fallo: 0.3

Los procesadores supersegmentados reducen el tiempo de ejecución de los programas sin modificar las etapas del pipeline de instrucciones, pero aumentando la frecuencia de reloj al que dichas etapas funcionan.

☐ Verdadero☐ FalsoBorra selección

Parte 3 de 4 -

Preguntas 7 de 8

2 Puntos

El siguiente código ensamblador para un procesador MIPS implementa la operación $Z = aX + bY$ condicionada al contenido del vector de máscara M:

```
loop: LD R3, M(R1)
      BEQZ R3, endif      ; Salta si M[i] == 0
      L.D F2, X(R1)       ; Valor inicial de R1 = 0
      L.D F3, Y(R1)
```

MULT.D F3, F1, F3 ; F1 contiene b = 5.0

MULT.D F2, F0, F2 ; F0 contiene a = 2.5

ADD.D F4, F2, F3

S.D F4, Z(R1)

endif: DADD R1, R1, #8

BNE R1, R2, loop ; R2 contiene 64 * 8

Su ejecución en un procesador que aplica planificación dinámica de instrucciones con especulación hardware genera el siguiente diagrama instrucciones tiempo:

Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
ld r3,m(r1)	IF	I	AC	L1	L2	WB	C															
beqz r3,endif		IF	I				E1	WB	C													
dadd r1,r1,#8			IF	I	E1	-	WB		x													
bne r1,r2,loop				IF	I			E1	X													
ld r3,m(r1)					IF	I		AC	X													
beqz r3,endif						IF	I		x													
dadd r1,r1,#8							IF	I	X													
bne r1,r2,loop								IF	X													
ld r3,m(r1)									X													
ld f2,x(r1)										IF	I	AC	L1	L2	WB	C						
ld f3,y(r1)											IF	I	AC	L1	L2	WB	C					
mul.d f3,f1,f3											IF	I					M1	M2	M3	M4		
mul.d f2,f0,f2												IF	I			M1	M2	M3	M4	WB		
add.d f4,f2,f3													IF	I								
s.d f4,z(r1)														IF	I	AC						
dadd r1,r1,#8															IF	I	E1	WB				
bne r1,r2,loop																IF	I		E1			
ld r3,m(r1)																	IF	I	AC			
beqz r3,endif																		IF	I			
ld f2,x(r1)																				IF		

Rellena la siguiente tabla para indicar cuál sería la evolución durante los ciclos 21 y 22 de las instrucciones no confirmadas del diagrama instrucciones-tiempo mostrado. Indica las etapas que atraviesa cada instrucción. Recuerda que según la instrucción a ejecutar sus etapas recibirán una denominación distinta: L1, L2 para las instrucciones de carga/almacenamiento; M1, M2, ... para las multiplicaciones/divisiones; A1, A2, ... para las sumas y restas en coma flotante; E1 para las instrucciones de aritmética entera y los saltos. **No dejes en blanco un ciclo cuando la instrucción no haga nada útil en el mismo. Utiliza en ese caso el guión (-).**

Instrucciones	21	22
mul.d f3, f1, f3	WB	C
mul.d f2, f0, f2	-	-
add.d f4, f2, f3	E1	WB

s.d f4, z(r1)	-	-
dadd r1, r1, #8	-	-
bne r1, r2, loop	X	-
ld r3, m(r1)	X	-
beqz r3, endif	X	-
l.d f2, x(r1)	X	-

Parte 4 de 4 -

Preguntas 8 de 8

2 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador escalar de 4 vías.

Ciclo 0	Ciclo 1
A	
A	
A	A
A	A

Ciclo 0	Ciclo 1
	B
B	B
B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo con multithreading simultáneo (SMT). ¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.

Ciclo 0	Ciclo 1	Ciclo 2	Ciclo 3
A	A	-	A
A	A	-	A
B	-	B	B
B	-	-	B

Guardar

Enviar para calificar

- PoliformaT
- UPV
- Powered by Sakai
- Copyright 2003-2018 The Sakai Foundation. All rights reserved. Portions of Sakai are copyrighted by other parties as described in the Acknowledgments screen.