

Parte 1 de 4 -

Preguntas 1 de 8

1 Puntos. Puntos descontados por fallo: 0.3

Un programa P compilado para resolver los riesgos de control mediante salto retardado con delay slot de 2 podrá ejecutarse sin problemas en un procesador que ofrezca gestión dinámica de instrucciones con especulación hardware.

☒ Verdadero☐ FalsoBorra selección

Preguntas 2 de 8

1 Puntos

Indica cuál de las siguientes afirmaciones es **falsa**:

☐

A.

La planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación hardware sólo afecta a la ejecución de instrucciones multiciclo, como las de aritmética en coma flotante.

☐

B.

Las estaciones de reserva almacenan las instrucciones desde que se lanzan a ejecución (I) hasta que se confirman (C).

☐

C.

Una instrucción dependiente solo podrá obtener sus operandos de los registros fuente que utilice, y si éstos estuvieran reservados por otra instrucción, anotarse la marca que éstos contengan.

☐

D.

Cuando la instrucción llega a la etapa WB, difunde su resultado a través del bus de datos común para que todas las estaciones de reserva, buffers y registros que requieran de dicho valor puedan recuperarlo.

Preguntas 3 de 8

1 Puntos

Gestionar dinámicamente las instrucciones a ejecutar conlleva el mantenimiento de un grafo de dependencias. Se añaden nuevas entradas al grafo cuando las instrucciones pasan por la etapa , mientras que se eliminan cuando pasan por la etapa .

Parte 2 de 4 -

Preguntas 4 de 8

1 Puntos

Indica cuales de las siguientes afirmaciones es correcta:

☐

A. Los procesadores supersegmentados mejoran las prestaciones de sus homólogos segmentados aumentando su frecuencia de funcionamiento y , por tanto, reduciendo el número de ciclos promedio requeridos para la ejecución de las instrucciones.

☐

B. Los procesadores supersegmentados ofrecen una mayor frecuencia de funcionamiento, aunque ésta puede verse limitada por el desfase máximo que presente la señal de reloj.

☐

C. Los procesadores supersegmentados super-segmentan el ciclo base del procesador escalar correspondiente en un factor p, que define su grado de supersegmentación.

☐

D. Los procesadores supersegmentados necesitan replicar los operadores y las memorias para poderlos utilizar en las nuevas etapas que se introducen en sus pipelines.

Preguntas 5 de 8

1 Puntos. Puntos descontados por fallo: 0.3

Los procesadores superescalares buscan reducir el tiempo de ejecución de los programas aumentando la instrucciones lanzadas a ejecución por ciclo.

☒ Verdadero☐ FalsoBorra selección

Preguntas 6 de 8

1 Puntos. Puntos descontados por fallo: 0.3

Los procesadores supersegmentados reducen el tiempo de ejecución de los programas sin modificar las etapas del pipeline de instrucciones, pero aumentando la frecuencia de reloj al que dichas etapas funcionan.

☒ Verdadero☐ FalsoBorra selección

Parte 3 de 4 -

Preguntas 7 de 8

2 Puntos

El siguiente código ensamblador para un procesador MIPS implementa la operación $Z = aX + bY$ condicionada al contenido del vector de mascara M :

```
loop: LD R3, M(R1)
      BEQZ R3, endif      ; Salta si M[i] == 0
      L.D F2, X(R1)       ; Valor inicial de R1 = 0
      L.D F3, Y(R1)
      MULT.D F3, F1, F3   ; F1 contiene b = 5.0
```

MULT.D F2, F0, F2 ; F0 contiene a = 2.5

ADD.D F4, F2, F3

S.D F4, Z(R1)

endif: DADD R1, R1, #8

BNE R1, R2, loop ; R2 contiene 64 * 8

Su ejecución en un procesador que aplica planificación dinámica de instrucciones con especulación hardware genera el siguiente diagrama instrucciones tiempo:

Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
ld r3,m(r1)	IF	I	AC	L1	L2	WB	C															
beqz r3,endif		IF	I				E1	WB	C													
dadd r1,r1,#8			IF	I	E1	-	WB		x													
bne r1,r2,loop				IF	I			E1	X													
ld r3,m(r1)					IF	I		AC	X													
beqz r3,endif						IF	I		x													
dadd r1,r1,#8							IF	I	X													
bne r1,r2,loop								IF	X													
ld r3,m(r1)									X													
l.d f2,x(r1)										IF	I	AC	L1	L2	WB	C						
l.d f3,y(r1)											IF	I	AC	L1	L2	WB	C					
mul.d f3,f1,f3											IF	I				M1	M2	M3	M4			
mul.d f2,f0,f2												IF	I			M1	M2	M3	M4	WB		
add.d f4,f2,f3													IF	I								
s.d f4,z(r1)														IF	I	AC						
dadd r1,r1,#8															IF	I	E1	WB				
bne r1,r2,loop																IF	I		E1			
ld r3,m(r1)																	IF	I	AC			
beqz r3,endif																		IF	I			
l.d f2,x(r1)																				IF		

Rellena la siguiente tabla para indicar cuál sería la evolución durante los ciclos 21 y 22 de las instrucciones no confirmadas del diagrama instrucciones-tiempo mostrado. Indica las etapas que atraviesa cada instrucción. Recuerda que según la instrucción a ejecutar sus etapas recibirán una denominación distinta: L1, L2 para las instrucciones de carga/almacenamiento; M1, M2, ... para las multiplicaciones/divisiones; A1, A2, ... para las sumas y restas en coma flotante; E1 para las instrucciones de aritmética entera y los saltos. **No dejes en blanco un ciclo cuando la instrucción no haga nada útil en el mismo. Utiliza en ese caso el guión (-).**

Instrucciones	21	22
mul.d f3, f1, f3	WB	C
mul.d f2, f0, f2	-	-
add.d f4, f2, f3	-	A1
s.d f4, z(r1)	-	-

dadd r1, r1, #8	-	-
bne r1, r2, loop	-	WB
ld r3, m(r1)	L1	L2
beqz r3, endif	-	-
l.d f2, x(r1)	I	AC

Parte 4 de 4 -

Preguntas 8 de 8

2 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador escalar de 4 vías.

Ciclo 0	Ciclo 1
A	
A	
A	A
A	A

Ciclo 0	Ciclo 1
	B
B	B
B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo con multithreading simultáneo (SMT). ¡**No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0	Ciclo 1	Ciclo 2	Ciclo 3
A	B	-	-
A	B	B	-
A	A	B	-
A	A	B	-

Guardar

Enviar para calificar