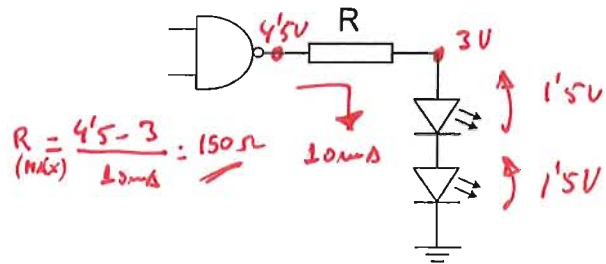


TEORÍA 1^{er}.Parcial (5 cuestiones) (6 puntos) . Puntuación: BIEN +1.2 pto., MAL -0.3 pto., N.C.: 0

1. Dado el circuito de la figura con diodos LED, indique cuál de las siguientes afirmaciones es la **CORRECTA**, teniendo en cuenta que para los LED $V_{LED}=1.5V$ e $I_{LED}=10mA$, y para la puerta NAND $V_{OL}=0.15V$ y $V_{OH}=4.5V$.

- [A] Los LED brillarán adecuadamente con una resistencia R mayor que 150Ω .
 [B] Los LED brillarán adecuadamente con una resistencia menor o igual que 300Ω .
 [C] Los LED brillarán adecuadamente con una resistencia R de 150Ω .
 [D] Los LED no llegarán a brillar para ninguno de los niveles lógicos de salida de la puerta NAND.

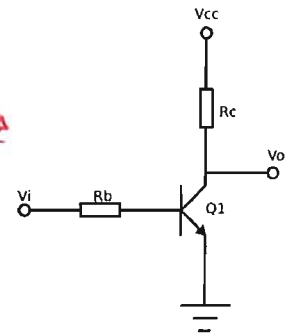


2. Indique la zona de trabajo del transistor de la figura para una entrada de $3.7V$:

(DATOS: $V_{CC} = 5V$; $R_b = 100k\Omega$; $R_c = 2k\Omega$; Q1: $V_{BE(ON)} = 0.7V$, $V_{CE(SAT)} = 0.2V$, $\beta = 100$)

- [A] CORTE
 [B] ACTIVA
 [C] En el límite entre ACTIVA y SATURACIÓN
 [D] SATURACIÓN

SUP. 2. ACTIVA: $I_B = \frac{3.7 - 0.7}{100k} = 0.03mA \Rightarrow I_C = 100 \cdot 0.03 = 3mA$
 Luego $V_{CE} = 5V - 2k \cdot 3mA = -1V \Rightarrow$ IMPOSIBLE, LUEGO ESTÁ SATURADO

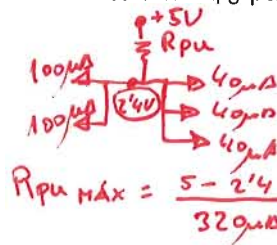


3. Con respecto a los parámetros característicos de las familias lógicas y considerando una puerta con salida estándar, marque la respuesta FALSA:

- [A] Un valor negativo de I_{OH} indica que la corriente sale desde la puerta.
 [B] El margen de ruido a nivel alto se define como: $NM_H = V_{OHmin} - V_{IHmin}$.
 [C] Si la tensión de salida es $V_{OH} < V_{OHmin}$, no será interpretada correctamente por otra puerta de la misma familia en ningún caso.
 [D] Para que la conexión entre dos puertas lógicas funcione de forma adecuada, se ha de cumplir, entre otras cosas que, $V_{OL} \leq V_{ILmax}$.

4. Se quiere conectar las salidas de 2 componentes con salida en colector abierto de una familia lógica alimentada a $5V$, y éstas, a su vez a 3 entradas de componentes de la misma familia. Las especificaciones de la familia se indican en la tabla adjunta (teniendo en cuenta que $I_{OHmax} = 100\mu A$ para los componentes en colector abierto). El valor máximo que puede tener la resistencia R_{PU} para respetar las especificaciones y el margen de ruido de la familia, será:

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	$I_{OHmax}(fugas)$	I_{OLmax}
40 μA	-1.6 mA	100 μA	16 mA



[A] $0.41k\Omega$.

[B] $25.7k\Omega$.

[C] $6.6k\Omega$.

[D] $8.12k\Omega$.

$R_{pu\ max} = \frac{5 - 2.4}{300\mu A} = 8.12k\Omega$

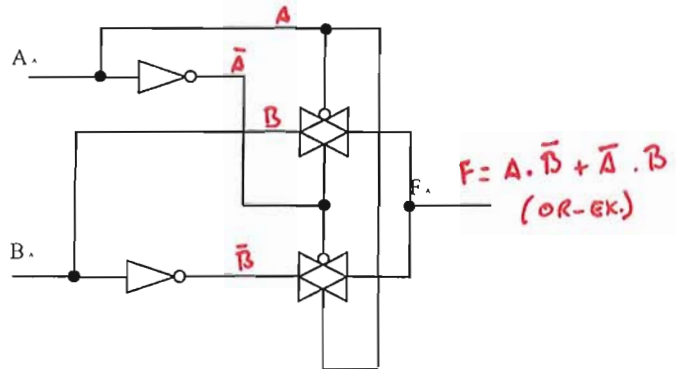
5. ¿Cuál de las siguientes afirmaciones sobre el transistor Mosfet es FALSA?

- [A] La corriente de puerta I_G es siempre cero, ya que está aislada. OK
 [B] Un Mosfet de canal N se encontrará saturado siempre que se cumpla que $V_{DS} < (V_{GS} - V_T)$. NO
 [C] En la zona de saturación, I_{DS} se mantendrá constante para una V_{GS} dada, aunque varíe la V_{DS} . OK
 [D] En la zona óhmica y para valores reducidos de V_{DS} , el MOSFET se comporta como una resistencia dependiente de V_{GS} . OK

TEORÍA 2º.Parcial (8 cuestiones) (6 puntos) . Puntuación: BIEN +0.75 pto., MAL -0.18 pto., N.C.: 0

1. El circuito CMOS de la figura se comporta como:

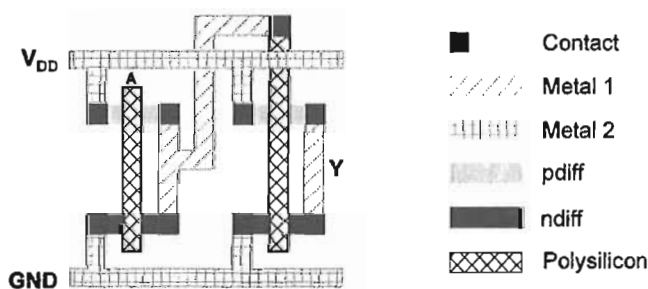
- [A] Un buffer
- [B] Un inversor con salida triestado
- [C] Un multiplexor 2x1 con canales A y B
- [D] Una función XOR (OR-Exclusiva) de A y B



2. Con relación a la familia lógica CMOS, indique cuál de las siguientes afirmaciones es **FALSA**.

- [A] El incremento de la tensión de alimentación V_{DD} reduce los tiempos de retardo de propagación e incrementa el consumo dinámico. SI
- [B] La subfamilia 74HCXXX es una CMOS de alta velocidad con entradas compatibles TTL. NO
- [C] En CMOS estándar, la inmunidad al ruido (NM) es aproximadamente un 30% de la tensión de alimentación (V_{DD}). SI
- [D] En CMOS estándar, el fabricante recomienda un FAN-OUT de 50 para no incrementar los tiempos de retardo y el consumo dinámico. SI

3. ¿Qué tipo de circuito implementa el *layout* de la figura?



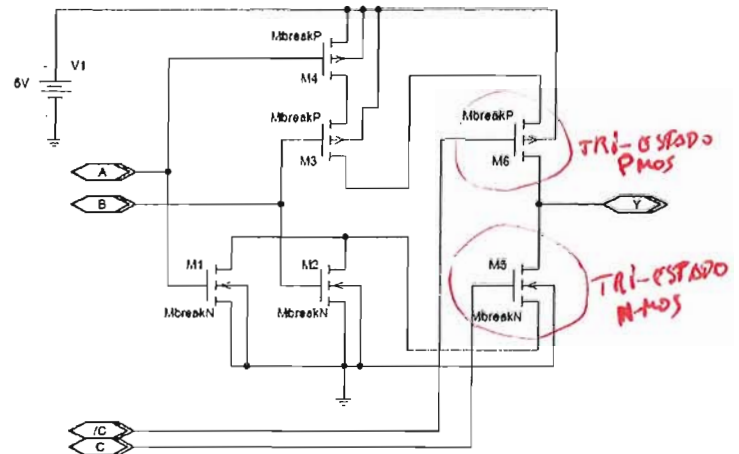
- [A] Un inversor triestado
- [B] Un buffer
- [C] Un buffer triestado
- [D] Una puerta de transmisión CMOS

4. Señalar la afirmación **FALSA** de las siguientes acerca de las memorias semiconductoras:

- [A] Las memorias PROM son memorias no volátiles, de acceso aleatorio. OK
- [B] Las celdillas de las ROM son fijadas en el proceso de fabricación, por lo que no son programables por el usuario final. OK
- [C] Las memorias SRAM son de acceso aleatorio y no volátiles, ya que no es necesario que sean refrescadas. NO
- [D] Las EPROM y las FLASH se basan en celdillas de tipo transistor FAMOS, con una puerta flotante para poner al corte los transistores seleccionados. OK

5. figura siguiente muestra una puerta lógica de tecnología CMOS. Asumiendo que $/C$ es la inversa de la entrada C, ¿Qué función lógica realiza el circuito?

- [A] Y es una puerta NOR (de las entradas A y B) con salida triestado, siendo la entrada C la entrada de control del triestado.
- [B] Y es una puerta NAND (de las entradas A y B) con salida triestado, siendo la entrada C la entrada de control del triestado.
- [C] Y es una puerta NAND (de las entradas A, B y C).
- [D] Y es una puerta NOR (de las entradas A, B y C).

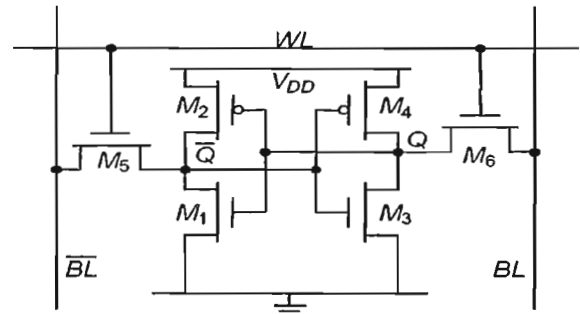


6. En relación con un C.I. de memoria DRAM de $2M \times 1$, podemos afirmar que:

- [A] Su estructura interna podría ser una matriz de 2^{11} filas x 2^{10} columnas
- [B] Posee una capacidad de 2MBytes.
- [C] Utiliza 20 líneas de direcciones y 1 de datos.
- [D] Si agrupamos 8 del mismo tipo podemos obtener una memoria de 16MBytes.

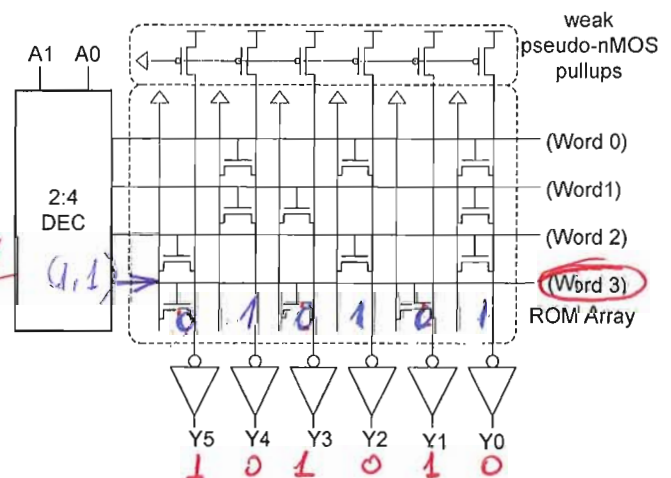
7. Dada la celda de memoria de la figura, indicad la respuesta CORRECTA:

- [A] Es una celda de memoria DRAM 6T
- [B] El proceso de lectura es: precargar BL y $/BL$ a V_{DD} , activar WL a 1 y leer de las líneas de bit.
- [C] Los datos de entrada se sitúan en $/BL$, y los de salida en BL
- [D] Los transistores de paso M5 y M6 permiten el acceso a la celda en lectura/escritura, cuando WL="0"



8. Dada la memoria de la figura, indicad la respuesta FALSA:

- [A] Es una memoria ROM de 4 palabras de 6 bits
- [B] Si $A1=1$ y $A0=1$, en el bus de datos se leerá la palabra 100101
- [C] La presencia de un transistor pone un 0 en la celda, que se lee 1 en la salida Y_x .
- [D] Los transistores son colocados en el proceso de fabricación, no permitiendo su modificación posterior, y confiriéndole no volatilidad a este tipo de memorias.



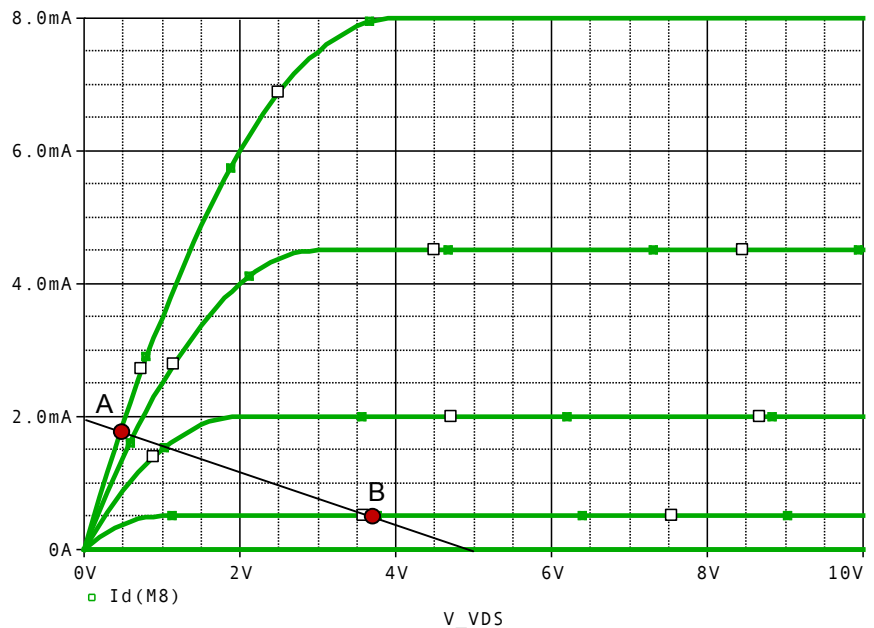
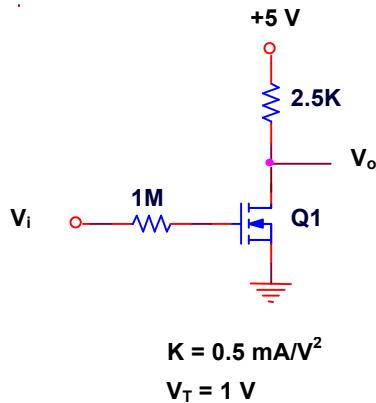
Apellidos:

Nombre:

PROBLEMA 1 (4 Ptos.),

El circuito de la figura es un inversor NMOS. Se pide:

Nota: En zona óhmica utilice la expresión aproximada $I_{DS} \approx 2K(V_{GS} - V_T) V_{DS}$, y en saturación $I_{DS} = K(V_{GS} - V_T)^2$



Nota: Las curvas representadas son para incrementos de 1V de V_{GS} .

A) [0.8] Calcule el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor lógico de salida V_o con una entrada a "1" ($V_i = 5V$). Justifique la respuesta con las necesarias demostraciones.

- 1) Malla GS: $V_i - I_G \times 1M - V_{GS} = 0 \rightarrow V_{GS} = V_i \rightarrow V_{GS} = 5V > V_T \rightarrow$ el transistor conduce
Como es un inversor, en lugar de suponer saturación, suponemos óhmica o lineal.
- 2) Calculamos la R_{ON}

$$R_{ON} = \frac{1}{2K(V_{GS} - V_T)} = \frac{1}{2 \times 0.5(5 - 1)} = \frac{1}{4} = 0.25k$$

- 3) Malla DS: Es un divisor resistivo:

$$I_{DS} = \frac{V_{DD}}{R_{ON} + R_D} = \frac{5}{0.25 + 2.5k} = 1.8181mA \quad V_{DS} = V_o = \frac{R_{ON}}{R_{ON} + R_D} \times V_{DD} = 0.4545V$$

- 4) Comprobamos óhmica: $V_{DS} < V_{GS} - V_T$? $0.55 < 5 - 1 \rightarrow$ correcto
Resultado en simulador PSpice: $V_o = 0.48V$, $I_{DS} = 1.808mA$

$V_{GS} = 5 \text{ (V)}$	$V_{DS} = 0.45 \text{ (V)}$	$I_{DS} = 1.81 \text{ mA}$	$V_o = "0"$
--------------------------	-----------------------------	----------------------------	-------------

B) [0.8] Calcule el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor de salida V_o con una entrada no digital de $V_i = 2V$. Justifique la respuesta con las necesarias demostraciones.

- 1) Malla GS: $V_i - I_G \times 1M - V_{GS} = 0 \rightarrow V_{GS} = V_i \rightarrow V_{GS} = 2V > V_T \rightarrow$ el transistor conduce
- 2) Suponemos Saturación (se observa en la gráfica que para este caso, el punto está en saturación)

$$I_{DS} = K(V_{GS} - V_T)^2 = 0.5(2 - 1)^2 = 0.5mA$$

- 3) Malla DS: (Resultados en simulador PSpice: Mismos resultados)

$$V_{DD} - I_{DS}R_D - V_{DS} = 0 \quad V_{DS} = 5 - 0.5 \times 2.5k = 3.75V$$

- 4) Comprobamos saturación: $V_{DS} > V_{GS} - V_T$? $3.75 > 2 - 1 \rightarrow$ está saturado

$V_{GS} = 2$ (V)	$V_{DS} = 3.75$ (V)	$I_{DS} = 0.5$ (mA)	$V_o = ?$
------------------	---------------------	---------------------	-----------

C) [0.8] Escriba la ecuación de la recta de carga. Obtenga los puntos de corte con los ejes y dibuje sobre las curvas características, la recta de carga y los dos puntos de trabajo de los apartados anteriores indicando A y B respectivamente. Justifique analíticamente la respuesta.

$$V_{DD} - I_{DS} R_D - V_{DS} = 0$$

Corte eje X: $I_{DS}=0 \rightarrow V_{DS} = V_{DD} = 5V$

Corte eje Y: $V_{DS} = 0 \rightarrow V_{DD} - I_{DS} \cdot 2.5k - 0 = 0; I_{DS} = 5V / 2.5k = 2mA$

Como $V_T = 1$, tenemos curvas para $V_{GS} = 2V, 3V, 4V$, y $5V$ (porque el incremento es $1V$ como se indica). La intersección entre las curvas para $5V$ y $2V$ respectivamente y la recta de carga dan los puntos de trabajo. Comprobamos que la I_{DS} y la V_{DS} calculada analíticamente en apartados anteriores, coinciden con la que proyectan los puntos sobre los ejes.

D) [0.8] Se quiere mejorar la tensión de salida a nivel bajo, de modo que sea menor o igual que $0.2V$. Calcule el nuevo valor de la resistencia de drenador R_D . Suponga $V_i = 5V$.

Planteamiento A

$$I_{DS} \approx 2K(V_{GS} - V_T) V_{DS};$$

$$I_{DS} \approx 2 \times 0.5 \times (5 - 1) \times 0.2 = 0.8mA$$

$$V_{DS} = V_{DD} - R_D \times I_{DS}$$

$$0.2V = 5V - 0.8mA \times R_D$$

$$R = 4.8 / 0.8 = 6 K\Omega$$

Planteamiento B

$$V_{DS} = V_O = 0.2 = \frac{R_{ON}}{R_{ON} + R_D} \times V_{DD}$$

Como V_{GS} es $5V$, la R_{ON} es la misma que la calculada en el apartado 1.2, es decir $0.25k$

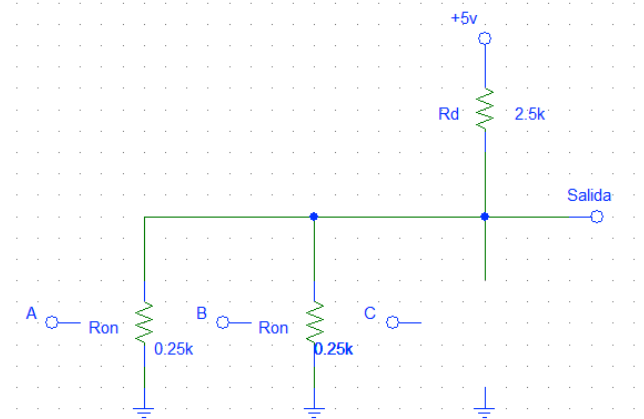
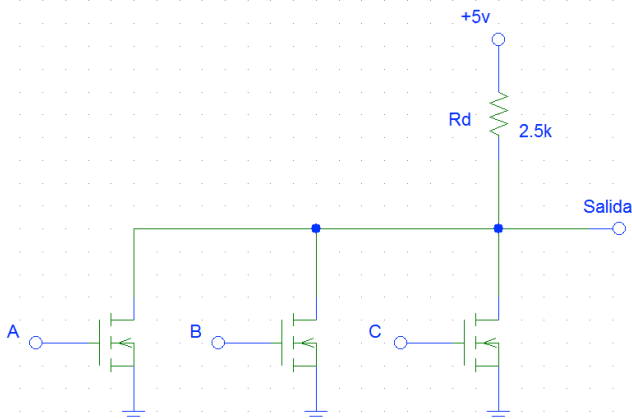
$$\frac{0.25}{0.25 + R_D} \times 5 = 0.2V$$

Despejando $R_D = 6k$

Resultado en simulador PSpice: $V_o = 0.205V$ para $6k$

$R_D = 6k$

E) [0.8] Partiendo del diseño inicial del inversor, diseñe una puerta **NOR** de 3 entradas y calcule la tensión de salida V_o cuando hay 2 entradas a $5V$ y la tercera a $0V$. Datos: $R_D = 2.5k\Omega$, $K = 0.5mA/V^2$, $V_T = 1V$



Como la K y V_T son iguales al del apartado A, la R_{ON} es la misma: $R_{ON} = 0.25k$

Si tenemos 2 mosfet en óhmica (entrada a $5V$) y 1 mosfet en corte (entrada a $0V$), la resistencia equivalente es el paralelo de dos R_{ON} , que como son iguales, el resultado es la mitad:

$$R_{EQ} = \frac{R_{ON} \times R_{on}}{R_{ON} + R_{on}} = \frac{0.25 \times 0.25k}{0.25 + 0.25k} = 0.125k$$

Divisor resistivo para calcular la tensión de salida:

$$V_{DS} = V_O = \frac{R_{EQ}}{R_{EQ} + R_D} \times V_{DD} = 0.2380V$$

$V_o = 0.2380Volts$

Resultado en simulador PSpice: $V_o = 0.2452V$

Los resultados gráficos y simulados son exactos. Los analíticos usando la expresión simplificada, aproximados.

Apellidos:

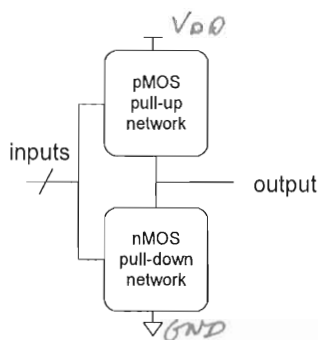
— soluciones —

Nombre:

Problema 2 (Segundo PARCIAL) (4 PTOS)

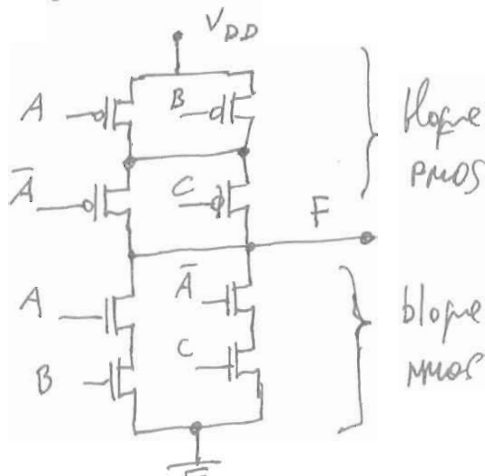
- A. (1 pto.) Se pretende diseñar la función $F = AB + \bar{A}C$ en lógica CMOS complementaria. Dibuje un esquema con transistores. Justifique el diseño.

Nota: utilice el símbolo simplificado de los transistores

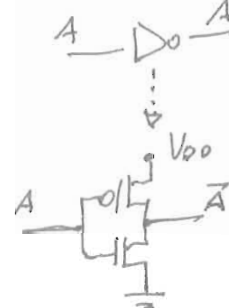


$$G_{NMOS} = \bar{F} = \underbrace{A \cdot B}_{\text{serie}} + \underbrace{\bar{A} \cdot C}_{\text{serie}} \rightarrow \text{Bloque NMOS paralelo}$$

Bloque PMOS \rightarrow estructura dual, cambiando las agrupaciones serie \rightarrow paralelo



la señal \bar{A} se generará mediante un inversor:



- B. (1 pto.) Suponga que el circuito pertenece a un chip con una tensión de alimentación $V_{DD} = 2.5V$ y frecuencia de reloj $f_{clock} = 1GHz$. Además el factor de actividad medio de las entradas es $\alpha = 0.4$ y la capacidad media por transistor es $C_L = 10 fF$ ($1fF = 10^{-15}F$). Calcule la **potencia dinámica** aproximada del circuito, en mW. Incluya en el cómputo los transistores de los inversores necesarios para generar las variables negadas.

$$P_d = (V_{DD})^2 \alpha f C_L$$

$$C_L = \text{nº transistores} \times 10 fF$$

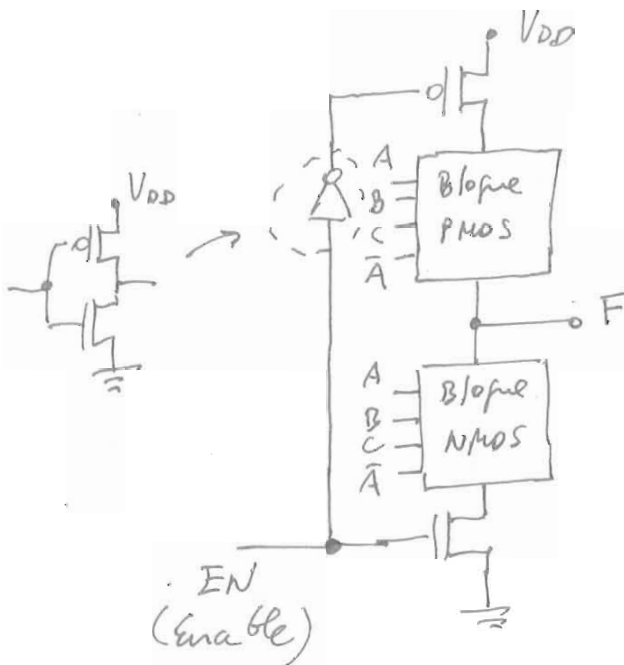
$$\text{nº transistores} = 8 + \underbrace{2}_{\text{inversor}} = 10$$

$$P_d = \underbrace{(2.5)^2}_{V_{DD}^2} \times \underbrace{0.4}_{\alpha} \times \underbrace{10^9}_{f_{clock}} \times \underbrace{10 \times 10 \times 10^{-15}}_{C_L}$$

$$P_d = 2.5 \times 10^{-4} W = 0.25 mW$$

- C. (1 pto.) Modifique el esquema de la figura para dotar al circuito de **salida triestado**. Añada los transistores y las señales de control necesarias.

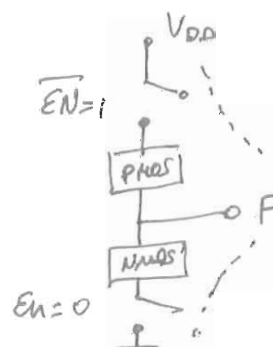
- Dibuje el esquema
- Explique el funcionamiento



A partir de los bloques PMOS y NMOS del apartado A), que se indican en la figura como una caja, para simplificar

Si $EN = "1"$ → funcionamiento normal

Si $EN = "0"$ → alta impedancia:



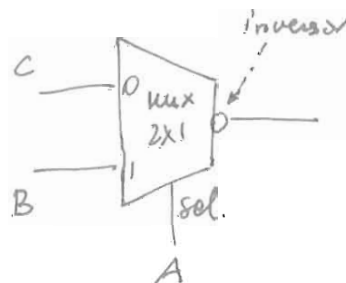
Salida flotante, no hay conexión con V_{DD} ni con GND

- D. (1 pto.) Efectúe un diseño alternativo del circuito, basado en **puertas de transmisión CMOS**. Nota orientativa: utilice la estructura del multiplexor inversor.

- Explique brevemente el diseño
- Dibuje el esquema con transistores

$$F = \overline{A}B + A\overline{C} \Rightarrow$$

señal selección



$$A=0 \Rightarrow F=\overline{C}$$

$$A=1 \Rightarrow F=\overline{B}$$

A nivel de transistores:

