

Ejercicio 3.1.

En la fase de diseño de la cache de un procesador con ejecución en orden se están considerando dos alternativas. La primera es utilizar una correspondencia directa, lo que da lugar a una tasa de fallos del 1.4 %, fijando el periodo de reloj en 1 ns. La segunda consiste en utilizar una correspondencia asociativa, lo que permite reducir la tasa de fallos al 1 %, pero el periodo de reloj aumenta hasta 1.25 ns. En caso de acierto, se consume un ciclo de reloj en leer o escribir el dato. Si los programas se ejecutan con un CPI de 2, con 1.5 accesos a memoria por instrucción y la penalización por fallo es de 75 ns, decídase qué alternativa es la mejor.

Ejercicio 3.2.

Analizar el tiempo de ejecución de un programa en un procesador segmentado con ejecución en orden y CPI=1 bajo las siguientes configuraciones de memoria cache:

1. No emplear memoria cache.
2. Utilizar una cache con una tasa de fallos del 2 %.
3. Utilizar una cache perfecta.

La memoria principal tiene 100 ciclos de reloj de tiempo de acceso y el programa tiene un 50 % de instrucciones de acceso a memoria.

Ejercicio 3.3.

Se pretende comparar las prestaciones de dos subsistemas de memoria. El primero tiene sendas memorias cache de instrucciones y datos de 16 KB cada una, mientras que el segundo tiene una única memoria cache de 32 KB. Tras haber ejecutado unos programas de prueba, se ha obtenido que el número de fallos por cada 1000 instrucciones ejecutadas es 3.83 para la cache de instrucciones, 40.9 para la cache de datos y 43.3 para la cache unificada, y que el 36 % de las instrucciones ejecutadas son de acceso a memoria. Si el tiempo de acierto y de fallo es de 1 y 100 ciclos de reloj, respectivamente:

1. Calcular el tiempo de acceso a memoria en ambos esquemas. Considera en dicho cálculo la sobrecarga que puedan inducir los riesgos estructurales que los accesos a memoria puedan provocar.
2. Si el procesador está segmentado, ejecuta las instrucciones en orden con CPI=1 y el programa de prueba se compone de n instrucciones, comparar las dos alternativas en base al tiempo de ejecución.

Ejercicio 3.4.

En el diseño de un procesador segmentado con ejecución en orden y CPI=1 se pretende evaluar dos alternativas para el sistema de antememorias. La primera basada en una cache de dos niveles. La segunda formada por una cache asociativa por conjuntos de cuatro vías. A continuación se detallan los datos técnicos de ambas alternativas.

Cache multinivel Está compuesta por dos niveles de cache.

Primer nivel: directa Tiempo de acierto, $TA_{L1} = 1$ ciclo; tasa de fallos local, $TF_{L1} = 0,04$.

Segundo nivel: asociativa Tiempo de acierto, $TA_{L2} = 5$ ciclos; tasa de fallos local, $TF_{L2} = 0,50$.

Cache asociativa Una cache asociativa por conjuntos de cuatro vías.

Tiempo de acierto, $TA = 1$ ciclo; tasa de fallos local, $TF = 0,02$.

En ambos casos, la memoria principal tiene un tiempo de acceso de 50 ciclos. También se sabe que el 25 % de las instrucciones ejecutadas son de carga o almacenamiento.

Se solicita:

1. Calcular el tiempo de acceso a memoria en ambos esquemas.

2. Comparar las dos alternativas en base al tiempo de ejecución.

Ejercicio 3.5.

En el diseño de un computador segmentado con ejecución en orden y $CPI=1$ se dispone de una jerarquía de memoria compuesta por un sistema de antememorias de dos niveles y una memoria principal. Las características son las siguientes:

Primer nivel: correspondencia directa Tiempo de acierto, $TA_{L1} = 1$ ciclo; tasa de fallos local, $TF_{L1} = 0,04$.

Segundo nivel: correspondencia asociativa Tiempo de acierto, $TA_{L2} = 5$ ciclos; tasa de fallos local, $TF_{L2} = 0,50$.

Memoria principal Tiempo de acceso, $TA_{MP} = 20$ ciclos.

Se sabe que el 25 % de las instrucciones ejecutadas son de carga o almacenamiento.

Se propone mejorar el acceso a la memoria principal utilizando la técnica de *palabra crítica cuanto antes* (*critical word first*), que reduce el tiempo de acceso efectivo a la memoria principal a $TA_{MP} = 15$ ciclos. Introducir esta mejora implica aumentar el periodo de reloj en un 10 %.

El aumento en el periodo de reloj nos permite aumentar la asociatividad del segundo nivel de antememorias, reduciendo la tasa de fallos local a $TF_{L2} = 0,40$.

Se solicita cuantificar la mejora obtenida con respecto al tiempo de ejecución.

Ejercicio 3.6. Se está diseñando un procesador segmentado de 32 bits con ejecución en orden y cache de instrucciones y de datos separadas. Las características del esquema de memoria son:

- Memoria principal: latencia, 16 *ciclos*; ancho de banda, $W = 2$ bytes/ciclo. Con lo que, por ejemplo, el tiempo de transferencia de un bloque de 6 palabras sería: $T_{mp} = 16 + \frac{(6 \times 4)}{2} = 28$ *ciclos*.
- Cache de datos: Tiempo de acierto, $TA^D = 1$ *ciclo*; tasa de fallos, $TF^D = 0,05$.
- Cache de instrucciones: Tiempo de acierto, $TA^I = 1$ *ciclo*; tasa de fallos, $TF^I = 0,02$.
- Tamaño de bloque, $B = 4$ palabras.

Se pretenden evaluar dos posibles mejoras para el sistema de caches. A continuación se detallan los datos técnicos de ambas alternativas.

- 1) Incorporar un segundo nivel de cache con: Tiempo de acierto, $TA_{L2} = 6$ *ciclos*; tasa de fallos local, $TF_{L2} = 0,5$. El tamaño de bloque se mantiene.
- 2) Aumentar el tamaño de bloque de ambas caches a 8 palabras, duplicando así su tamaño. Este cambio afectará a la tasa de fallos de ambas antememorias: $TF^D = 0,03$ y $TF^I = 0,015$

El CPI, ignorando los fallos de antememoria, es de 1,1 *ciclos/inst* y se sabe que el 25 % de las instrucciones ejecutadas son de carga o almacenamiento. Se solicita analizar la influencia de ambas alternativas sobre el tiempo de ejecución de los programas, indicando cuál de las dos alternativas es la más interesante y cuantificando la mejora obtenida sobre el diseño original.

Ejercicio 3.7.

Un computador dispone de un procesador semejante al MIPS, ejecución en orden de instrucciones, con un ancho de palabra de 32 bits y que trabaja a una frecuencia de 100 MHz, con un $CPI = 1.3$. El 20 % de las instrucciones que ejecuta son lecturas de memoria, y el 10 % son escrituras.

La memoria cache es de un nivel, separada en 16 KB para instrucciones y 16 KB para datos. El tamaño de bloque es de 16 bytes y la correspondencia es asociativa por conjuntos de dos. Sigue las políticas *write-through* y *no-write allocate*. La tasa de fallos es de 2 % para las lecturas y 5 % para las escrituras.

Para las escrituras, el procesador dispone de buffers de escrituras.

La memoria principal ofrece una latencia de lectura de 40 ns. Una vez cumplida esta latencia, suministra las palabras en intervalos de 10 ns. Así, la primera palabra llega a los 50ns, la segunda a los 60ns, y así consecutivamente. Inicialmente, la

carga de un bloque en la cache es convencional (esto es, no aplica *Critical Word First*—palabra crítica cuanto antes ni *Early Restart*—continuar cuanto antes)

Calcula:

1. La penalización por fallo de lectura, expresada en ciclos de reloj y en segundos, cuando se aplica carga convencional.
2. La penalización por fallo de lectura, expresada en ciclos de reloj y en segundos, cuando se aplica carga *Critical Word First*.
3. La penalización por fallo de escritura, expresada en ciclos de reloj y en segundos
4. El tiempo de ejecución de un programa de 10 millones de instrucciones, suponiendo que se aplica carga convencional.

Ejercicio 3.8. Un computador tiene un procesador segmentado compatible binario con el MIPS y que además incorpora instrucciones aritméticas que operan con datos en memoria (modelo de ejecución registro-memoria). Ejecuta las instrucciones en orden, trabaja a una frecuencia de 100 MHz y tiene una jerarquía de memoria con caches de instrucciones y de datos separadas, cada una con un solo puerto. El 15 % de las instrucciones que ejecuta son de carga, el 5 % son de almacenamiento y el 40 % son instrucciones aritméticas, de las cuales el 25 % tienen un operando en memoria.

Las etapas que atraviesan las instrucciones son: IF (búsqueda de la instrucción), ID (decodificación y lectura de operandos en registros), ME1 (lectura de los operandos en memoria, en su caso), EX (ejecución operaciones aritméticas), ME2 (lectura/escritura en memoria) y WB (escritura en el banco de registros). El 10 % de las instrucciones de carga sufren un riesgo estructural en el acceso a la memoria de datos (ME2) con una instrucción aritmética con un operando en memoria (ME1). Salvo por esos riesgos, e ignorando los fallos de antememoria, el CPI alcanzado por el procesador es 1.

La tasa de fallos de las antememorias es de 2 % para la cache de instrucciones y 5 % para la cache de datos. La memoria principal tiene una penalización de 40 ciclos.

Se solicita:

1. Calcular el tiempo de ejecución de un programa P, que ejecuta 2000 millones de instrucciones, sin tener en cuenta los fallos de cache.
2. Calcular el número medio de accesos por instrucción (*API*) a la memoria de instrucciones y a la memoria de datos.
3. Calcular el tiempo de ejecución real del programa P.

Ejercicio 3.9.

Un computador tiene los siguientes componentes:

- Un procesador *load/store* semejante al MIPS, con ejecución en orden y un ancho de palabra 64 bits y que trabaja a una frecuencia de 100 MHz, con un $CPI = 1.3$. El 20 % de las instrucciones que ejecuta son lecturas de memoria, y el 10 % son escrituras.
- La memoria cache es de un nivel, separada en 16 KB para instrucciones y 16 KB para datos. El tamaño de bloque es de 32 bytes y la correspondencia es asociativa por conjuntos de dos. Sigue las políticas *write-through* y *no-write allocate*. La tasa de fallos es de 2 % para las lecturas y 5 % para las escrituras.
- Para las escrituras, el procesador dispone de buffers.
- La memoria principal es SDR SDRAM y su temporización en ciclos se describiría como $CL - t_{RCD} - t_{RP} = 1 - 2 - 2$. Se ha medido que en el 90 % de los casos, los accesos encuentran abierta la fila objetivo. La memoria trabaja a 100 MHz.

Calcula:

1. La penalización por fallo de lectura, expresada en ciclos de reloj y en segundos. con carga de bloque convencional (esto es, sin aplicar *Critical Word First* ni *Early Restart*—continuar cuanto antes) .

2. La penalización por fallo de lectura, expresada en ciclos de reloj y en segundos, cuando se aplica carga *Critical Word First*.
3. La penalización por fallo de escritura, expresada en ciclos de reloj y en segundos
4. El tiempo de ejecución de un programa de 10 millones de instrucciones, en dos casos:
 - Con carga convencional del bloque
 - Cuando se aplica *Critical Word First*

Ejercicio 3.10.

Sea un procesador MIPS superescalar con ejecución fuera de orden y tamaño de palabra de 64 bits, funcionando a una frecuencia de reloj de 3.6GHz.

Para una carga típica se obtiene un CPI en ausencia de fallos de 0.4 ciclos. Dicha carga tiene un 25 % de instrucciones de tipo *load* y un 10 % de instrucciones de tipo *store*.

El procesador dispone de dos niveles de memoria *cache*, con caches separadas en el primer nivel (L1I, L1D y L2). Las tasas de fallos locales para la carga estudiada son $TF_{L1I} = 0,5 \%$, $TF_{L1D} = 2,6 \%$ (L1D lectura), $TFE_{L1D} = 6,5 \%$ (L1D escritura) y $TF_{L2} = 36 \%$. El tiempo de acierto es de 1 ciclo para la cache L1 y 8 ciclos para la cache L2. Ambos niveles trabajan con un tamaño de bloque de 128 bytes. El procesador dispone de buffers de escritura. La ejecución fuera de orden permite ocultar el 30 % de la penalización por fallo de la cache L1 de datos, siendo el resto de solapamientos despreciable.

Por otra parte, la memoria principal empleada es una SDRAM DDR4 2400MHz, con un tiempo promedio de lectura de bloque de 38,6 ciclos de bus de memoria.

Calcula:

1. La penalización de fallo para la *cache* L1.
2. El tiempo de ejecución de un programa formado por 15 millones de instrucciones.
3. Existe la posibilidad de realizar una nueva implementación del procesador duplicando el tamaño de las *cache* L1, lo que reduciría la tasa de fallos a $TF_{L1I} = 0,3 \%$, $TF_{L1D} = 1,5 \%$ (L1D lectura), $TFE_{L1D} = 4,5 \%$ (L1D escritura). No obstante esta memoria sería más lenta que la original lo que ha condicionado al equipo de diseño a reducir la frecuencia del procesador a 2.8Ghz. Por su parte la cache L2 aumentaría su tasa de fallos a 57 % y su tiempo de acierto pasaría de 8 ciclos a 6 ciclos. Calcular si esta nueva configuración ofrece una mejora y en tal caso cuantificarla.
4. En el apartado anterior la inclusión de una *cache* L1 de mayor tamaño ha tenido una serie de consecuencias. Intenta dar una posible explicación a cada una de las siguientes modificaciones:
 - a) Se ha tenido que reducir la frecuencia de reloj del procesador.
 - b) Se han reducido los ciclos del tiempo de acierto de la cache L2.

Ejercicio 3.11.

Un sistema tiene instalada una memoria Samsung Hynix Micron DDR2 PC2-6400 con temporización $CL-t_{RCD}-t_{RP}$ 10-10-10 y ancho de bus de 64 bits. En cada acceso, la memoria transfiere un bloque de memoria de 64 bytes. De media, la probabilidad de que un acceso a memoria encuentre abierta la fila donde se encuentra el bloque es del 40 %.

Responde, justificando las respuestas:

1. ¿Cuál es el tiempo de lectura de un bloque en memoria principal? Calcúlalo en ciclos de bus de memoria.
2. Se han considerado tres opciones para mejorar el tiempo de lectura:
 - a) Reducir a la mitad el tiempo entre el envío de la dirección de columna por el bus de memoria y el comienzo de la recepción del bloque.
 - b) Reducir a la mitad la latencia del comienzo de la recepción de los datos cuando el acceso encuentra abierta otra fila diferente de la que contiene el bloque.

c) Duplicar el ancho de bus de memoria.

Para cada una de las tres opciones, calcula el tiempo de lectura en ciclos de bus.

3. Calcula el tiempo de lectura en ciclos de bus para la memoria original aplicando la técnica *Early Restart*. Asume que cada palabra de 64 bits del bloque de cache tiene la misma probabilidad de ser la requerida por el procesador.

Ejercicio 3.12. Un computador tiene los siguientes componentes:

- Un procesador *load/store* semejante al MIPS, ejecución fuera de orden, un ancho de palabra de 64 bits y que trabaja a una frecuencia de reloj de 2,5 GHz. Se ha medido que el valor medio del CPI es 1,5, y que el 20 % de las instrucciones que ejecuta son lecturas de memoria, y el 5 % son escrituras. El procesador también dispone de buffers de escritura.
- Una memoria cache de dos niveles. El primer nivel L1 tiene cache de instrucciones y de datos separadas. El tiempo de acierto es de 1 ciclo para las caches L1 y de 5 ciclos para la cache L2. Las tasas de fallos locales son del 1 % para la cache L1 de instrucciones, 10 % para las lecturas en la cache L1 de datos, 5 % para las escrituras en la cache L1 de datos y 40 % para la cache L2. El tamaño de bloque es de 128 Bytes en ambos niveles.
- La memoria principal es SDRAM DDR4 y sus parámetros temporales son $CL - t_{RCD} - t_{RP} = 10 - 11 - 12$ a una frecuencia de reloj de 800 MHz.

Calcula, justificando las respuestas:

1. El tiempo necesario para traer un bloque desde la memoria principal a la cache L2 cuando la fila objetivo está abierta, expresado en ciclos de reloj de memoria y en nanosegundos.
2. El tiempo necesario para traer un bloque desde la memoria principal a la cache L2 cuando la fila objetivo está cerrada, expresado en ciclos de reloj de memoria y en nanosegundos.
3. El tiempo de ejecución de un *benchmark* con 10 millones de instrucciones, suponiendo que la cache L1 es perfecta (tasa de fallos igual a cero).
4. El tiempo de ejecución extra, debido a fallos en la jerarquía de cache, para un *benchmark* con 10 millones de instrucciones, suponiendo que el tiempo medio de acceso a memoria (penalización por fallo de la cache L2) es de 40 ns. La ejecución fuera de orden permite ocultar el 70 % de la penalización por fallo de la cache L1 de datos, siendo el resto de solapamientos despreciable.
5. El tiempo medio de acceso a la cache L1 de datos, suponiendo que el tiempo medio de acceso a memoria (penalización por fallo de la cache L2) es de 40 ns.
6. La tasa de fallos combinada del nivel L1 de cache.
7. La tasa de fallos global de la jerarquía de cache.

Ejercicio 3.13.

El siguiente diagrama i-t muestra la ejecución de un fragmento de bucle que ha sido optimizado con la técnica de *loop unrolling*:

		1	2	3	4	5	6	7	8	9	10	11	...	39	40	41	42	43	44	45	46	47	48	49	50
loop:	l.d f1, 0(r1)	IF	I	AC	L1	L2	L3	L4	L5	L6	L7	L8		L36	L37	WB	C								
	l.d f2, 8(r1)		IF	I	AC											L1	WB	C							
	l.d f3, 16(r1)			IF	I	AC											L1	WB	C						
	l.d f4, 24(r1)				IF	I	AC											L1	WB	C					
	mul.d f1, f0, f1					IF	I									M1	M2	M3	WB	C					
	mul.d f2, f0, f2						IF	I									M1	M2	M3	WB	C				
	mul.d f3, f0, f3							IF	I									M1	M2	M3	WB	C			
	mul.d f4, f0, f4								IF	I									M1	M2	M3	WB	C		
	.																								

El procesador tiene soporte *hardware* para ejecución fuera de orden y especulación, puede lanzar una instrucción por ciclo de reloj y dispone de un operador de carga no segmentado y uno de multiplicación segmentado para operandos de coma flotante. Dispone de un único nivel de cache L1. La memoria principal está basada en tecnología DDR3 y su frecuencia de reloj coincide con la del núcleo del procesador.

Se pide:

1. Justificar el diferente comportamiento que tienen la primera y la segunda instrucciones de carga.
2. ¿Cuál es el tiempo de acceso (en ciclos de reloj) a la cache de datos L1 en caso de acierto (sin incluir el retardo de la etapa de calculo de la dirección de memoria, etapa AC)?
3. ¿Cuál es la penalización por fallo?
4. En la segunda iteración del bucle (no mostrada en el diagrama), la primera instrucción de carga (`l.d f1, 0(r1)`) reduce el tiempo para ejecutarse completamente de 42 a 18 ciclos. ¿A qué se debe ese comportamiento? El resto de instrucciones consumen el mismo número de ciclos que los mostrados en el diagrama.
¿Cuál es el valor de $t_{RP} + t_{RCD}$ para los módulos DIMM de memoria?
5. ¿Cuál es el tamaño de bloque de cache en bytes?