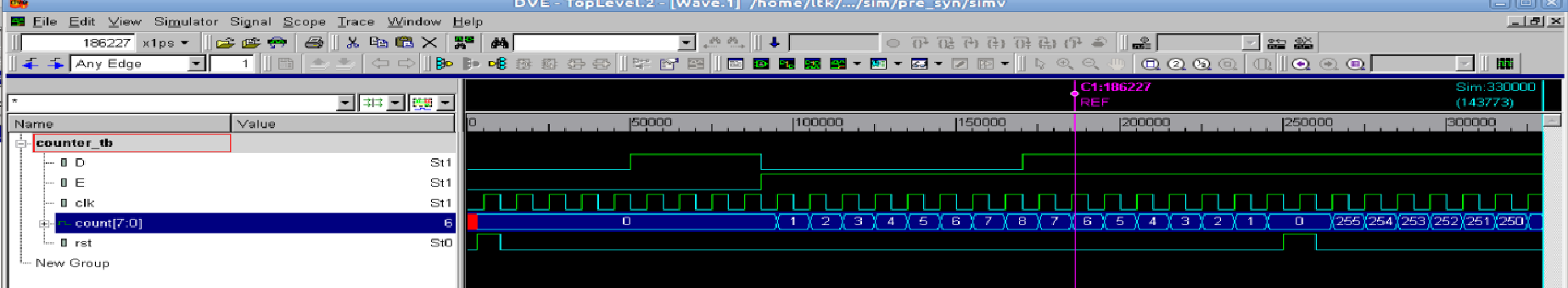
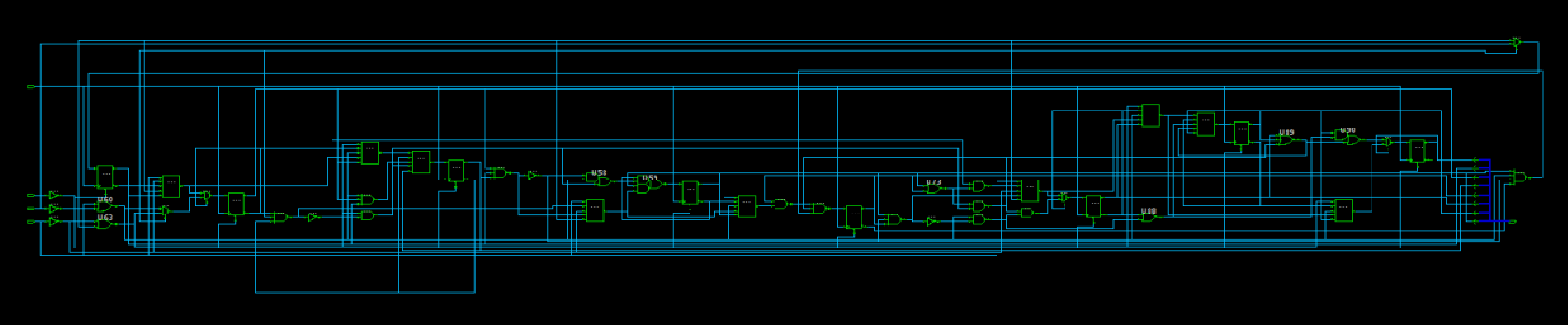
sim: pre\_syn:



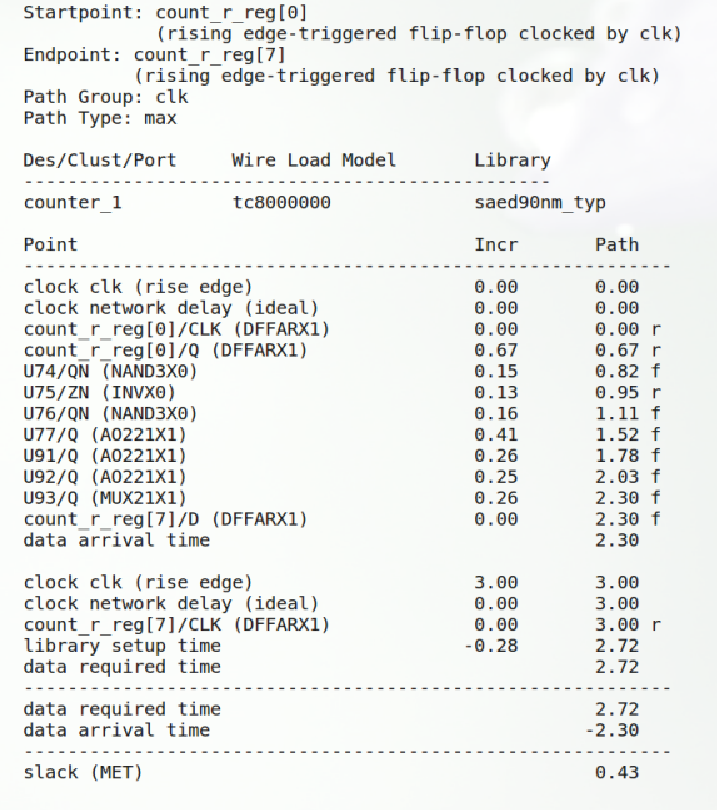
syn\_check: leda



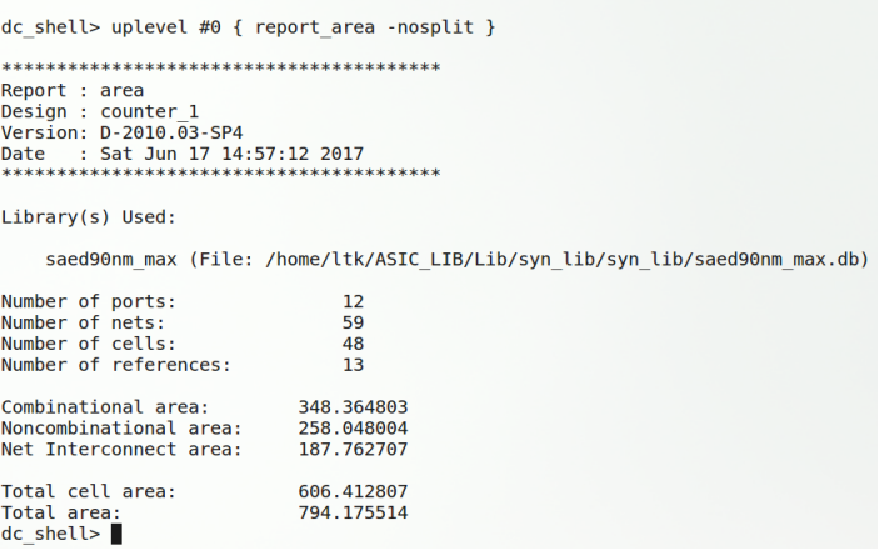
syn:



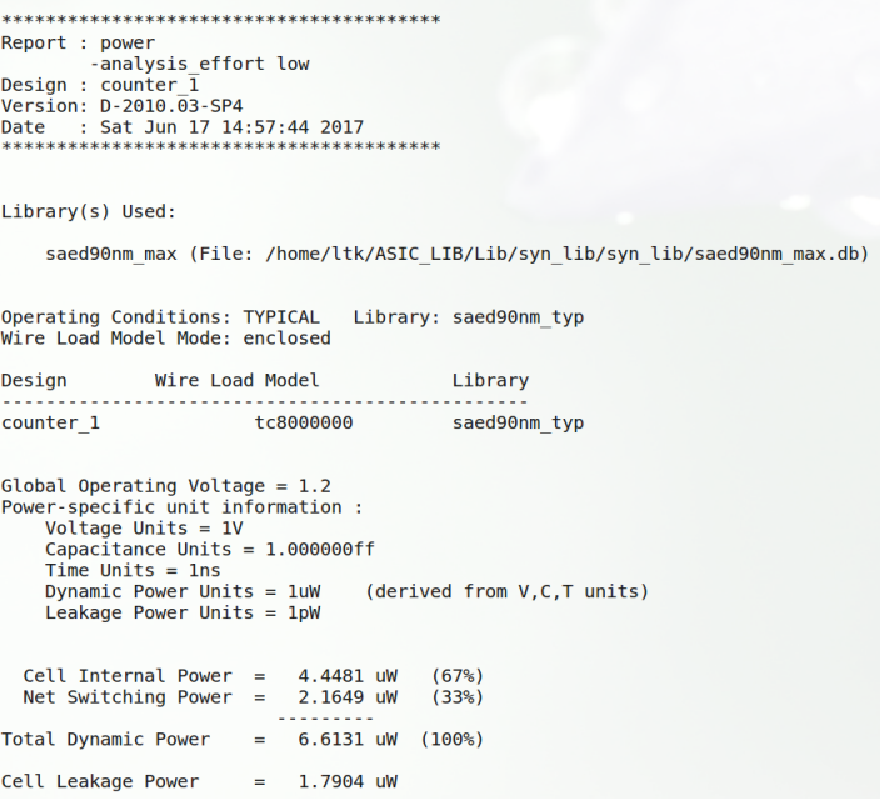
dc\_shell> create\_clock -name clk -period 3 [get\_ports clk] //clk = 3ns



Report area:

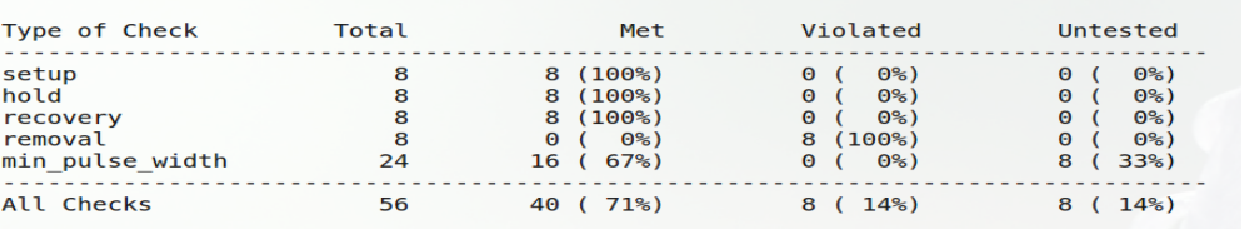


Report power:



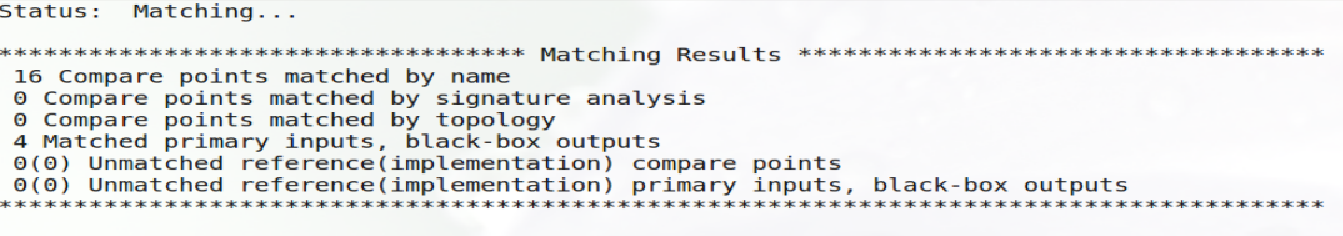
Timing:

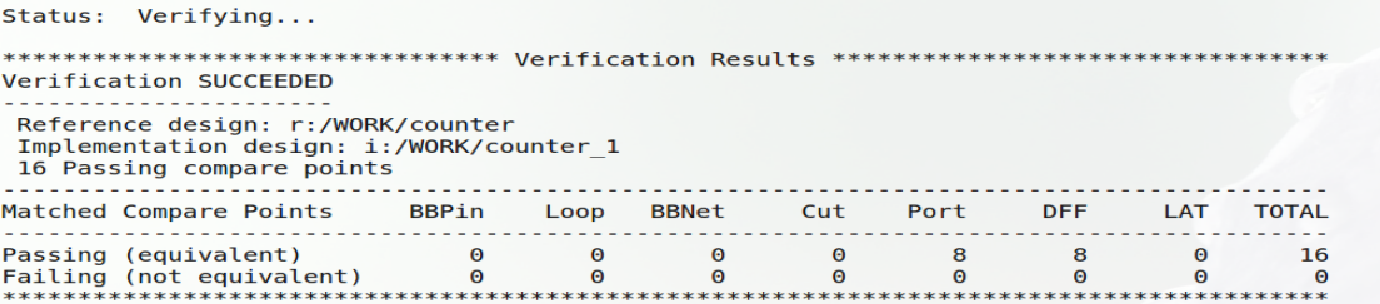
Post\_syn:



Vi phạm removal xuất hiện do reset được thiết kế theo kiểu bất đồng bộ và không được đồng bộ với xung clock. Công cụ phân tích timing giả định trường hợp reset được nhả gần cạnh clock, dẫn đến cảnh báo removal. Tuy nhiên trong thực tế reset được giữ ổn định trong thời gian dài và không ảnh hưởng đến hoạt động chức năng của bộ đếm. Các kiểm tra setup, hold và recovery đều đạt nên mạch đảm bảo hoạt động đúng.

Formal:



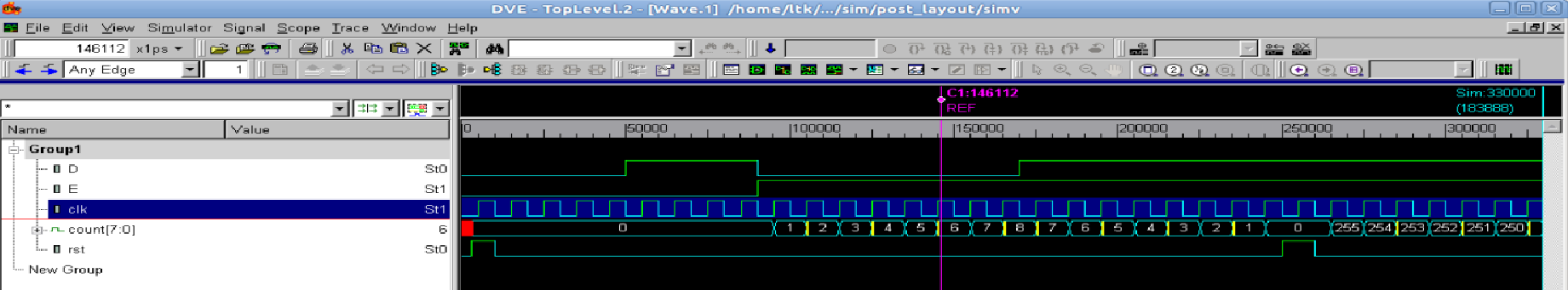


sim:

post-syn:

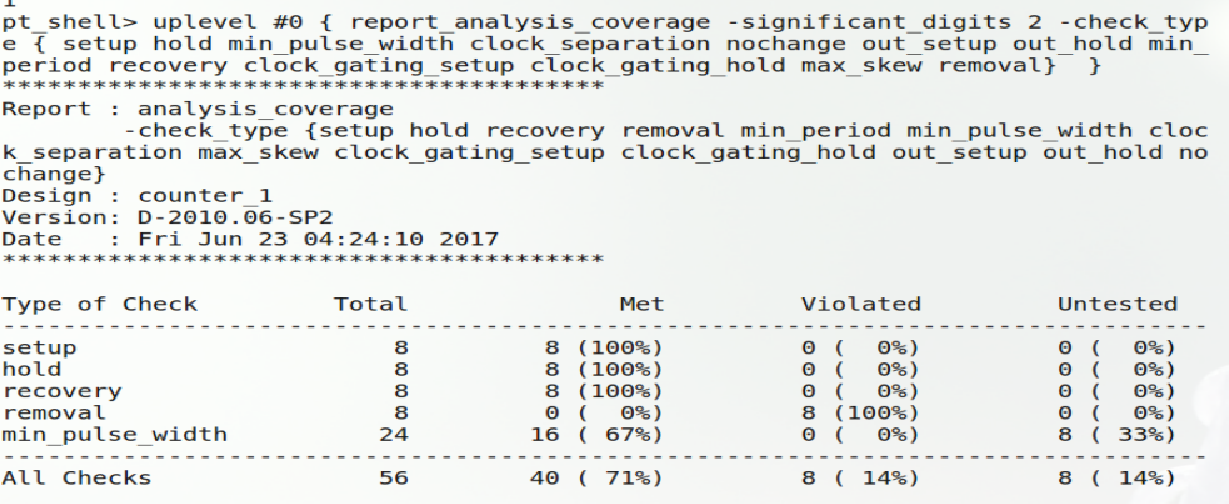


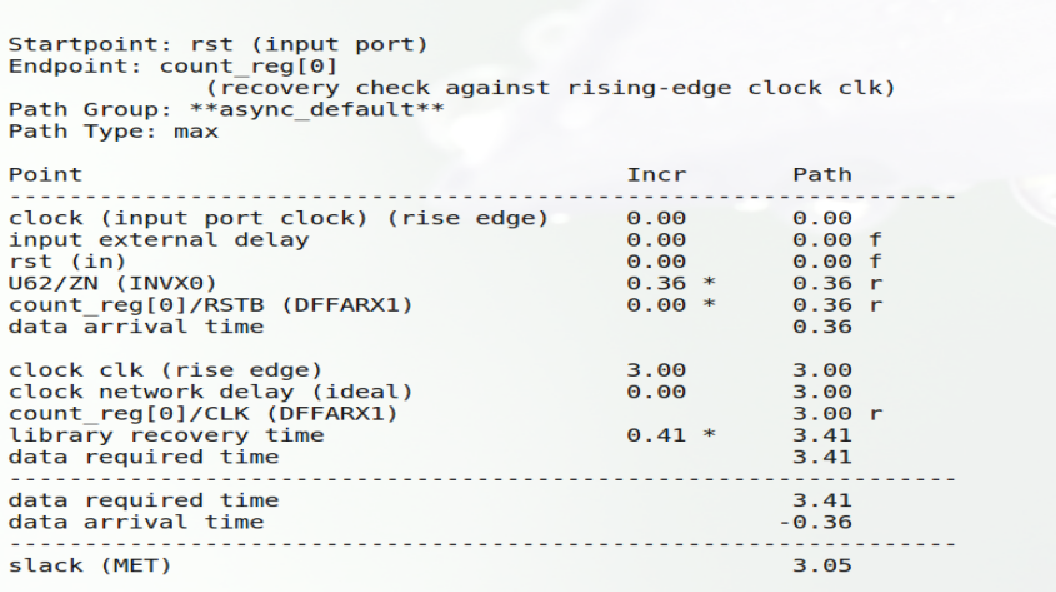
post\_layout:

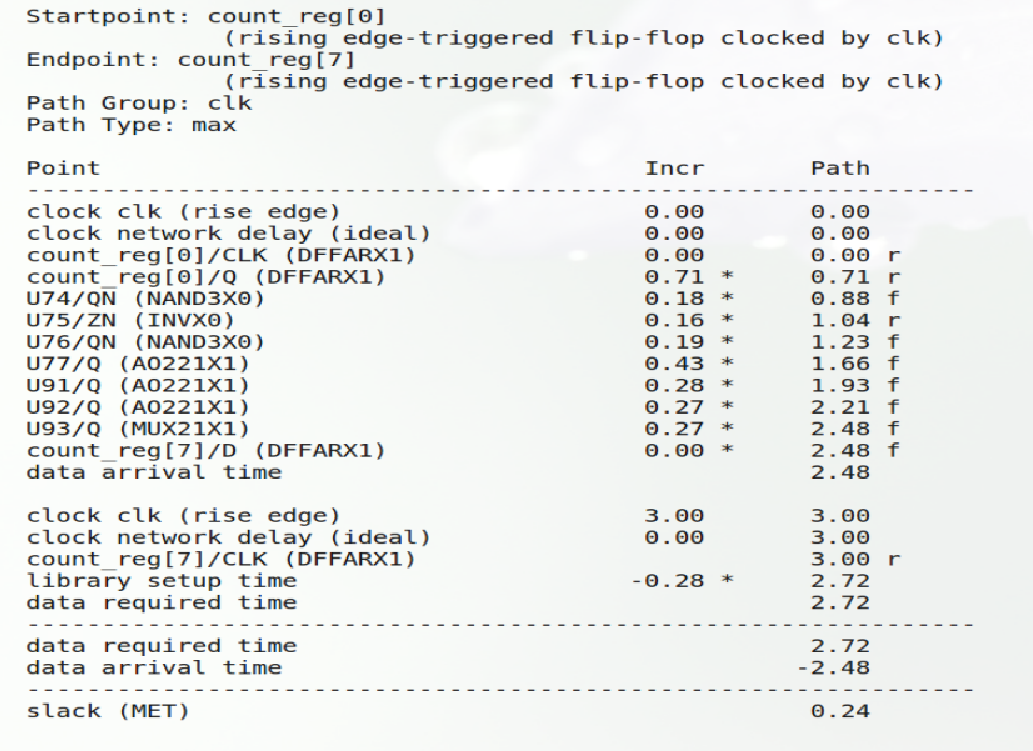


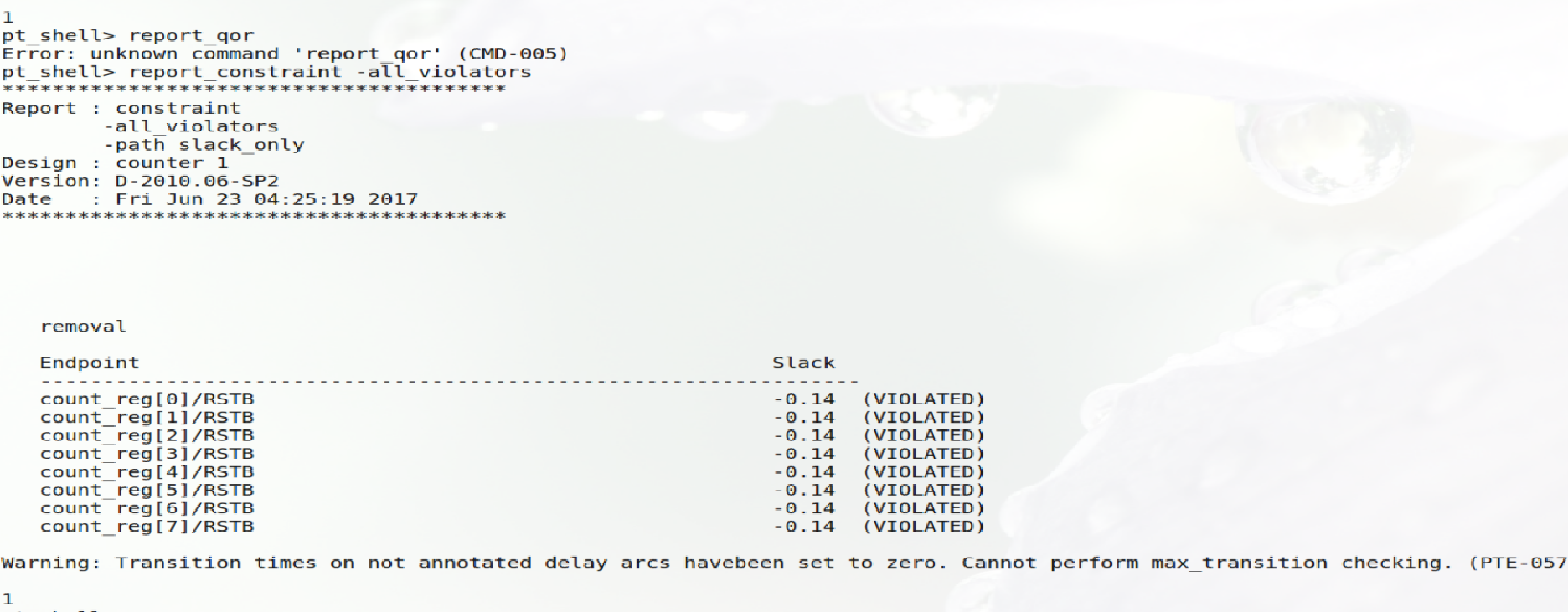
Timing:

Post\_layout:

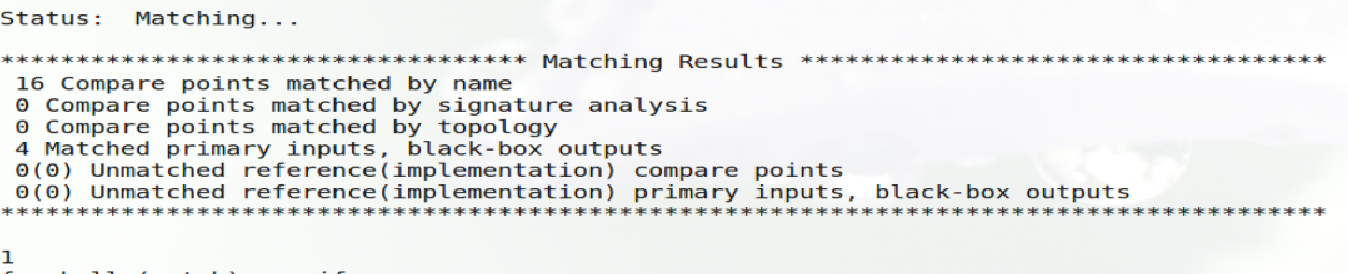


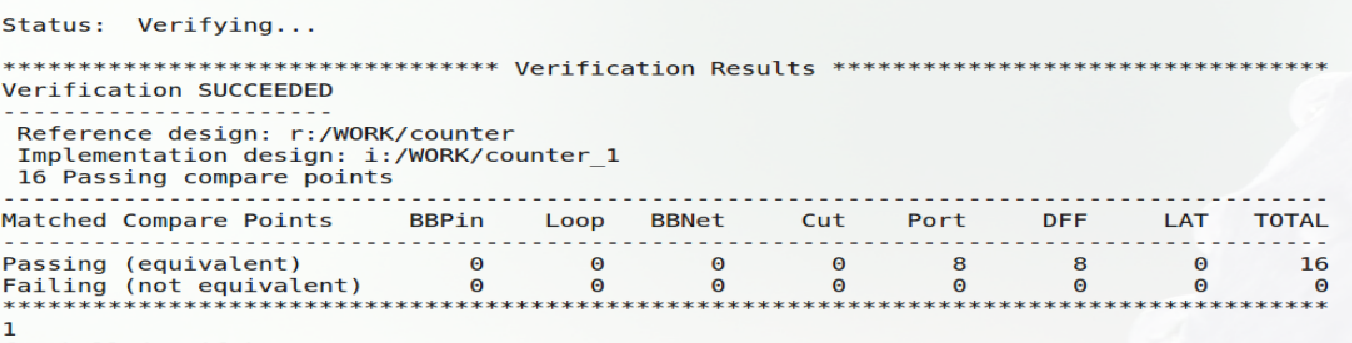




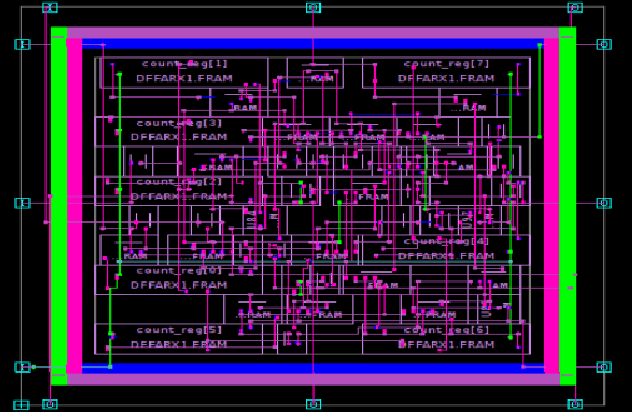


Formal:

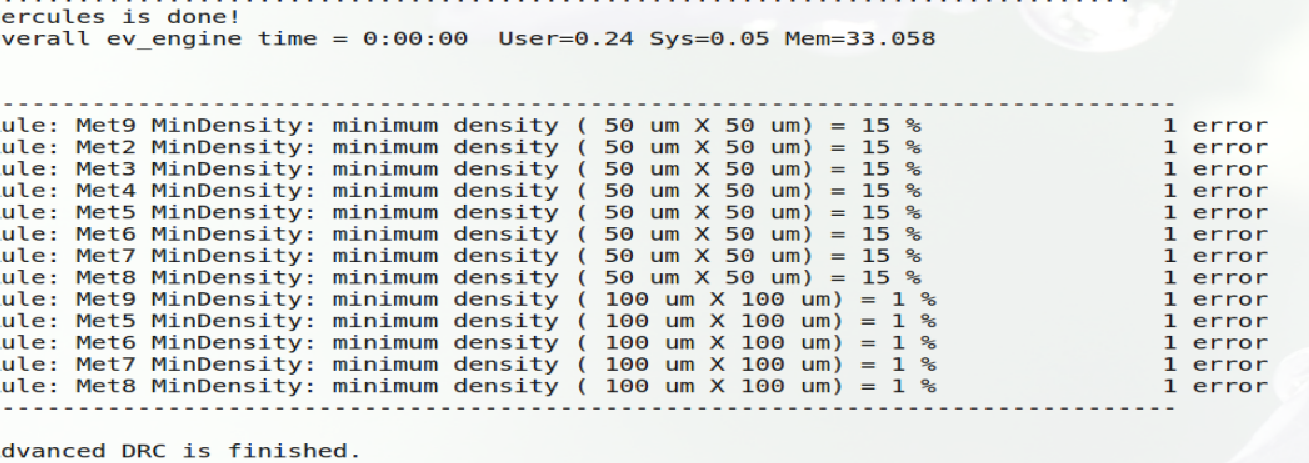




LAYOUT:

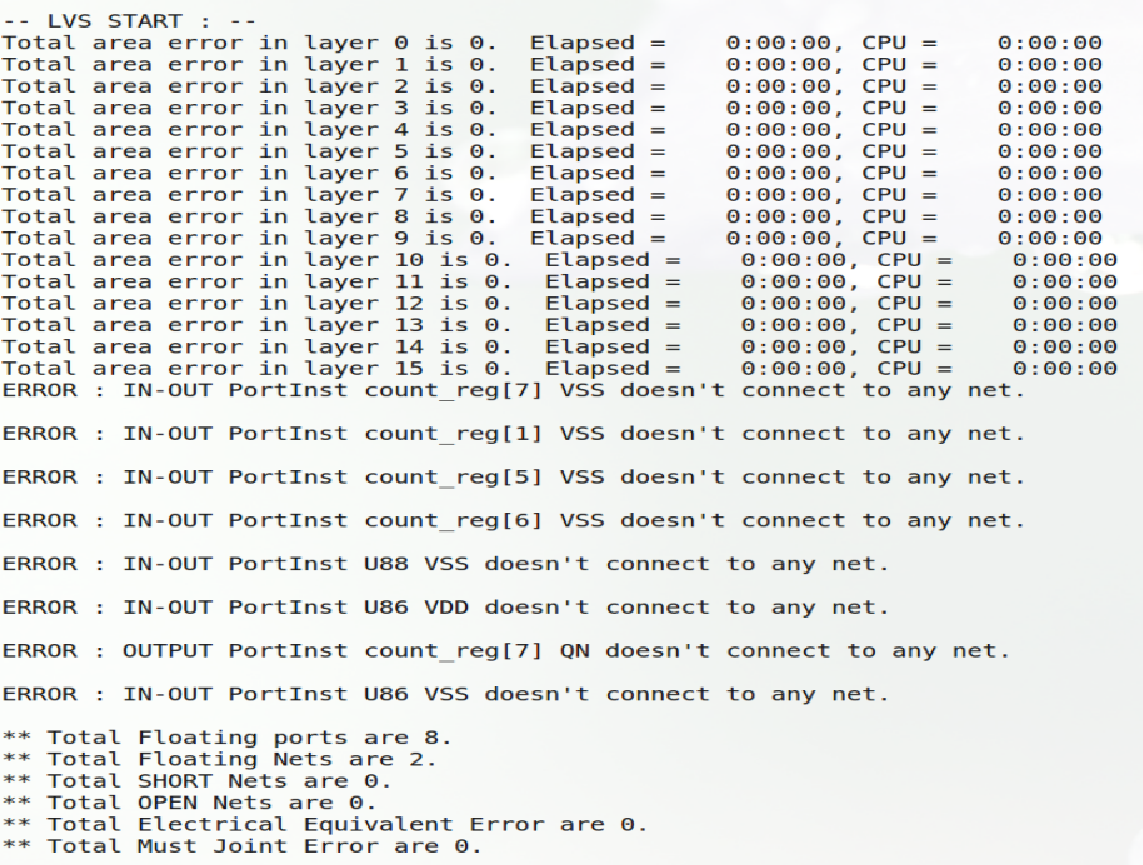


DRC:



Đây là metal density violation, không phải spacing hay connectivity.  
Với thiết kế nhỏ như counter 8-bit, điều này là bình thường và sẽ được xử lý bằng metal fill trong flow tape-out thực tế.

LVS:



Extract RC:

