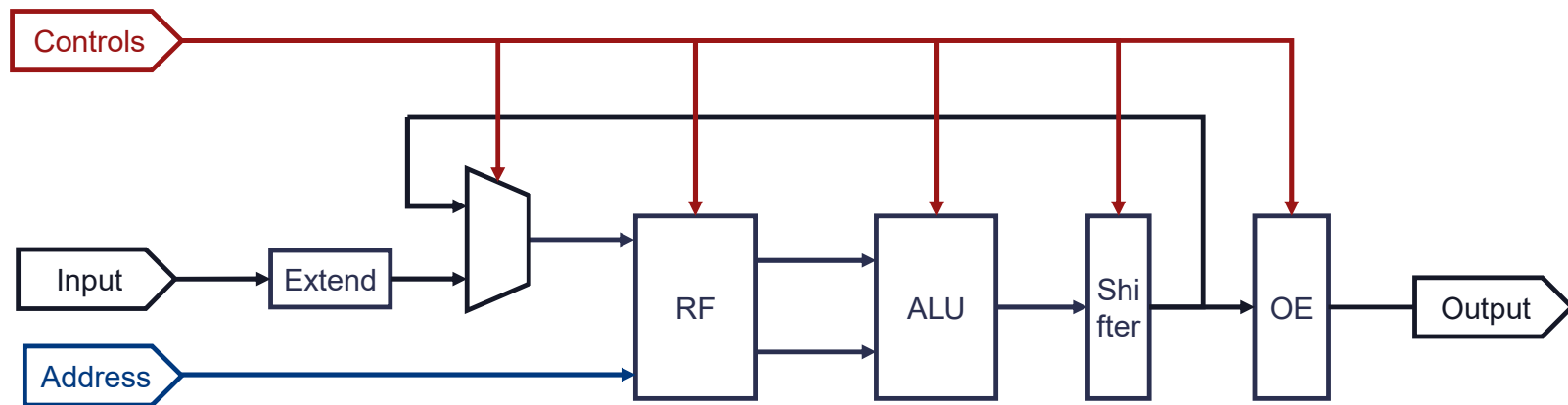




Bài tập thêm

- Giữ nguyên Datapath gốc, Phát triển CPU theo hướng đa dụng (lập trình được bằng tập lệnh)
 - Được phát triển datapath nhưng không được thay đổi khối datapath gốc





Quy trình thiết kế

- Phát triển tập lệnh
- Phân loại tập lệnh
- Xây dựng lưu đồ tập lệnh
- Xác định các thành phần cần thêm trong datapath
- Xây dựng sơ đồ ASM
- Xác định các tính hiệu điều khiển cần → Thiết kế controller
- Hoàn chỉnh thiết kế CPU
- Xây dựng phần mềm, biên dịch, nạp và kiểm tra hoạt động của CPU
- Kiểm tra định thời mức cổng
- Kiểm tra tài nguyên và công suất



Phát triển tập lệnh

• RRR

OC	R1	R2	R3	Func		Assembly-Code Format	Meaning
3	3	3	3	4			
000	Rs1	Rs2	Rd	0000	add	add Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} + \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0001	sub	sub Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} - \text{Reg[Rs2]}$
000	Rs1	Rs1	Rd	0010	inc	inc Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} + 1$
000	Rs1	Rs1	Rd	0011	dec	dec Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} - 1$
000	Rs1	Rs2	Rd	0100	and	and Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ and } \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0101	or	or Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ or } \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0110	xor	xor Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ xor } \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0111	nand	nand Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ nand } \text{Reg[Rs2]}$
000	Rs1	Rs1	Rd	1000	shl1	shl1 Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \ll 1$
000	Rs1	Rs1	Rd	1001	shl2	shl2 Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \ll 2$
000	Rs1	Rs1	Rd	1010	shl3	shl3 Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \ll 3$



Phát triển tập lệnh

• RRI

OC	R1	R2	Imm		Assembly-Code Format	Meaning
3	3	3	7			
010	Rs1	Rs2	Imm	beq	beq Rs1, Rs2, Imm	PC = Reg[Rs1] == Reg[Rs2] ? Imm : PC + 1

• RI

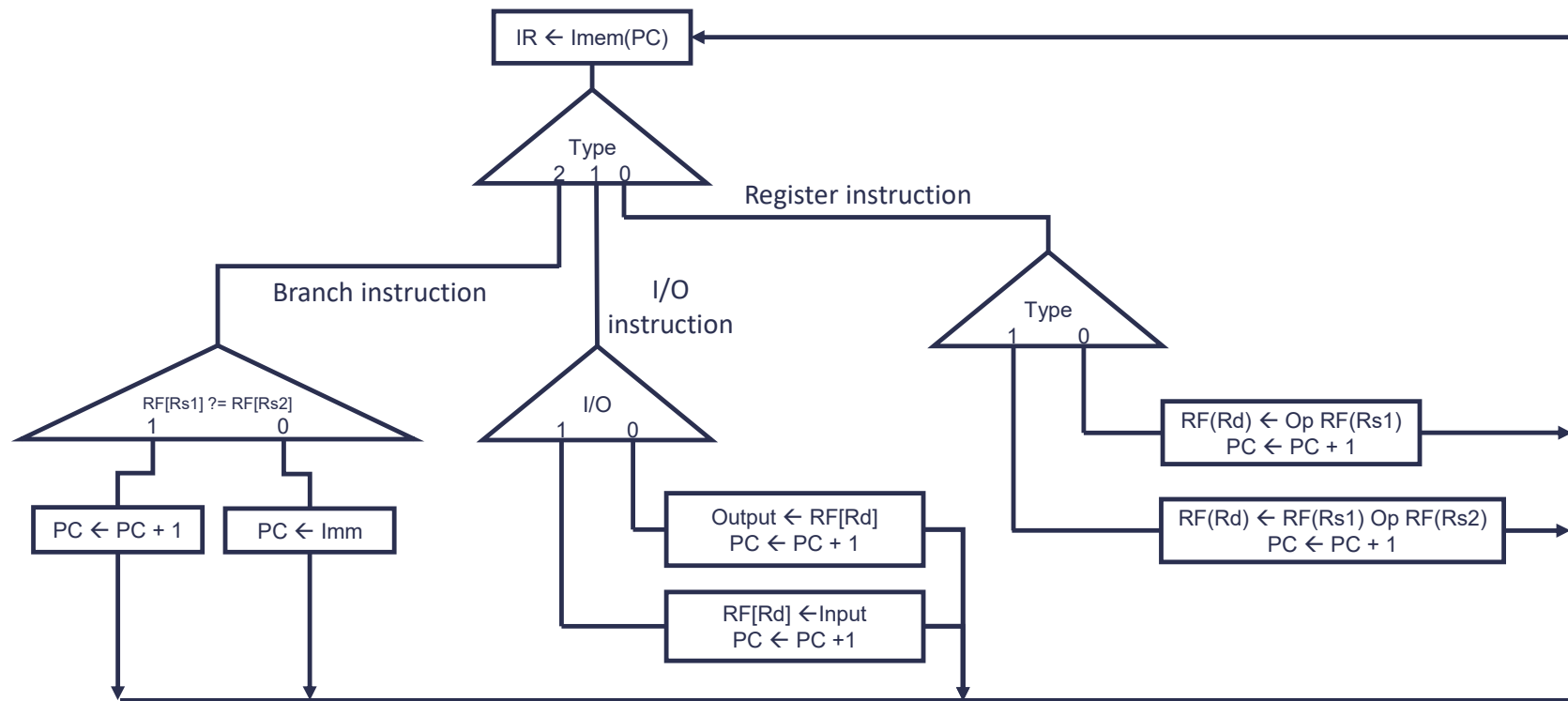
OC	R1	Imm		Assembly-Code Format	Meaning
3	3	9			
100	Rd	Imm	linp	linp Rd	Reg[Rd] ← Input
101	Rd	Imm	wout	wout Rd	Reg[Rd] → output

• Extend

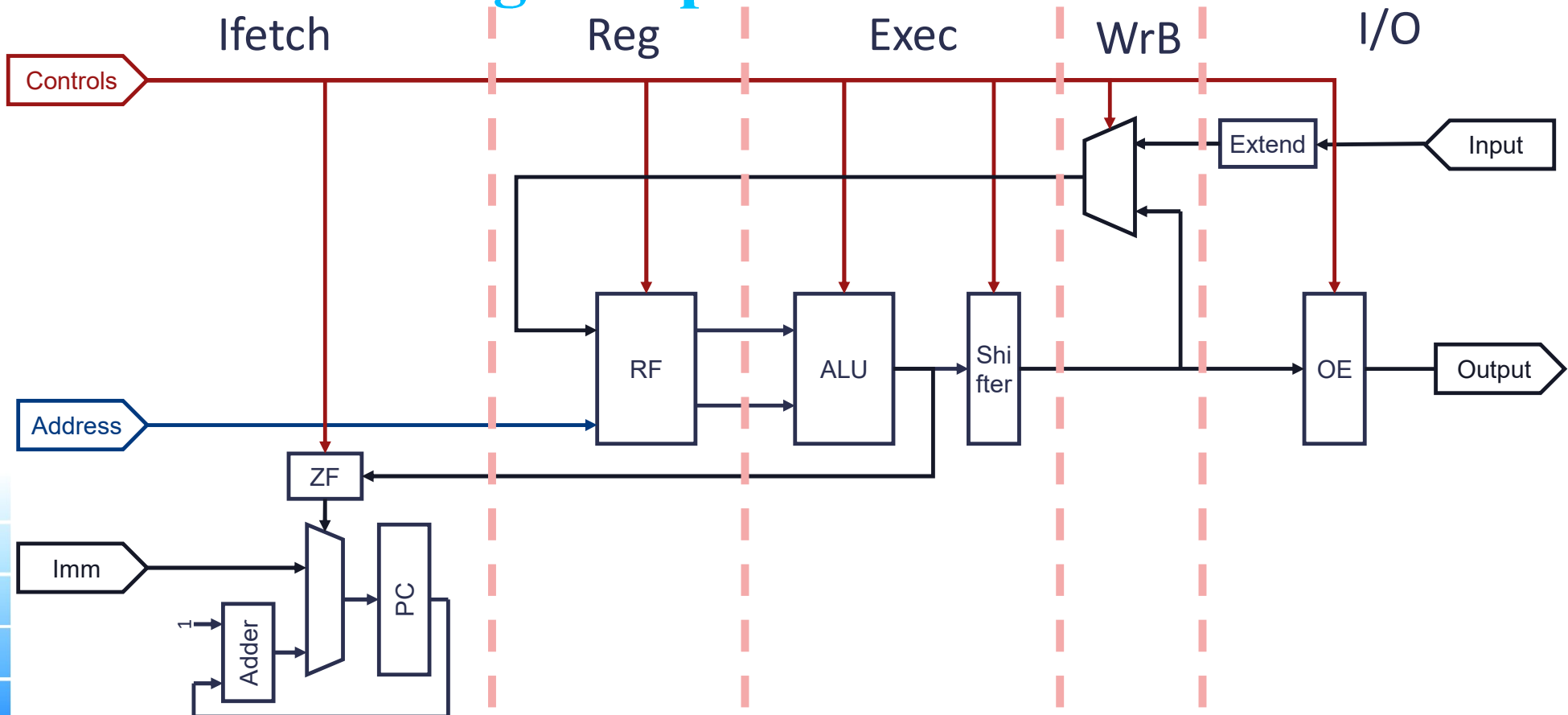
000	Rs1	Rs1	Rs1	0100	nop	nop	(and)
000	Rs1	Rs1	Rd	0111	not	not Rs1, Rd	(nand)
101	Rs1	Rs1	Imm		jmp	jmp Imm	(beq)
000	Rs1	Rs1	Rd	0100	mov	mov Rs1, Rd	(and)



Thiết kế lưu đồ tập lệnh

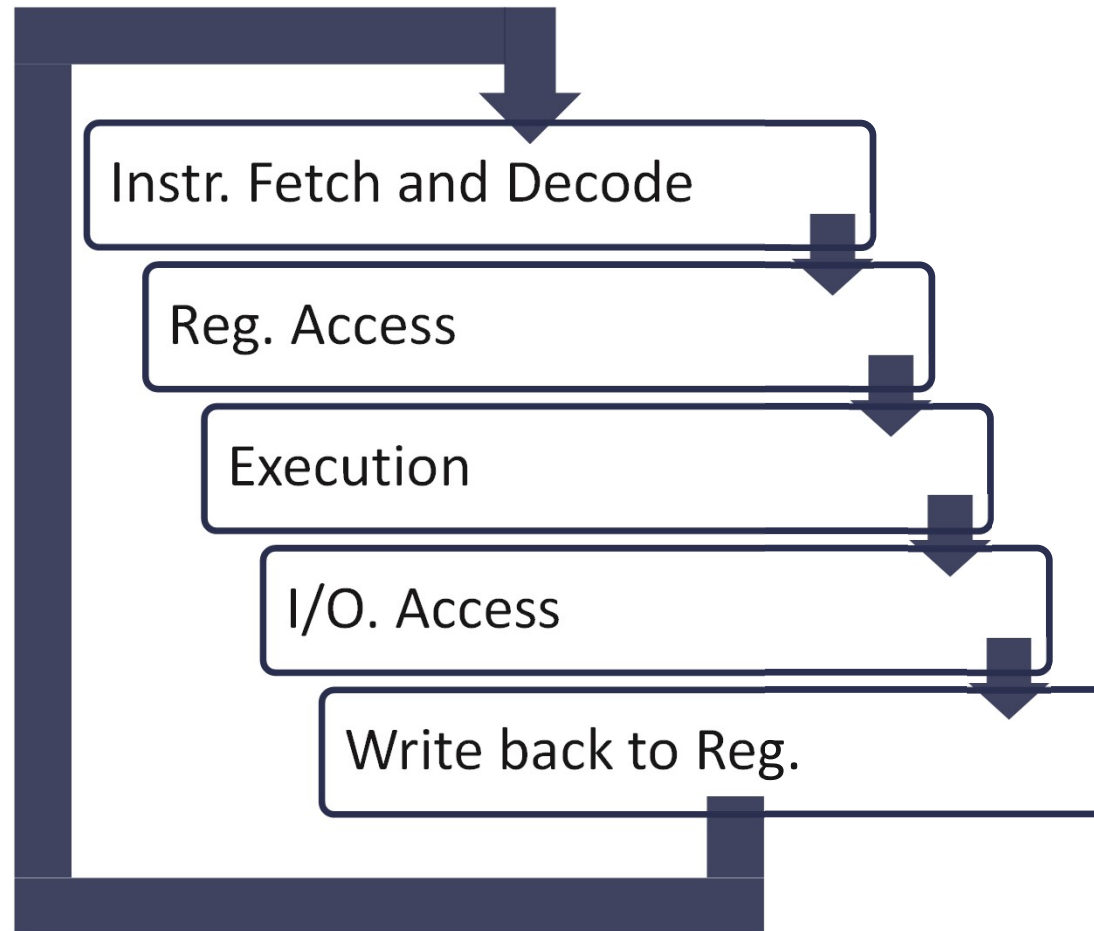


Phân tầng hoạt động và xác định thành phần cần thêm trong datapath

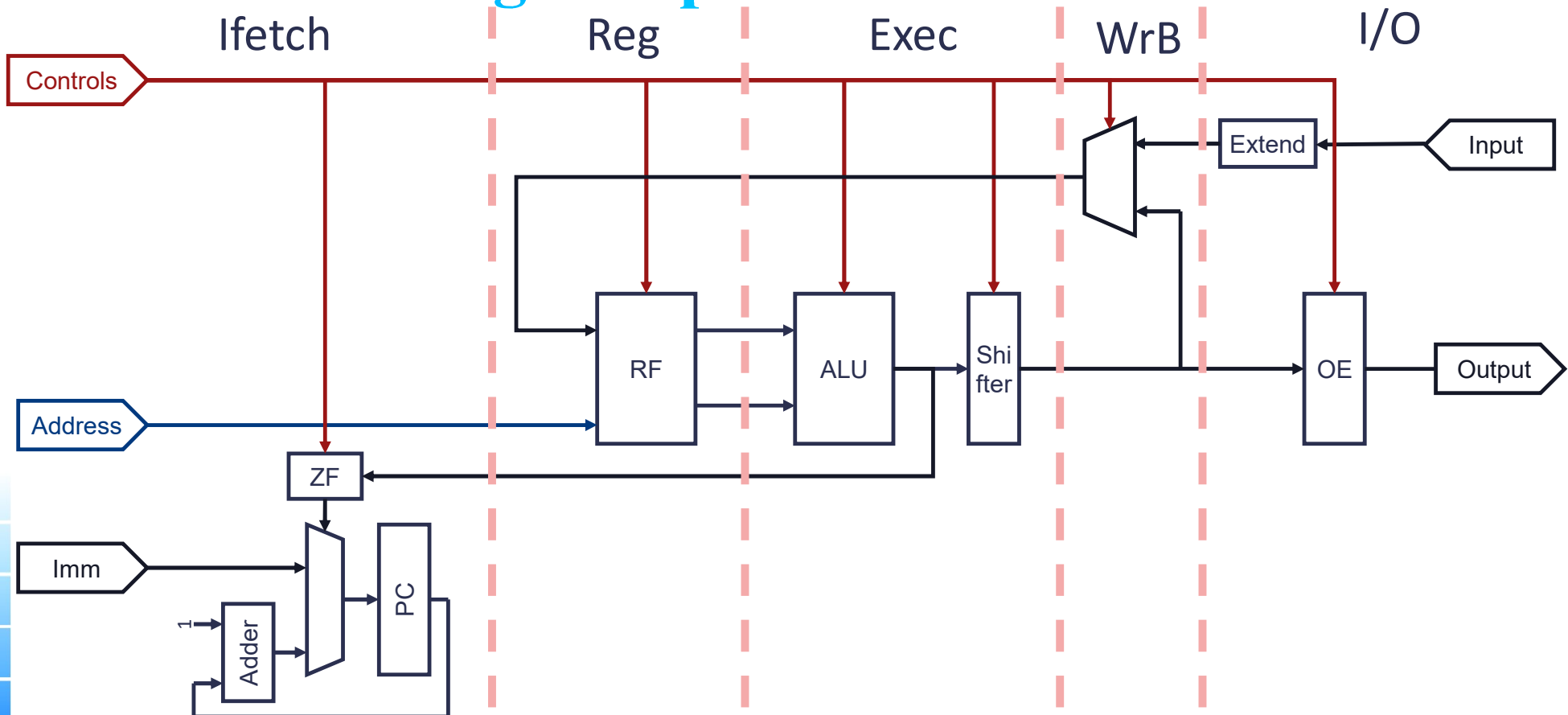




Thiết kế lưu đồ ASM



Phân tầng hoạt động và xác định thành phần cần thêm trong datapath

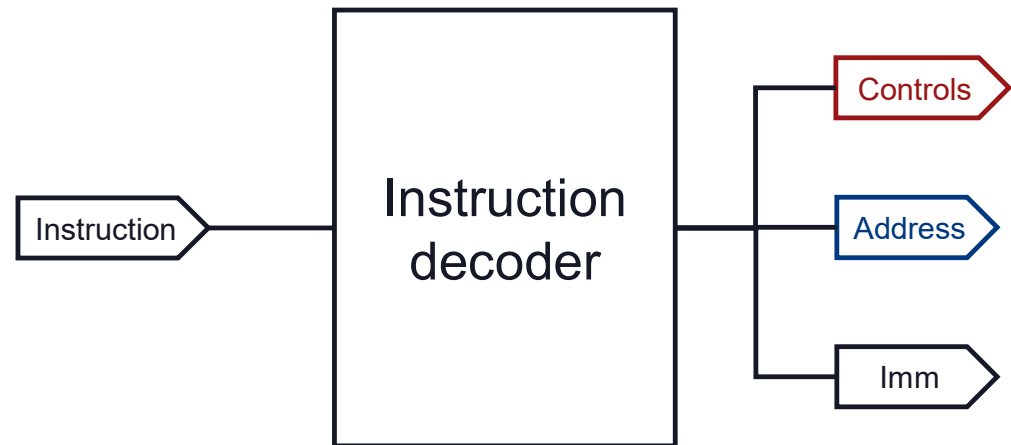


Xác định tín hiệu điều khiển → Thiết kế control unit



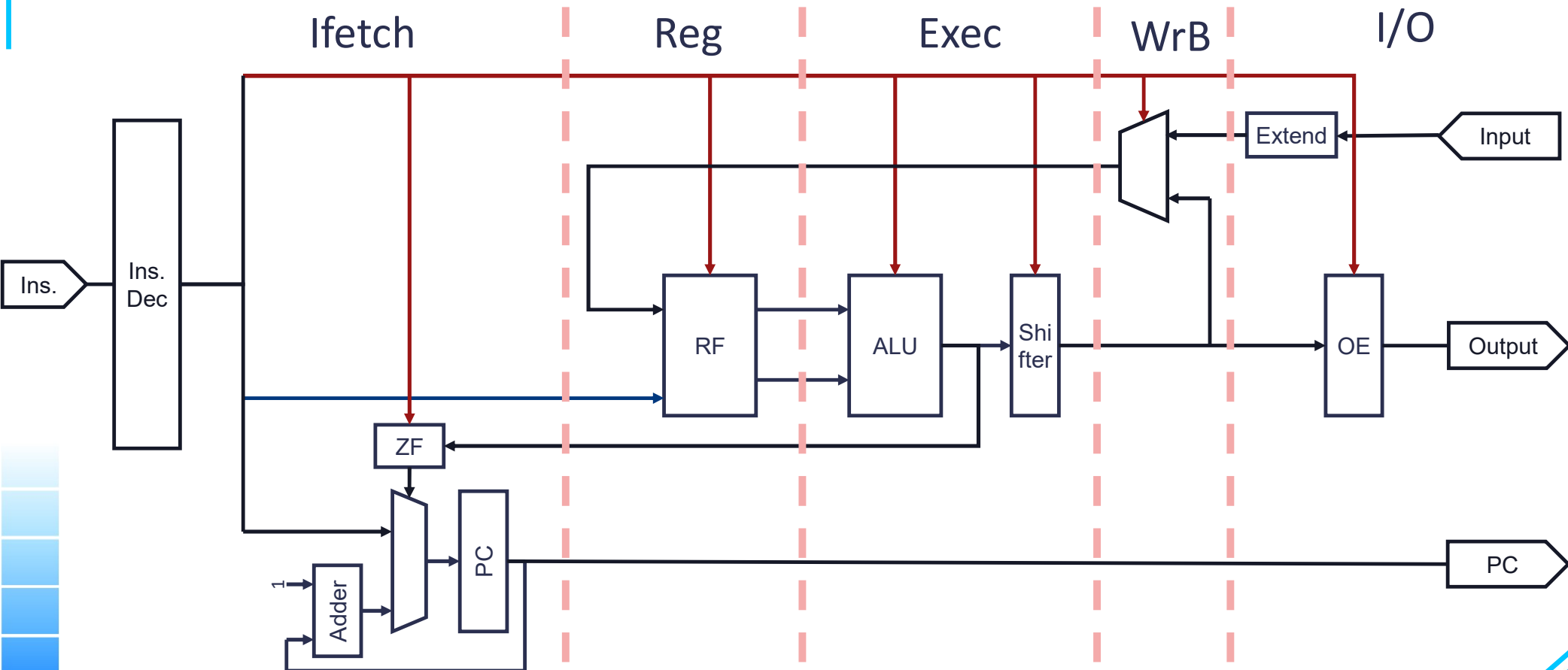
Control unit → Instruction decoder

- RF:
 - Read Address A
 - Read AddressB
 - Write Enable
 - Write Address
- I/O control:
 - OE
 - IE
- ALU:
 - ALUOp
- Shifter:
 - Shift
- ZF(Branch):
 - Branch





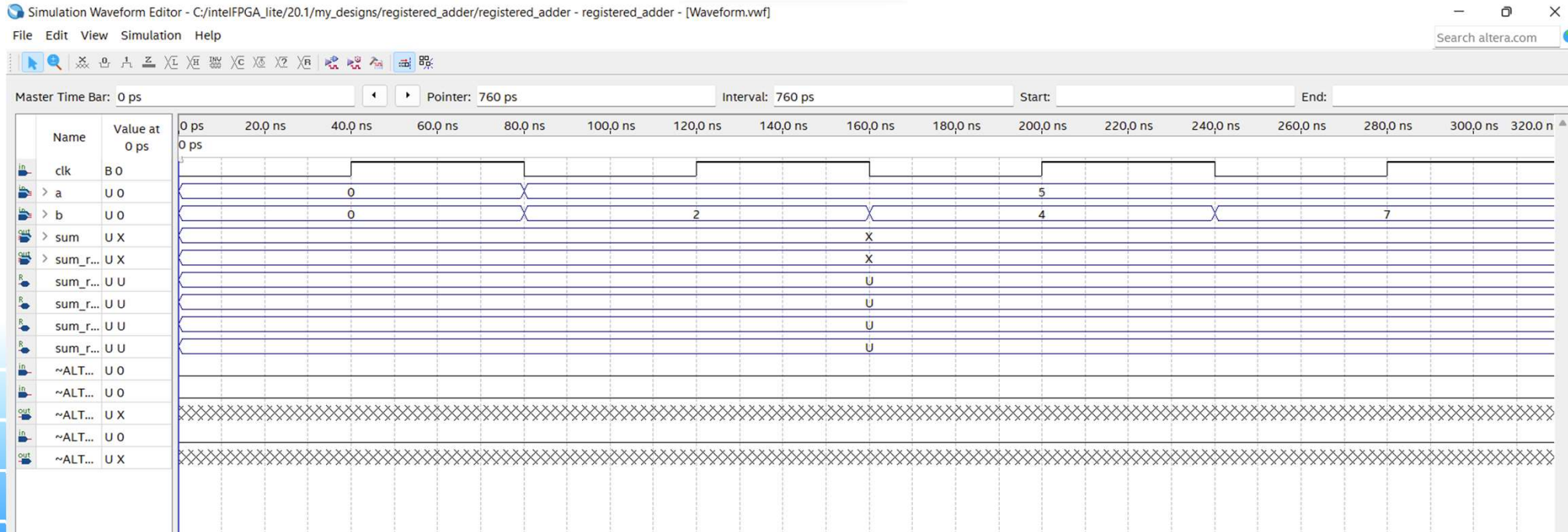
Hoàn thiện thiết kế CPU





Kiểm tra chức năng

Nạp code → Mô phỏng waveform → Kiểm tra chức năng



Thực hiện bởi Trường Đại học Công nghệ Thông tin, ĐHQG-HCM



Kiểm tra tài nguyên

Tổng hợp → Report tài nguyên → Kiểm tra tài nguyên

1	Estimated total logic elements	216
2		
3	Total combinational functions	216
4	<input type="checkbox"/> Logic element usage by number of LUT inputs	
5	-- 4 input functions	43
6	-- 3 input functions	105
7	-- <=2 input functions	68
8		
9	<input type="checkbox"/> Logic elements by mode	
10	-- normal mode	97
11	-- arithmetic mode	119
12		
13	<input type="checkbox"/> Total registers	54
14	-- Dedicated logic registers	54
15	-- I/O registers	0
16		
17	I/O pins	0
18		



Kiểm tra định thời

Tổng hợp → Phân tích định thời → Report định thời
→ Kiểm tra định thời

Slow 1200mV 85C Model

	Fmax	Restricted Fmax	Clock Name	Note
1	105.11 MHz	105.11 MHz	CLK	

Compilation Report - F:/FPGA_Project/elec40006-p1-cw/src/CPUProject - CPUProject

File Edit Tools Window Help

Table of Contents

Slow 1200mV 85C Model Setup: 'CLK'

Summary

Flow Settings

Flow Non-Default Global Settings

Flow Elapsed Time

Flow OS Summary

Flow Log

Analysis & Synthesis

Fitter

Assembler

Power Analyzer

Flow Messages

Flow Suppressed Messages

Timing Analyzer

Summary

Parallel Compilation

SOC File List

Clocks

Slow 1200mV 85C Model

Fmax Summary

Timing Closure Recommendation

Setup Summary

Hold Summary

Recovery Summary

Removal Summary

Minimum Pulse Width

Worst-Case Timing Path

Setup: 'CLK'

Hold: 'CLK'

Metastability Summary

Slow 1200mV OC Model

Fast 1200mV OC Model

Multicorner Timing Analysis

Advanced I/O Timing

Clock Transfers

Report TCCS

Report RSKM

Unconstrained Paths

Messages

Timing Analyzer GUI

	Stack	From Node	To Node	Launch Clock	Latch Clock	Relationship	Clock Skew	Data Delay
1	0.486	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[15]	CLK	CLK	10.000	0.104	9.633
2	0.534	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[13]	CLK	CLK	10.000	0.102	9.583
3	0.540	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[4]	CLK	CLK	10.000	0.127	9.602
4	0.552	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[2]	CLK	CLK	10.000	0.103	9.566
5	0.555	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[7]	CLK	CLK	10.000	0.079	9.539
6	0.569	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[2]	CLK	CLK	10.000	-0.249	9.197
7	0.587	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[3]	CLK	CLK	10.000	0.105	9.533
8	0.617	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[5]	CLK	CLK	10.000	0.101	9.499
9	0.631	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[0]	CLK	CLK	10.000	0.086	9.470
10	0.643	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[6]	CLK	CLK	10.000	0.102	9.474
11	0.701	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[8]	CLK	CLK	10.000	0.101	9.415
12	0.727	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[1][12]	CLK	CLK	10.000	0.109	9.397
13	0.743	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR2]dffs[10]	CLK	CLK	10.000	0.073	9.345
14	0.748	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[1][5]	CLK	CLK	10.000	0.088	9.355
15	0.757	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[10][6]	CLK	CLK	10.000	0.102	9.360
16	0.759	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[31][1]	CLK	CLK	10.000	0.083	9.339
17	0.770	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[9]	CLK	CLK	10.000	-0.251	8.994
18	0.770	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[7]	CLK	CLK	10.000	-0.251	8.994
19	0.770	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[6]	CLK	CLK	10.000	-0.251	8.994
20	0.770	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[5]	CLK	CLK	10.000	-0.251	8.994
21	0.770	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[10]	CLK	CLK	10.000	-0.251	8.994
22	0.770	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[12]	CLK	CLK	10.000	-0.251	8.994
23	0.770	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR5]dffs[14]	CLK	CLK	10.000	-0.251	8.994
24	0.771	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[11][5]	CLK	CLK	10.000	0.115	9.359
25	0.782	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR1]dffs[15]	CLK	CLK	10.000	0.105	9.338
26	0.782	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR1]dffs[14]	CLK	CLK	10.000	0.105	9.338
27	0.790	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[14][9]	CLK	CLK	10.000	0.077	9.302
28	0.798	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[30][12]	CLK	CLK	10.000	0.082	9.299
29	0.800	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR1]dffs[12]	CLK	CLK	10.000	0.098	9.313
30	0.801	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[13][12]	CLK	CLK	10.000	0.070	9.284
31	0.807	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[22][12]	CLK	CLK	10.000	0.083	9.291
32	0.817	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR1]dffs[9]	CLK	CLK	10.000	0.105	9.303
33	0.817	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR1]dffs[3]	CLK	CLK	10.000	0.105	9.303
34	0.817	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR1]dffs[4]	CLK	CLK	10.000	0.105	9.303
35	0.817	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR1]dffs[13]	CLK	CLK	10.000	0.105	9.303
36	0.817	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[10][9]	CLK	CLK	10.000	0.102	9.300
37	0.821	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[0][9]	CLK	CLK	10.000	0.102	9.296
38	0.822	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	reg_file_REG[pm_ffR4]dffs[5]	CLK	CLK	10.000	0.072	9.265
39	0.833	ram_instr_RAM[altsyncram:altsyncram_comp_generated/ram_block1a9-porta_address_reg0	LIF_Ostack_STACK[mem[30][3]	CLK	CLK	10.000	0.085	9.288

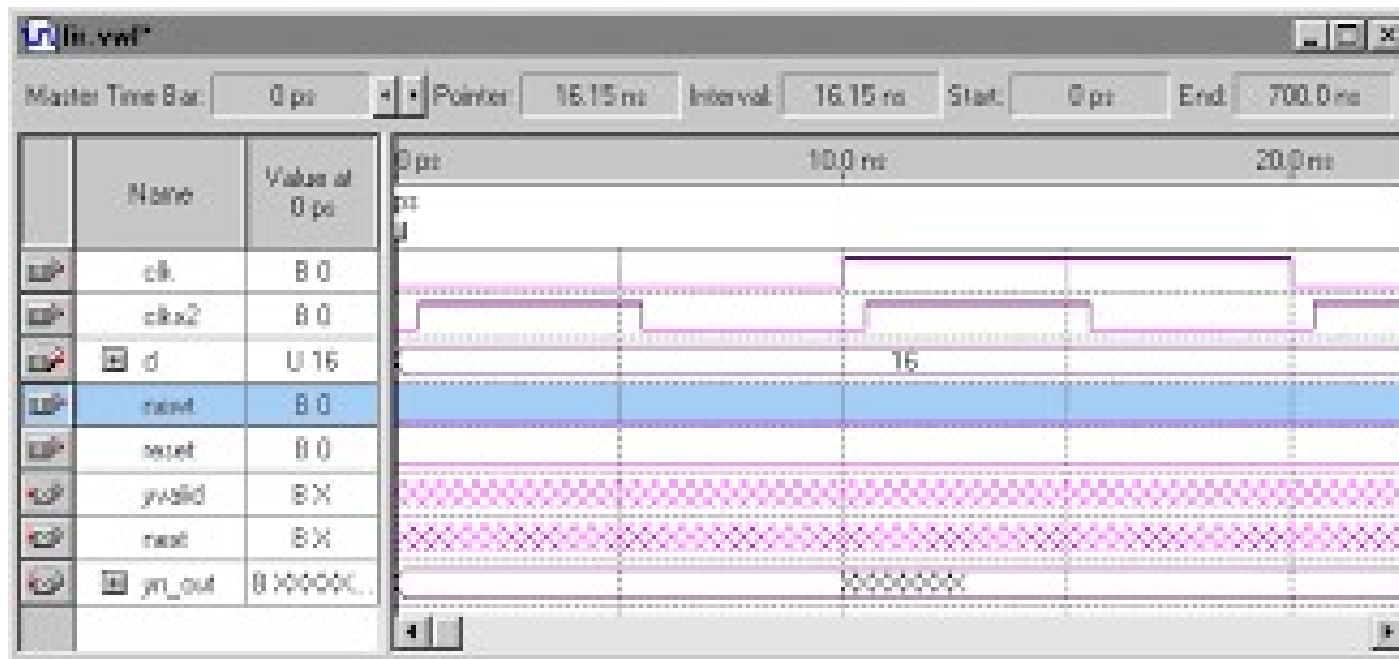
Thực hiện bởi Trường Đại học Công nghệ Thông tin

120



Kiểm tra định thời

Nạp code → Mô phỏng waveform định thời mức cổng
→ Kiểm tra định thời



Thực hiện bởi Trường Đại học Công nghệ Thông tin, ĐHQG-HCM



Kiểm tra công suất

Tổng hợp → Phân tích công suất → Report công suất
→ Kiểm tra công suất

Table of Contents		Power Analyzer Summary	
Flow Summary		Q <<Filter>>	
Flow Settings		Power Analyzer Status	Successful -
Flow Non-Default Global		Quartus Prime Version	19.1.0 Interna
Flow Elapsed Time		Revision Name	blinking_led
Flow OS Summary		Top-level Entity Name	top
Flow Log		Family	Arria 10
Synthesis		Device	10AX115S2F
Fitter		Power Models	Final
Power Analyzer		Total Thermal Power Dissipation	1710.72 mW
Parallel Compilation		Transceiver Standby Thermal Power Dissipation	0.00 mW
Summary		Transceiver Dynamic Thermal Power Dissipation	0.00 mW
Power Savings Summa		I/O Standby Thermal Power Dissipation	0.19 mW
Settings		I/O Dynamic Thermal Power Dissipation	0.39 mW
Messages		Core Dynamic Thermal Power Dissipation	5.16 mW
Operating Conditions U		HPS Standby Thermal Power Dissipation	0.00 mW
Thermal Power Dissipa		HPS Dynamic Thermal Power Dissipation	0.00 mW
Current Drawn per Sup		Device Static Thermal Power Dissipation	1704.98 mW
Confidence Metric Det		High Bandwidth Memory Standby Thermal Power Dissipation	0.00 mW
Signal Activities		High Bandwidth Memory Dynamic Thermal Power Dissipation	0.00 mW
		Power Estimation Confidence	Low: user pro

Thực hiện bởi Trường Đại học Công nghệ Thông tin, ĐHQG-HCM



Tổng hợp kết quả

	Your design	Other design (recommend)
Tài nguyên		
...		
Tần số tối đa		
Định thời		
...		
Công suất		
...		