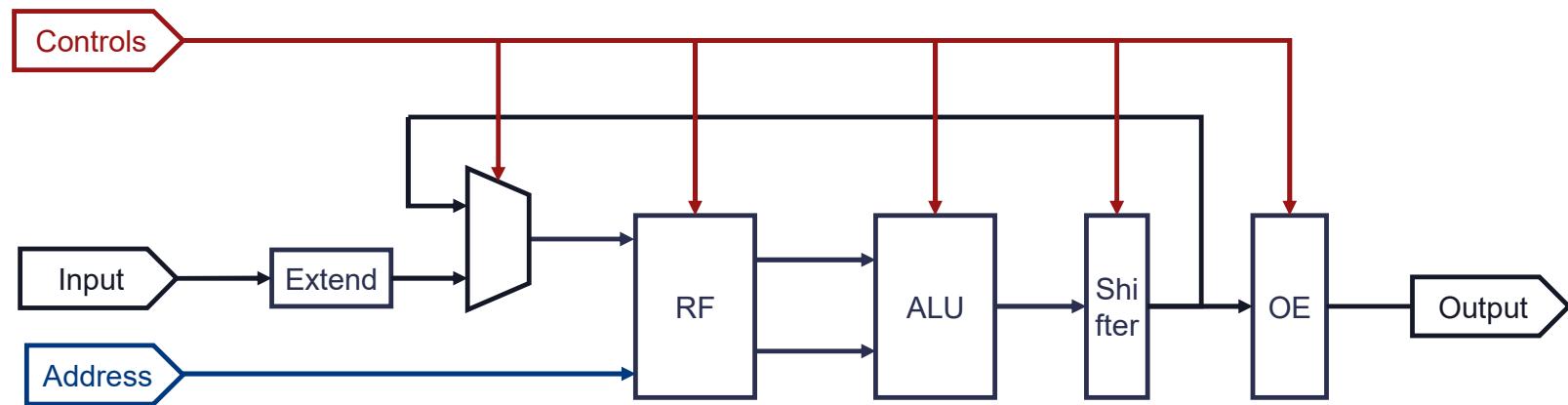




Bài tập thêm

- Giữ nguyên Datapath gốc, Phát triển CPU theo hướng đa dụng (lập trình được bằng tập lệnh)
 - Được phát triển datapath nhưng không được thay đổi khối datapath gốc





Quy trình thiết kế

- Phát triển tập lệnh
- Phân loại tập lệnh
- Xây dựng lưu đồ tập lệnh
- Xác định các thành phần cần thêm trong datapath
- Xây dựng sơ đồ ASM
- Xác định các tín hiệu điều khiển cần → Thiết kế controller
- Hoàn chỉnh thiết kế CPU
- Xây dựng phần mềm, biên dịch, nạp và kiểm tra hoạt động của CPU
- Kiểm tra định thời mức cổng
- Kiểm tra tài nguyên và công suất



Phát triển tập lệnh

• RRR

OC	R1	R2	R3	Func		Assembly-Code Format	Meaning
3	3	3	3	4			
000	Rs1	Rs2	Rd	0000	add	add Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} + \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0001	sub	sub Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} - \text{Reg[Rs2]}$
000	Rs1	Rs1	Rd	0010	inc	inc Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} + 1$
000	Rs1	Rs1	Rd	0011	dec	dec Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} - 1$
000	Rs1	Rs2	Rd	0100	and	and Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ and } \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0101	or	or Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ or } \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0110	xor	xor Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ xor } \text{Reg[Rs2]}$
000	Rs1	Rs2	Rd	0111	nand	nand Rs1, Rs2, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \text{ nand } \text{Reg[Rs2]}$
000	Rs1	Rs1	Rd	1000	shl1	shl1 Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \ll 1$
000	Rs1	Rs1	Rd	1001	shl2	shl2 Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \ll 2$
000	Rs1	Rs1	Rd	1010	shl3	shl3 Rs1, Rd	$\text{Reg[Rd]} \leftarrow \text{Reg[Rs1]} \ll 3$



Phát triển tập lệnh

- RRI

OC	R1	R2	Imm		Assembly-Code Format	Meaning
3	3	3	7			
010	Rs1	Rs2	Imm	beq	beq Rs1, Rs2, Imm	PC = Reg[Rs1] == Reg[Rs2] ? Imm : PC + 1

- RI

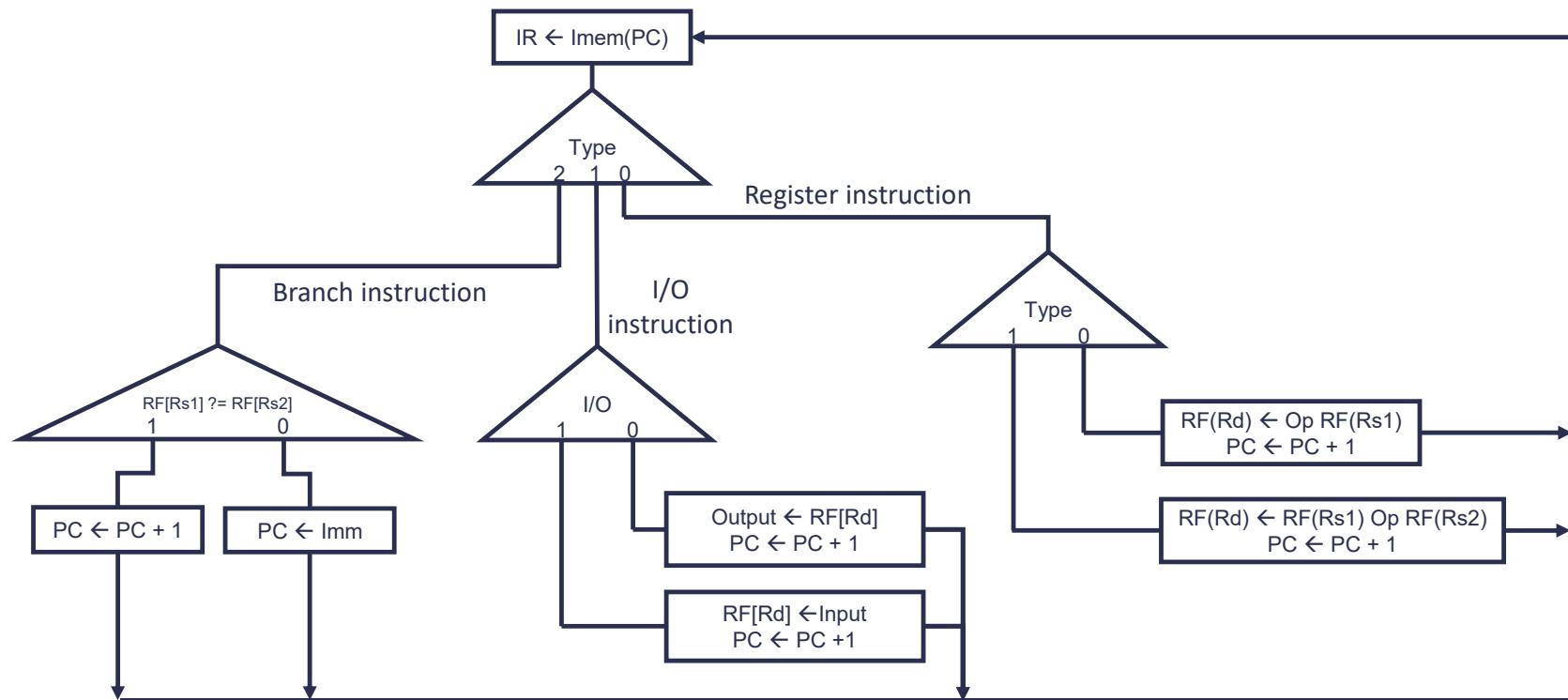
OC	R1	Imm		Assembly-Code Format	Meaning
3	3	9			
100	Rd	Imm	linp	linp Rd	Reg[Rd] ← Input
101	Rd	Imm	wout	wout Rd	Reg[Rd] → output

- Extend

000	Rs1	Rs1	Rs1	0100	nop	nop	(and)
000	Rs1	Rs1	Rd	0111	not	not Rs1, Rd	(nand)
101	Rs1	Rs1		Imm	jmp	jmp Imm	(beq)
000	Rs1	Rs1	Rd	0100	mov	mov Rs1, Rd	(and)



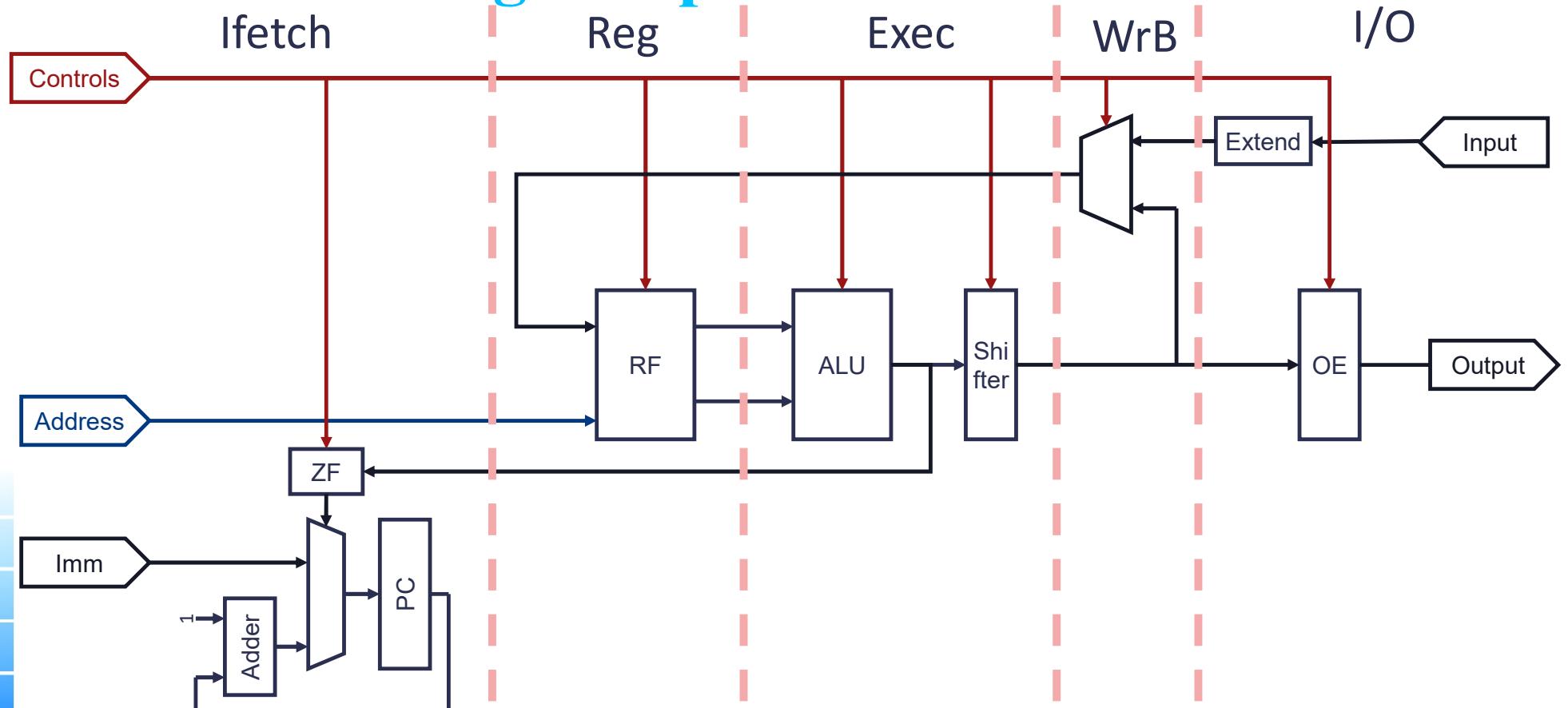
Thiết kế lưu đồ tập lệnh



Phân tầng hoạt động và xác định thành phần



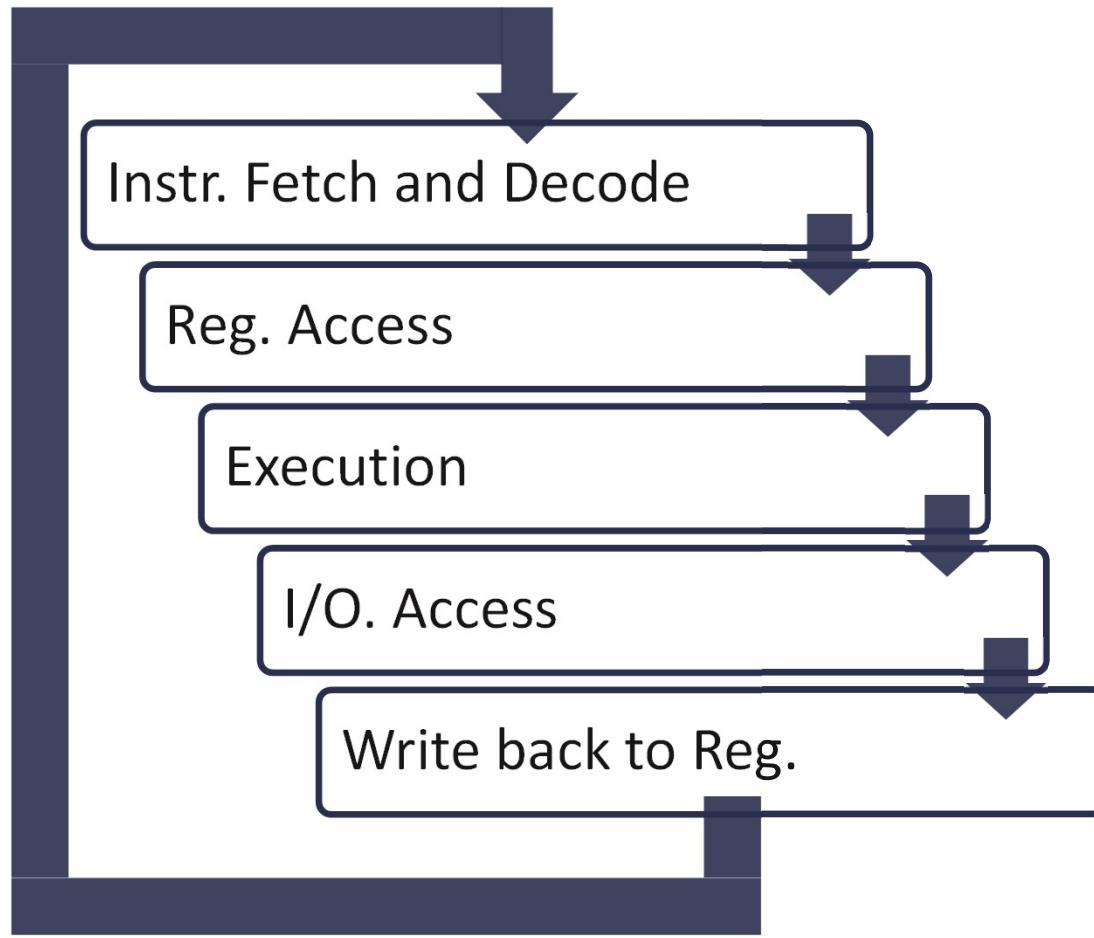
cần thêm trong datapath



Thực hiện bởi Trường Đại học Công nghệ Thông tin, ĐHQG-HCM



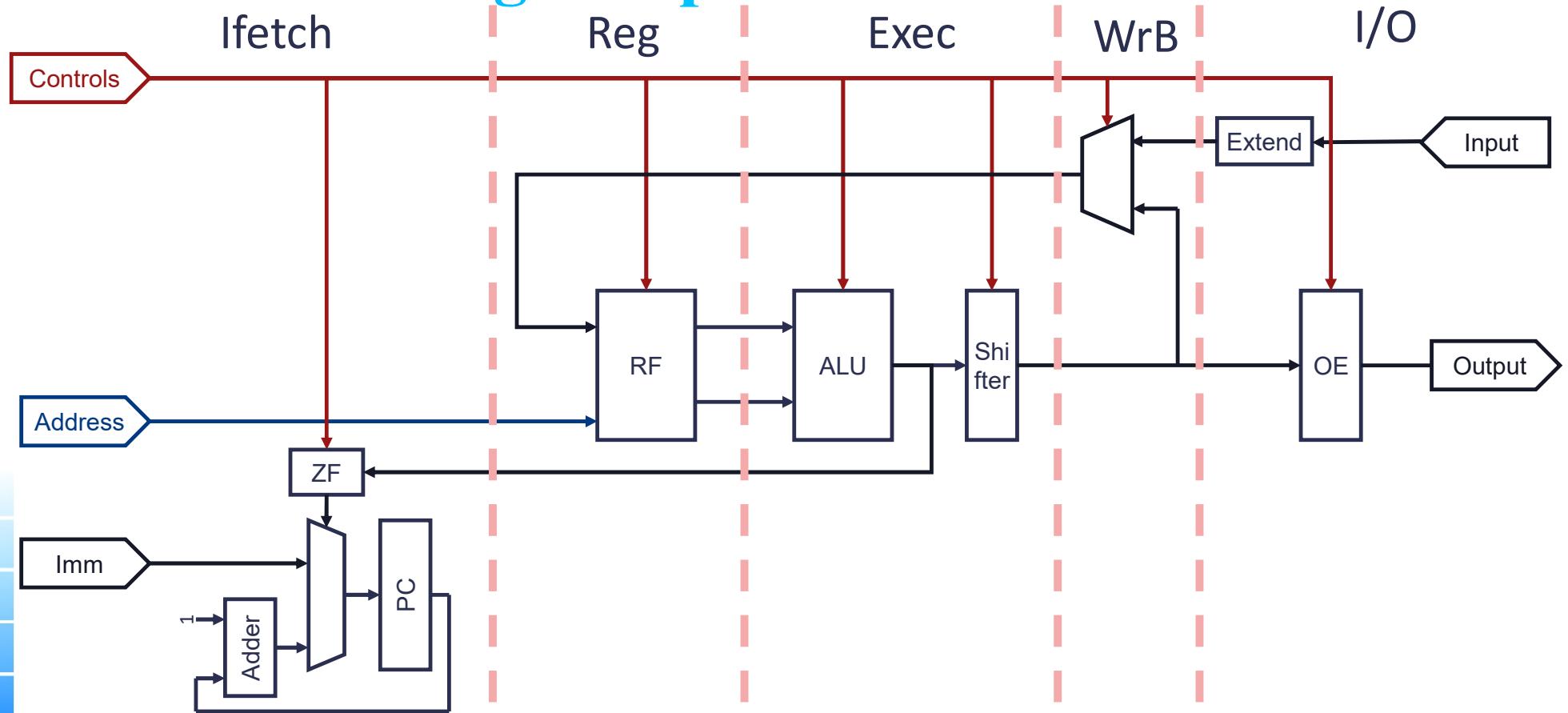
Thiết kế lưu đồ ASM



Phân tầng hoạt động và xác định thành phần



cần thêm trong datapath



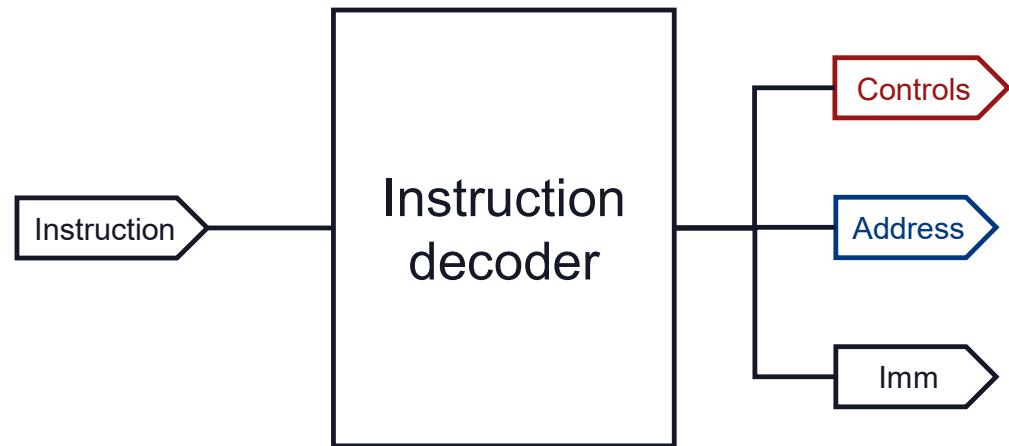
Thực hiện bởi Trường Đại học Công nghệ Thông tin, ĐHQG-HCM

Xác định tín hiệu điều khiển → Thiết kế control unit



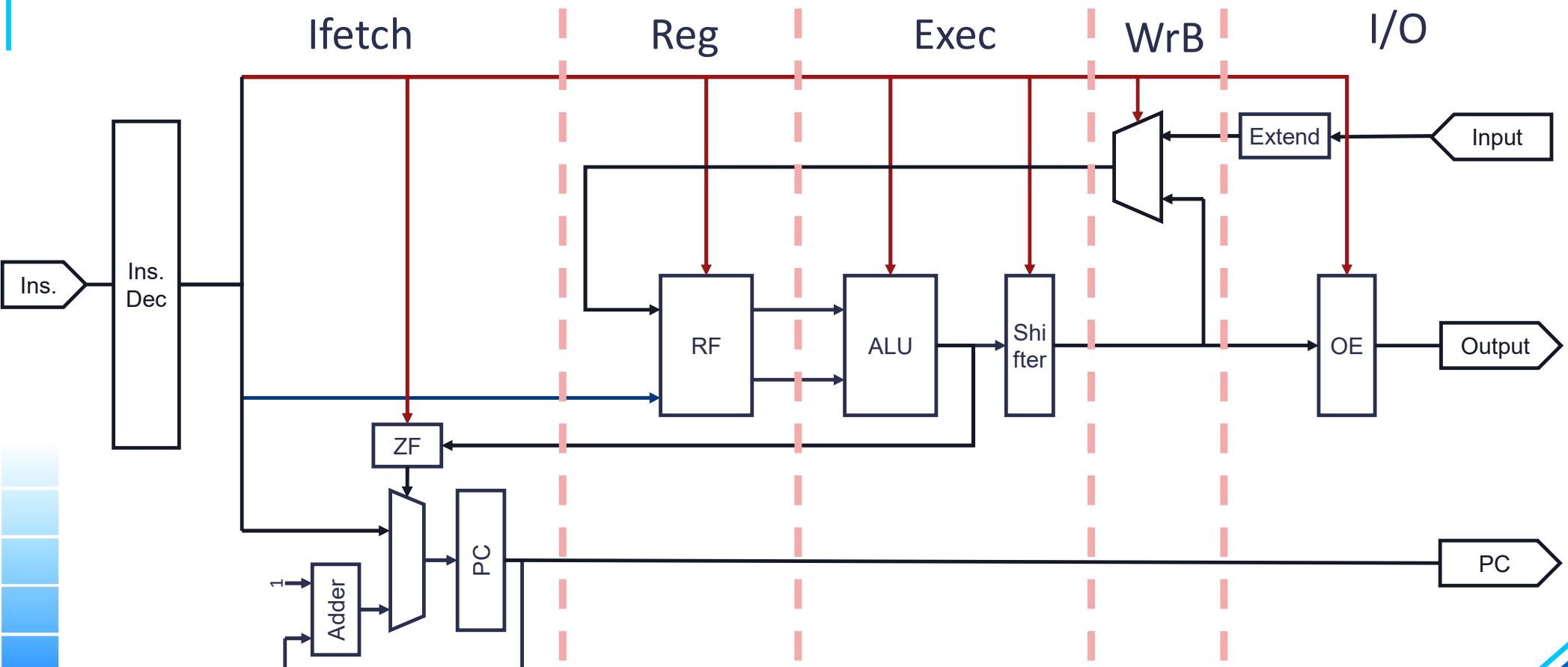
Control unit → Instruction decoder

- RF:
 - Read Address A
 - Read AddressB
 - Write Enable
 - Write Address
- I/O control:
 - OE
 - IE
- ALU:
 - ALUOp
- Shifter:
 - Shift
- ZF(Branch):
 - Branch





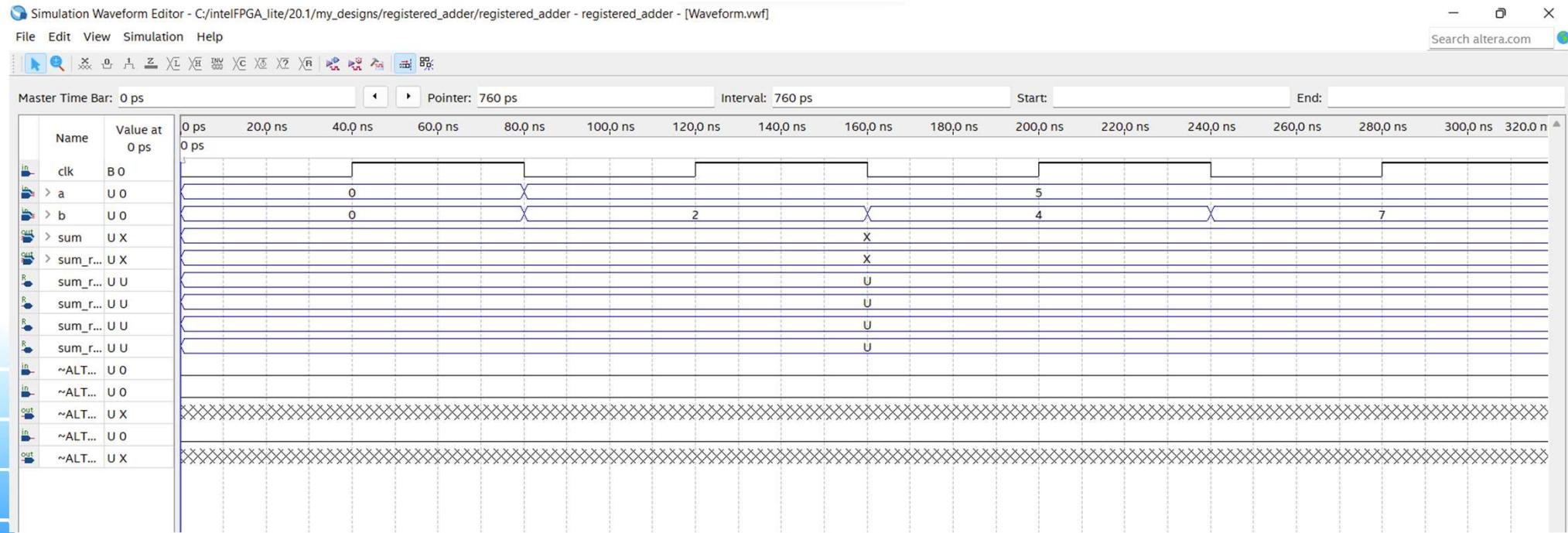
Hoàn thiện thiết kế CPU



Kiểm tra chức năng



Nạp code → Mô phỏng waveform → Kiểm tra chức năng



Thực hiện bởi Trường Đại học Công nghệ Thông tin, ĐHQG-HCM



Kiểm tra tài nguyên

Tổng hợp → Report tài nguyên → Kiểm tra tài nguyên

1	Estimated Total logic elements	216
2		
3	Total combinational functions	216
4	Logic element usage by number of LUT inputs	
5	-- 4 input functions	43
6	-- 3 input functions	105
7	-- <=2 input functions	68
8		
9	Logic elements by mode	
10	-- normal mode	97
11	-- arithmetic mode	119
12		
13	Total registers	54
14	-- Dedicated logic registers	54
15	-- I/O registers	0
16		
17	I/O pins	0
18	Estimated Total logic elements	216



Kiểm tra định thời

Tổng hợp → Phân tích định thời → Report định thời
→ Kiểm tra định thời

Slow 1200mV 85C Model			
	Fmax	Restricted Fmax	Clock Name
1	105.11 MHz	105.11 MHz	CLK

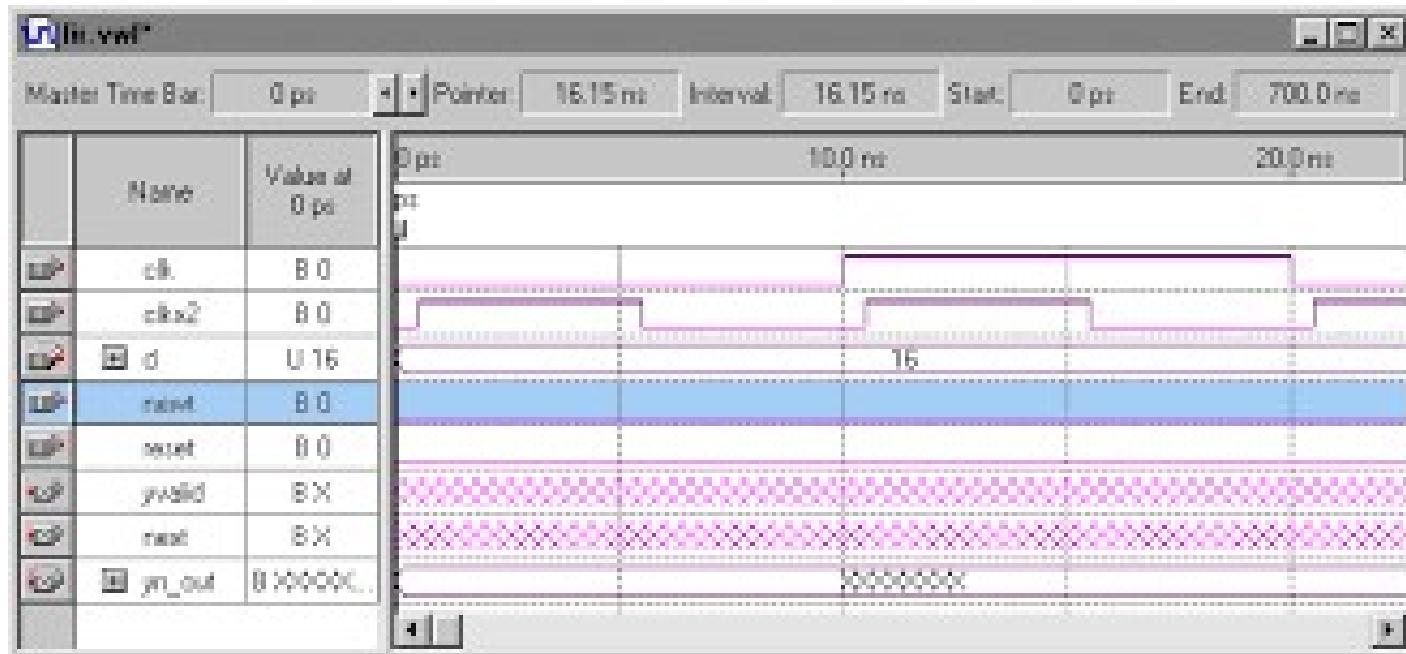
Compilation Report - F/FPGA_Project/elect4006-p1-cw/src/CPUProject - CPUProject	
Table of Contents	Slow 1200mV 85C Model Setup:'CLK'
Flow Summary	From Node
Flow Settings	To Node
Flow Non-Default Global Settings	Launch Clock
Flow Elapsed Time	Latency Clock
Flow OS Summary	Relationship
Flow Log	Clock Skew
> Analysis & Synthesis	Data Delay
> Filter	
> Assembler	
> Power Analyzer	
Flow Messages	
Flow Suppressed Messages	
> Timing Analyzer	
Summary	
Parallel Compilation	
SDC File List	
Clocks	
> Slow 1200mV 85C Model	
Fmax Summary	
Timing Closure Recompute	
Setup Summary	
Hold Summary	
Recovery Summary	
Removal Summary	
Minimum Pulse Width	
> Worst-Case Timing Path	
Setup: 'CLK'	
Hold: 'CLK'	
Metastability Summary	
> Slow 1200mV OC Model	
> Fast 1200mV OC Model	
> Multicorner Timing Analysis	
> Advanced I/O Timing	
> Clock Transfers	
Report TCCS	
Report RSKM	
> Unconstrained Paths	
Messages	
> Timing Analyzer GUI	

Thực hiện bởi Trường Đại học Công nghệ Thông tin



Kiểm tra định thời

Nạp code → Mô phỏng waveform định thời mức cồng
→ Kiểm tra định thời





Kiểm tra công suất

Tổng hợp → Phân tích công suất → Report công suất
→ Kiểm tra công suất

Table of Contents	
Flow Summary	
Flow Settings	
Flow Non-Default Global	
Flow Elapsed Time	
Flow OS Summary	
Flow Log	
Synthesis	
Fitter	
Power Analyzer	
Parallel Compilation	
Summary	
Power Savings Summary	
Settings	
Messages	
Operating Conditions U	
Thermal Power Dissipa	
Current Drawn per Sup	
Confidence Metric Det	
Signal Activities	

Power Analyzer Summary	
Power Analyzer Status	Successful -
Quartus Prime Version	19.1.0 Interna
Revision Name	blinking_led
Top-level Entity Name	top
Family	Arria 10
Device	10AX115S2F
Power Models	Final
Total Thermal Power Dissipation	1710.72 mW
Transceiver Standby Thermal Power Dissipation	0.00 mW
Transceiver Dynamic Thermal Power Dissipation	0.00 mW
I/O Standby Thermal Power Dissipation	0.19 mW
I/O Dynamic Thermal Power Dissipation	0.39 mW
Core Dynamic Thermal Power Dissipation	5.16 mW
HPS Standby Thermal Power Dissipation	0.00 mW
HPS Dynamic Thermal Power Dissipation	0.00 mW
Device Static Thermal Power Dissipation	1704.98 mW
High Bandwidth Memory Standby Thermal Power Dissipation	0.00 mW
High Bandwidth Memory Dynamic Thermal Power Dissipation	0.00 mW
Power Estimation Confidence	Low: user pro'



Tổng hợp kết quả

	Your design	Other design (recommend)
Tài nguyên		
...		
Tần số tối đa		
Định thời		
...		
Công suất		
...		