

**Universitatea Tehnică “Gheorghe Asachi” din Iaşi**

**FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE**

**ELECTRONICĂ DIGITALĂ**

**Proiect**

**Tema: MODUL ALU-v4**

Studenţi:

Constantin Alexandru

Minea Eduard

Nadejde Diana

Grupa : 1209A

Coordonator:

Asistent doctorand Ionica Pletea

**2022**

**Tema proiectului:**

**ALU – v4**

**1. Specificaţiile proiectului:**

Să se implementeze în FPGA prin descriere în limbaj VHDL, utilizând programul VIVADO, modulul prezentat în figura 1 care este descris prin urmatoarele specificaţii:

a) operanzii A şi B au dimensiunea de 8 biţi

b) operaţiile vor fi stabilite prin portul de intrare OPCODE

c) lista de operaţii aritmetice: \*, /, +, -

Rezultatele vor fi asignate la portul C şi vor fi vizualizate pe LED-urile de pe placa de dezvoltare.

Descrierea va fi făcută în mod comportamental.



Fişierul bitstream rezultat în urma procesului de implementare va fi verificat utilizând placa de dezvoltare BASYS3

**2. Modulul ALU\_v4**

O unitate logică aritmetică (ALU) este o componentă majoră a unității centrale de procesare a unui sistem informatic. Aceasta face toate procesele legate de operațiile aritmetice și logice care trebuie efectuate pe cuvinte de instrucțiune. În diagramele-bloc de computere, unitatea aritmetică logică este reprezentată ca un modul funcțional, componentă a schemei de principiu a unui calculator electronic.

Circuitul combinational ALU poate realiza următoarele tipuri de operații:

* Aritmetice: adunare, scădere, înmulțire, împărțire
* Logice: AND, OR, NOT, XOR, NOR, NAND, etc.
* Operații pe biti: se referă la deplasarea pozițiilor biților cu un anumit număr de locuri spre dreapta sau spre stânga

**3. Metoda de implementare**

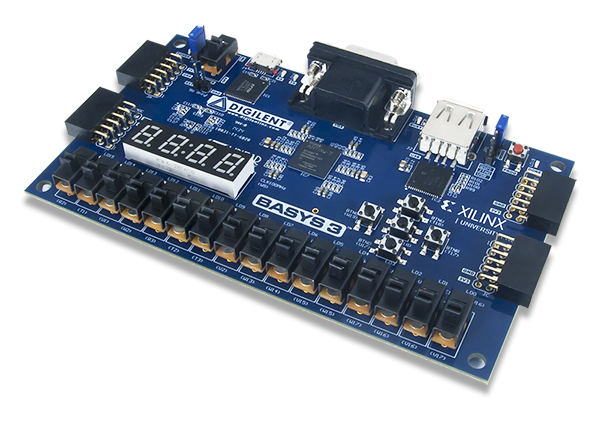
Utilizarea resurselor:

* circuitul FPGA xc7a35tcpg236-1, din familia ARTIX 7 fiind produs de XILINX, acest circuit fiind utilizat prin intermediul plăcii de dezvoltare Basys3 2)
* tool-ul de sinteză VIVADO 3)
* limbajul de descriere VHDL (Very High Speed Integrated Circuit Hardware Description Language)

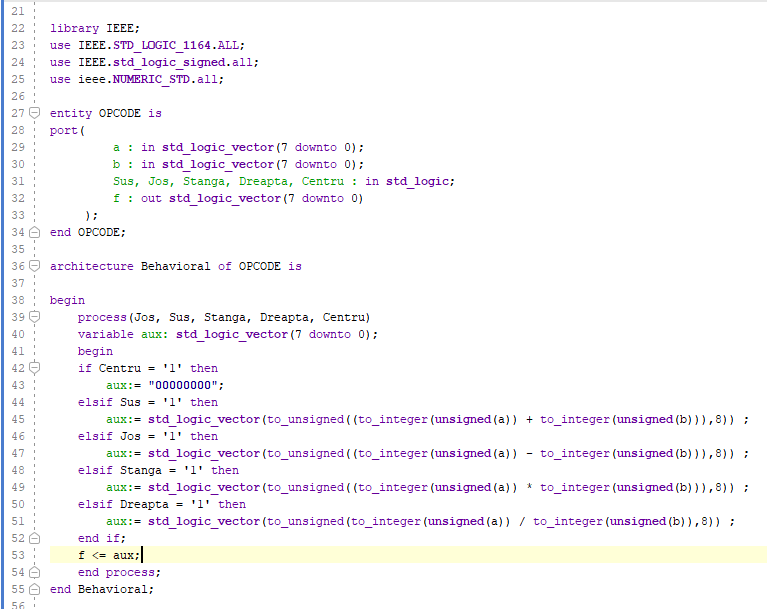
**4. Descrierea (scurtă) a sistemului de dezvoltare BASYS 3**

Basys 3 este o placă de dezvoltare FPGA entry-level concepută exclusiv pentru Vivado® Design Suite, cu arhitectura Xilinx® Artix®-7-FPGA. Vivado include multe instrumente noi și fluxuri de proiectare care facilitează și îmbunătățesc cele mai recente metode de proiectare. Rulează mai repede, permite utilizarea mai bună a FPGA și permite proiectanților să-și concentreze timpul evaluând alternativele de proiectare.

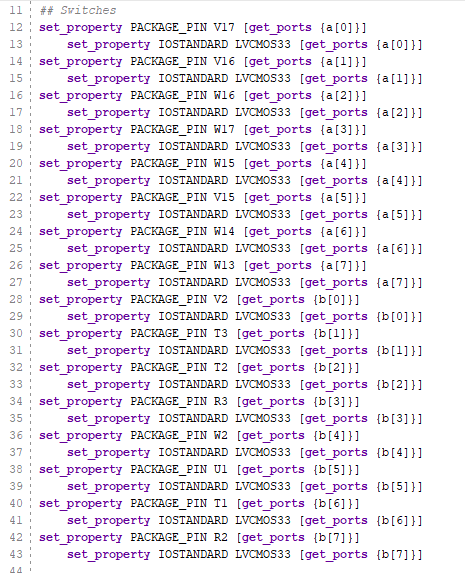
Basys 3 poate susține proiecte care variază de la circuite combinaționale introductive până la circuite secvențiale complexe, cum ar fi procesoare și controlere încorporate. Include suficiente comutatoare, LED-uri și alte dispozitive I/O pentru a permite finalizarea unui număr mare de modele fără a fi nevoie de niciun hardware suplimentar și destui pini I/O FPGA neangajați pentru a permite extinderea modelelor, folosind Digilent Pmods sau alte plăci personalizate și circuite.

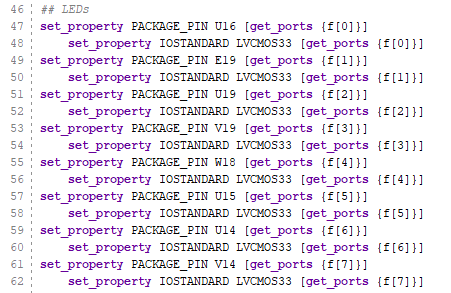


**5. Editarea fişierului VHDL**

****

**6. Editarea fişierului de constrângeri**



****

****

**7. Descrierea paşilor de sinteză şi testarea circuitului rezultat**

Testarea circuitului realizat presupune următorii paşi :

1. Crearea unui proiect VIVADO
2. Simularea proiectului
3. Sinteza proiectului
4. Implementarea proiectului
5. Generarea fişierului bitstream
6. Verificarea proiectului prin încărcarea fişierului bitstream în circuitul plăcii de dezvoltare BASYS3

**În ceea ce privește dezvoltarea propriu-zisă a proiectului, vom prezenta următoarele aspecte:**

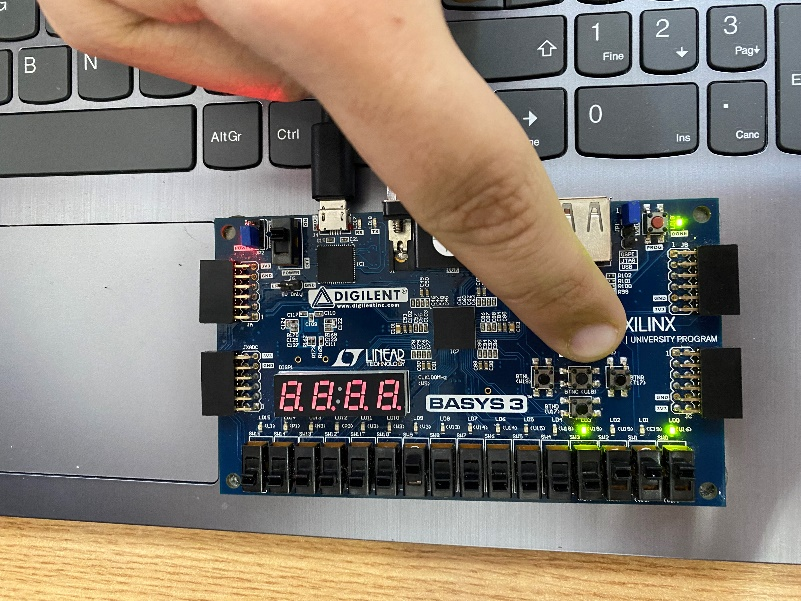
Ca prim pas, am creat entitatea OPCODE, unde am declarat:

* doi vectori pe 8 biți (a și b), cu ajutorul cărora vom realiza operațiile - primele 8 butoane de tip switch sunt atribuite primului număr (a), iar următoarele 8 celui de-al doilea număr (b)
* cele 5 butoane Pushbuttons (denumite Sus, Jos, Stanga, Dreapta, Centru), cărora le-am atribuit operațiile cerute (adunare, scădere, înmulțire, împărțire și reset).
* un vector (f), tot pe 8 biți, în care vor fi puse rezultatele obținute

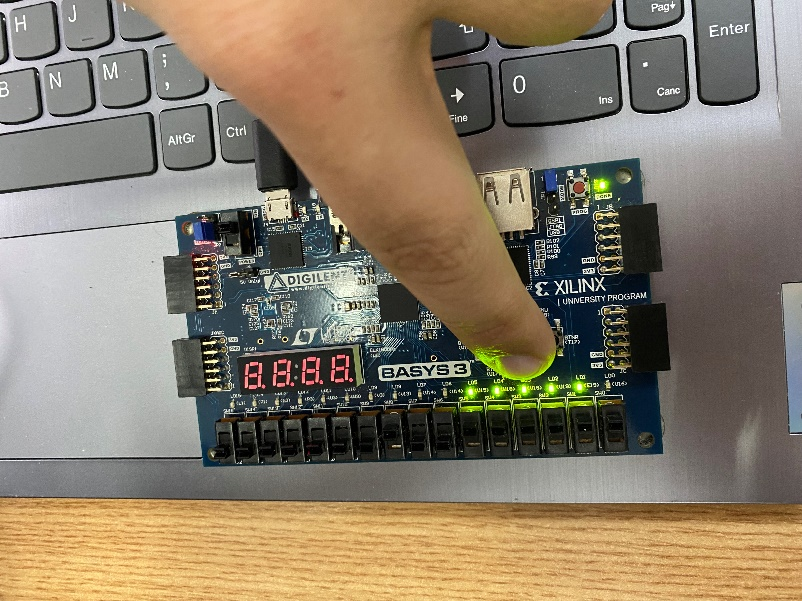
Ulterior am creat codul care realizează operațiile cerute (\*, /, +, -) și cu ajutorul unei instrucțiuni “if” am determinat ce operație va realiza fiecare din cele 5 butoane de pe placă.

* Butonul “Sus” - operația de adunare

În exemplul de mai jos am realizat operația 00000111+00000010=00001001 (7+2=9), de aceea sunt aprinse primul si al patrulea beculeț (de la dreapta la stânga). Precizăm că prin deplasarea butoanelor switch trecem de la valoarea „0” (atribuită automat), la valoarea „1”.



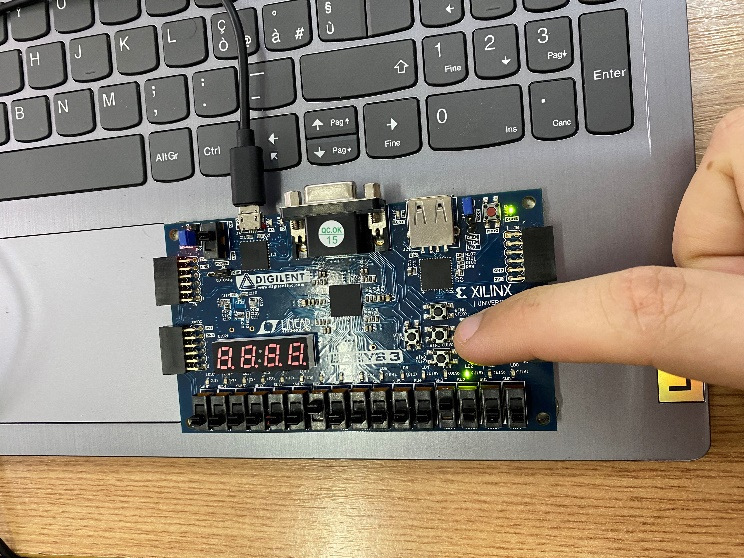
* Butonul “Jos” - operația de scădere



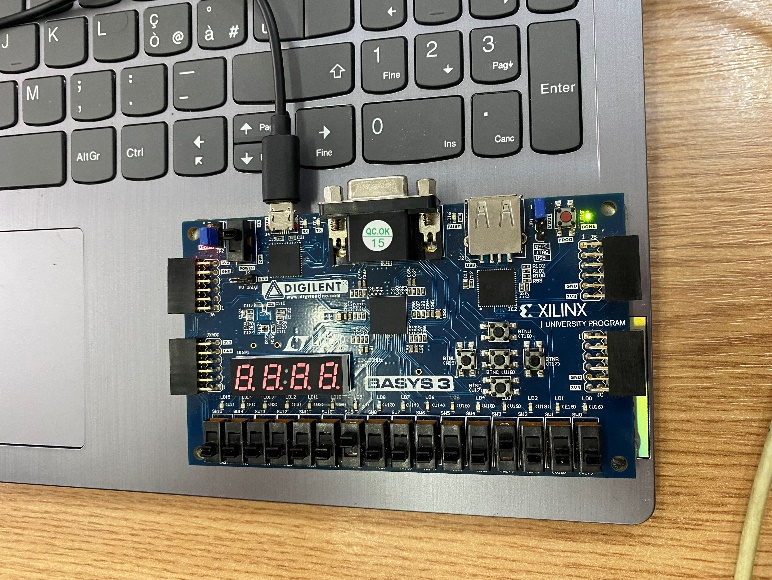
* Butonul “Dreapa” - operația de împărțire



* Butonul “Stânga” - operația de înmulțire



* Butonul “Centru” - reset



**8. Concluzii**

În concluzie, au fost implementat în FPGA, prin descriere în limbaj VHDL, o serie de operații aritmetice cu ajutorul unui singur circuit electronic.

Bibliografie:

1. VHDL Reference Manual, <http://www.ics.uci.edu/~jmoorkan/vhdlref/Synario%20VHDL%20Manual.pdf>

2. BASYS 3 Reference Manual, <https://reference.digilentinc.com/reference/programmable-logic/basys-3/reference-manual>

3. <https://ro.theastrologypage.com/arithmetic-logic-unit>

4. <https://www.xilinx.com/products/boards-and-kits/1-54wqge.html#:~:text=The%20Basys%203%20is%20an,getting%20started%20with%20FPGA%20technology>.

5. <https://digilent.com/reference/programmable-logic/basys-3/start>