

논리회로 실습11

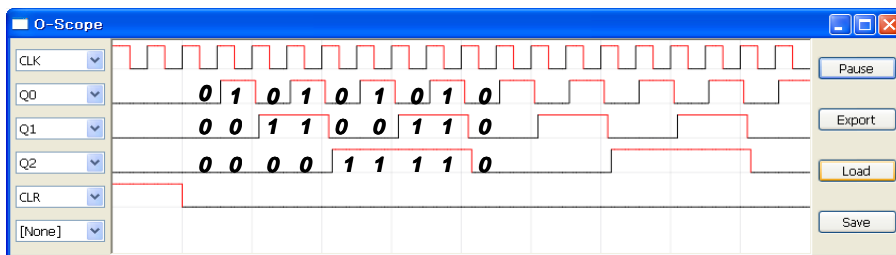
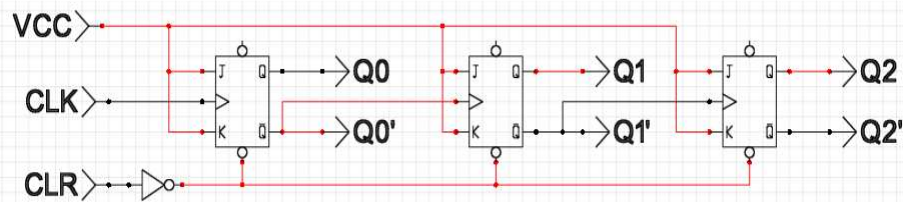
T 플립플롭을 이용한 이진 카운터 설계

가톨릭 대학교 컴퓨터 정보 공학부
Embedded System & Computer Architecture lab

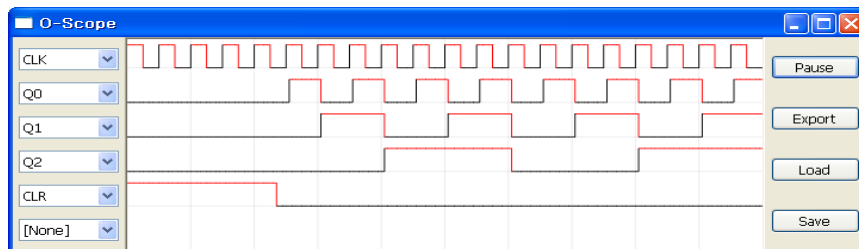
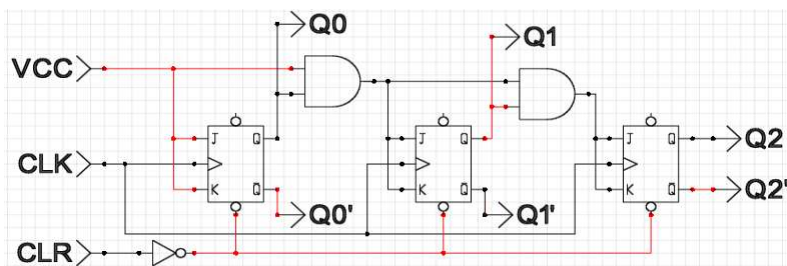
Counter

- n개의 플립플롭 소자와 조합회로를 이용하여 2^n 개 또는 그 이하 개수의 일련의 상태 모음들을 순차적으로 순환 출력하는 회로
- 플립플롭에 저장된 현재 상태를 기반으로 다음 상태를 출력
- 동기식/비동기식
 - 동기식: 카운터를 구성하는 모든 플립플롭들에 동시에 동일한 클럭 신호를 인가하여 상태를 변환하는 형태
 - 비동기식: 하나의 공통 클럭 신호에 동기화 되지 않고 각 소자가 개별적으로 변환되는 형태

3bit Asynchronous counter



3bit Synchronous counter



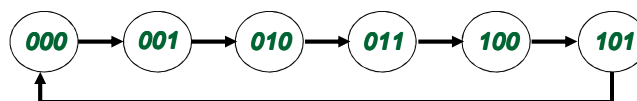
Synchronous Couter Design

: 3 bit 6 state 이진 동기식 카운터

■ 1. 상태도(state diagram) 표현

- 카운터가 표현할 일련의 상태들을 다이어그램으로 표현

초기상태



Synchronous Couter Design

: 3 bit 6 state 이진 동기식 카운터

■ 2. 상태 변화에 따른 플립플롭 입력값 진리표 작성

- 상태도에서 정의한 각 상태에서 다음상태로 넘어가기 위해 필요한 플립플롭 값에 따른 진리표 작성

현재상태			다음상태			플립플롭 입력		
A	B	C	A	B	C	TA	TB	TC
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	0	0	0	1	0	1

LAB 11

▶ 실습

1. 3bit Asynchronous counter 와 3bit Synchronous counter를 각각 Ceadr Logic을 이용해서 그리고 동작이 어떻게 다른지 확인하여라.

▶ 레포트

1. 다음 그림과 같은 상태전이를 하는 카운터를 D FF와 T FF를 이용하여 두 가지 모두 각각 디자인하고, 최적화 과정을 제시하며, 회로와 동작하는 Oscope 화면을 캡처하여라
2. 레포트는 항상 다음 실습 시간에 제출하시오.

초기상태

