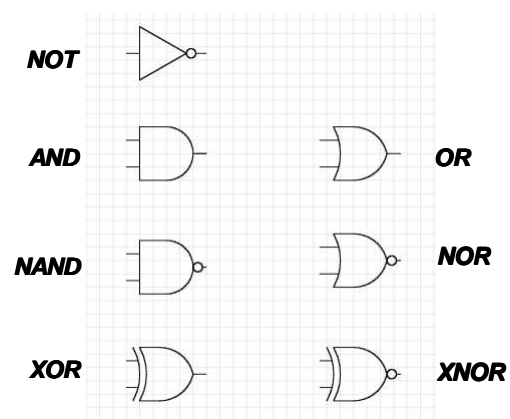


논리회로 실습2

기본 게이트 동작과 **Half- Adder**의 회로 표현

가톨릭 대학교 컴퓨터 정보 공학부
Embedded Software & Computer Architecture lab

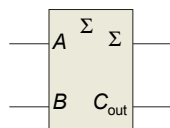
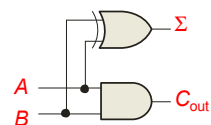
Basic Gates



Adder

- 이진수 덧셈을 수행하며 전자 계산 회로의 사칙연산 수행에 기본이 되는 회로
- Half- Adder
 - 이진수 한 자리를 연산하고 자리올림 수는 두 개의 입력 값에 따라 결정. AND, OR, NOT 또는 XOR, AND 게이트만으로 구성
- Full- Adder
 - 하위 자리올림 수를 포함하여 이진수 한 자리를 연산하고 자리올림 수는 하위 자리올림 수를 포함한 세 개의 입력 값에 따라 결정. 두 개의 Half- Adder와 하나의 OR 게이트로 구성
- Ripple- Carry- Adder
 - n개의 Full- Adder를 조합하여 n Bit 가산기 구성

Half Adder



| Inputs | | Outputs | |
|--------|---|------------------|---|
| A | B | C _{out} | Σ |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

LAB 2

▶ 레포트

1. Half Adder의 회로도와 시뮬레이션 결과 파형을 캡처 제출
2. 레포트는 항상 다음 실습 시간에 제출하시오.