

논리회로 실습10

Latch 와 **Flip- Flop**

가톨릭 대학교 컴퓨터 정보 공학부
Embedded System & Computer Architecture lab

소개

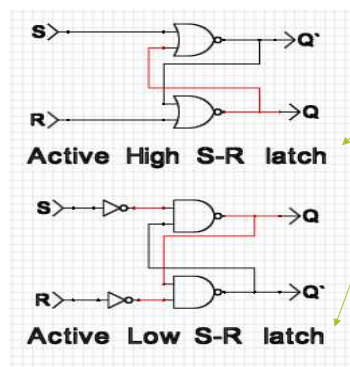
■ Flip- Flop?

- 순차회로의 저장장치
- 새로운 조건이 주어지기 전까지 현재 상태(0 또는 1)를 유지하는 회로
- 현 상태를 계속 유지하므로 한 비트의 정보를 저장할 수 있는 특성이 있음
- **SRAM** 또는 하드웨어 레지스터 등을 구성하는데 사용
- 클럭 사용의 유무에 따라(동기/비동기) 래치 또는 플립플롭으로 구분

Latch & Flip- Flop

- 비동기형 래치
 - 클럭 신호와 동기화 되지 않는 래치
 - 래치(latch)
 - set, reset 입력에 의해 출력이 바로 결정되며 상반된 두 가지 출력을 갖음
 - gated 래치
 - 래치에 enable신호를 추가하여 신호가 1일 경우에만 동작
- 클럭 동기형 플립플롭
 - 클럭 신호와 동기화 되어 동작하는 플립플롭
 - 상승 에지 트리거형(positive edge triggered type)
 - 클럭 신호가 0에서 1로 상승하는 시점에서 래치가 동작하는 회로
 - 하강 에지 트리거형(negative edge triggered type)
 - 클럭 신호라 1에서 0으로 하강하는 시점에서 래치가 동작하는 회로

S- R Latch



*Active High와 Active Low는 High = 1, Low = 0 일 때 회로가 동작하는 구조를 뜻함

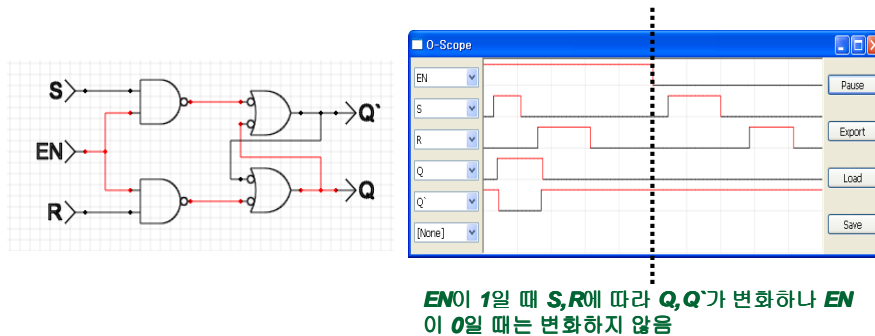
Active High S- R latch의 진리표

입력		출력		상태
S	R	$Q(n+1)$	$Q(n+1)'$	
0	0	$Q(n)$	$Q(n)'$	불변
0	1	0	1	Reset
1	0	1	0	Set
1	1	?	?	부정

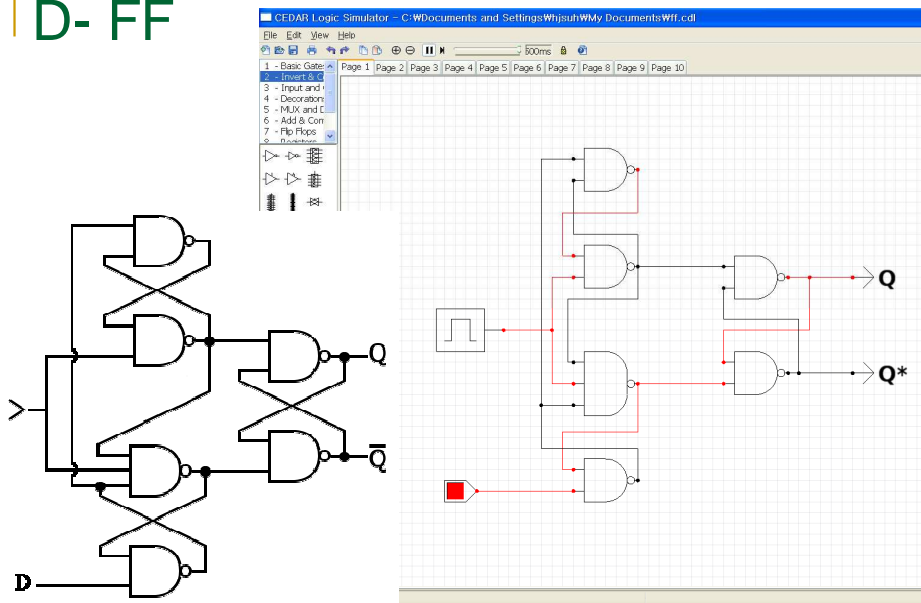
*Set, Reset의 두 입력이 모두 인가된 경우 결과를 알 수 없는 무정의 상태가 되므로 주의

Gated S- R Latch

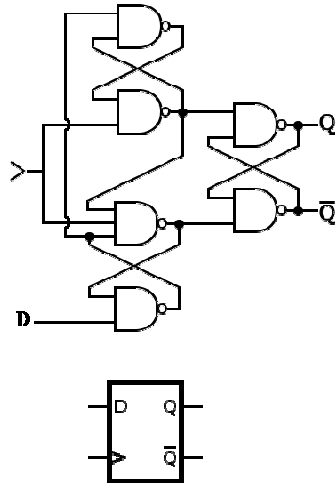
- 허가 입력 핀(EN)을 가지고 있는 래치 형태로 S- R 입력은 EN이 High일 때만 래치의 상태가 제어되며 Low일 경우 변화되지 않는 구조를 가짐



D- FF



D- FlipFlop

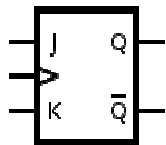


*RS 래치의 S와 R이 모두 1이 될 수 있는 문제점을 보완하기 위해 입력값을 0과 1로 압축하여 경쟁상태(race state)를 없앤 구조

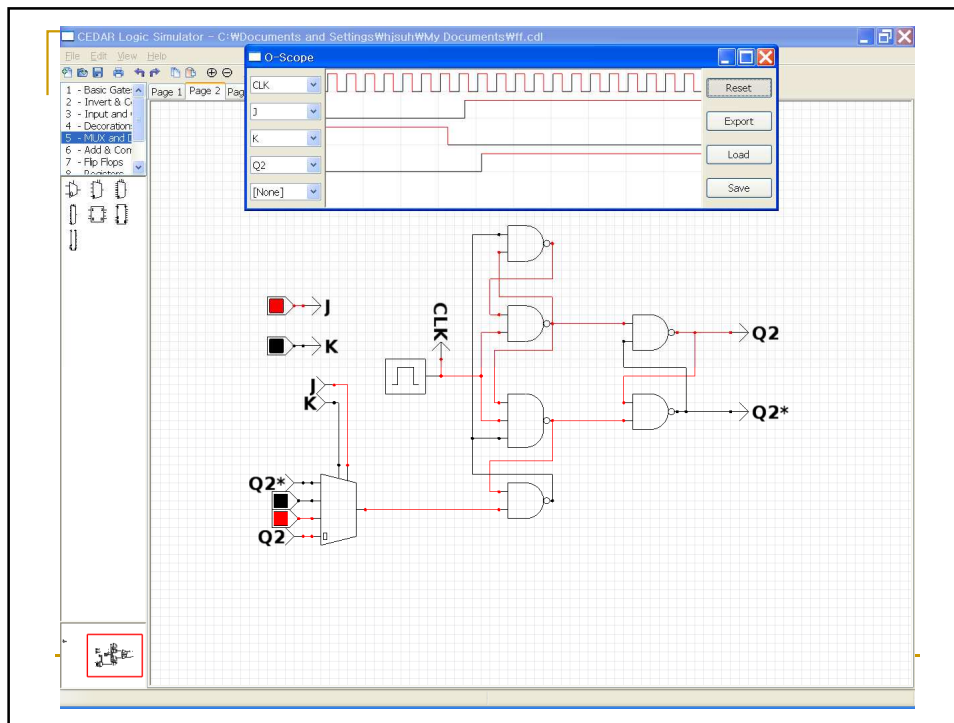
*한 cycle을 지연시키는 특성이 있음(Delay FlipFlop)

입력		출력		상태
Clk	D	$Q(n+1)$	$Q(n+1)'$	
UP	0	0	1	Reset
UP	1	1	0	Set

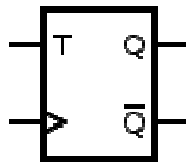
JK- FlipFlop



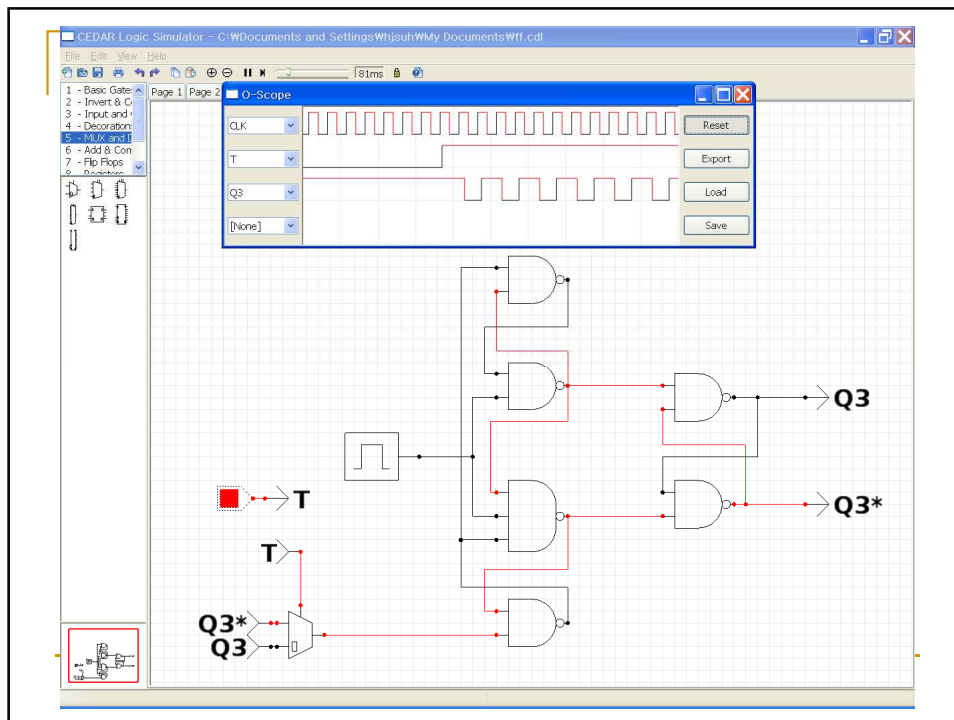
입력			출력		상태
Clk	J	K	$Q(n+1)$	$Q(n+1)'$	
UP	0	0	$Q(n)$	$Q(n)'$	불변
UP	0	1	0	1	Reset
UP	1	0	1	0	Set
UP	1	1	$Q(n)'$	$Q(n)$	반전



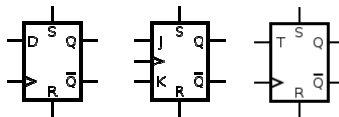
T- FlipFlop



입력	Clk	T	출력		상태
			$Q(n+1)$	$Q(n+1)'$	
UP	0	0	$Q(n)$	$Q(n)'$	불변
UP	1	1	$Q(n)'$	$Q(n)$	반전



LAB 10



▶ 레포트

1. SET과 RESET 입력은 클럭에 동기화되지 않고, 클럭에 상관없이 FF를 1 또는 0으로 만들 수 있는 것이다.
2. 앞의 D, JK, T FF에 SET과 RESET을 추가하여 회로를 완성하고, 회로와 회로의 동작하는 Oscope 화면을 캡처하여라.
3. 레포트는 항상 다음 실습 시간에 제출하시오.

