

EZ-USB® FX3™/FX3S™ ハードウェア設計ガイドラインと回路図のチェックリスト

作成者: Rizwan Afridi, Hussein Osman

関連プロジェクト: なし

関連部品ファミリ: CYUSB3014, CYUSB3035

ソフトウェアバージョン: 該当無

関連アプリケーションノート: 無

001-86523 Rev.** は、EZ-USB®FX3™/ FX3S™のハードウェア設計および重要部品を検討する際には開発者が考慮しなければならない推奨設計について説明します。サイプレスの EZ-USB FX3 は、次世代の USB 3.0 周辺機器のコントローラです。その高度に統合された柔軟な機能により、開発者はどのようなシステムに USB3.0 機能を追加することができます。特に記載のない限り、すべての推奨は FX3 と FX3S に適用されます。

Contents

| | |
|---|----|
| Contents..... | 1 |
| 紹介..... | 2 |
| *コンフィグレーションオプションによって、全てのシリアルインターフェースが利用できないこともあります。詳細はデータシート ピン説明部にてご確認ください。..... | 3 |
| 電源システム..... | 4 |
| 概要..... | 4 |
| 電源モード..... | 6 |
| デバイス電源のデカップリング..... | 6 |
| 突入電流検討事項と電源設計..... | 7 |
| クロッキング..... | 9 |
| クリスタル..... | 9 |
| ウォッチドッグタイマ..... | 10 |
| GPIO II インターフェース..... | 10 |
| I2C インターフェース..... | 11 |

| | |
|-------------------------------|----|
| 低性能の周辺機器 (LPP)..... | 11 |
| JTAG..... | 11 |
| I ² S..... | 12 |
| SPI と UART..... | 12 |
| ブート..... | 12 |
| EMI と ESD に関する注意事項..... | 13 |
| FX3 デバイスパッケージの寸法..... | 13 |
| 電気設計上の考慮点..... | 14 |
| USB 3.0 スーパースピード設計ガイドライン..... | 14 |
| S-ポートインターフェース..... | 22 |
| 付録 A – PCB レイアウトのヒント..... | 26 |
| 世界各国での販売および設計サポート..... | 29 |

紹介

サイプレスの EZ-USB®FX3 は、統合と柔軟な機能を提供する次世代の USB 3.0 周辺機器のコントローラです。

FX3は、任意のプロセッサ、ASICや FPGAに接続することができる、GPIF IIと呼ばれる自由に設定可能な、パラレル型の汎用的なプログラマブルインターフェイスを持っています。非同期SRAM、非同期および同期アドレスデータ多重化インタフェース、パラレルATAなどの一般的なのインターフェイスと簡単に、外付けロジックを使わず接続できます。FX3は、強力なデータ処理やカスタムアプリケーションを構築するために32ビットの組み込み用のARM926EJ-Sマイクロプロセッサを持っています。GPIF IIからUSBインタフェースに375 Mbpsのデータ転送を可能にするアーキテクチャを実装しています。

統合されたUSB2.0 OTGコントローラはFX3をホストとターゲットのFX3Sの役割を果たす可能性のあるアプリケーション、たとえば、EZ-USB FX3が、MSC（マスタストレージクラス）デバイスに対するOTGホストとしてもHIDクラスのデバイスとしても機能するものを実現できます。FX3は、コードとデータ用に512 KBまたは256KBオンチップSRAM内蔵しています。EZ-USB FX3 はまた、UART、SPI、I2C、およびI2Sなどのシリアル機

器に接続するためのインタフェースを提供します。FX3 は、アプリケーション開発ツールが付属しています。ソフトウェア開発キットには、市場投入までの時間を加速するためのアプリケーションの例を付属しています。

上記の機能に加えて、FX3S は、内蔵ストレージコントローラを搭載し、2 つの独立した大容量記憶装置をサポートすることができます。SD3.0 および EMMC4.41 メモリカードをサポートすることができます。また、これらのポートで SDIO をサポートすることができます。FX3 と FX3S の機能の違いは、表 1 に記載されています。

システム内に正常にこのハイスループット・パイプを追加するには、開発者がシステム設計する際に、数多くの重要事項を考慮する必要があります。EZ-USB FX3 装置のパッケージと高性能は特性のため、システムを期待どおりに実行させるためにはトレース幅、積層、その他のレイアウトをガイドラインに従って行うことが重要です。

EZ-USB FX3 DVK 用の参考回路が [CYUSB3KIT-001 EZ-USB® FX3™](#) にあります。EZ-USB FX3S DVK の回路については fx3@cypress.com までご連絡をお願いします。

表 1. FX3 と FX3S 機能の違い

| 機能 | EZ-USB FX3 | EZ-USB FX3S |
|-------------------------|---------------|---|
| GPIF | 8/16/32-bit | 8/16-bit |
| ストレージポート | No | 1 or 2 ports (SD3.0, eMMC4.41, SDIO3.0) |
| USB 3.0, USB 2.0 Device | Yes | Yes |
| HS-OTG | Yes | Yes |
| CPU | ARM9, 200 MHz | ARM9, 200 MHz |
| 埋め込み SRAM | 256 KB/512 KB | 256 KB/512 KB |

EZ-USB[®] FX3/FX3S[™] ハードウェア設計ガイドラインと回路図のチェックリスト

| | | |
|---------------|-------------------------|----------------------------------|
| シリアルインターフェイス* | I2C, SPI, I2S, UART | I2C, SPI, I2S, UART |
| ブート オプション | I2C, SPI, USB, GPIF ベース | FX3 の全ブートオプション+ eMMC ベースブートオプション |
| パッケージ | 121-pin BGA, 10x10 mm | 121-pin BGA, 10x10 mm |

*コンフィグレーションオプションによって、全てのシリアルインターフェースが利用できないこともあります。

詳細は [データシート](#) ピン説明部にてご確認ください。

電源システム

概要

EZ-USB FX3 デバイスの電源ドメインはブロック図 1. に示されています。これらの各ドメインに関する説明や電圧設定は、表 3. 電源ドメインデカップリングに記載されています。

図 1.EZ-USB FX3 電源ドメイン図

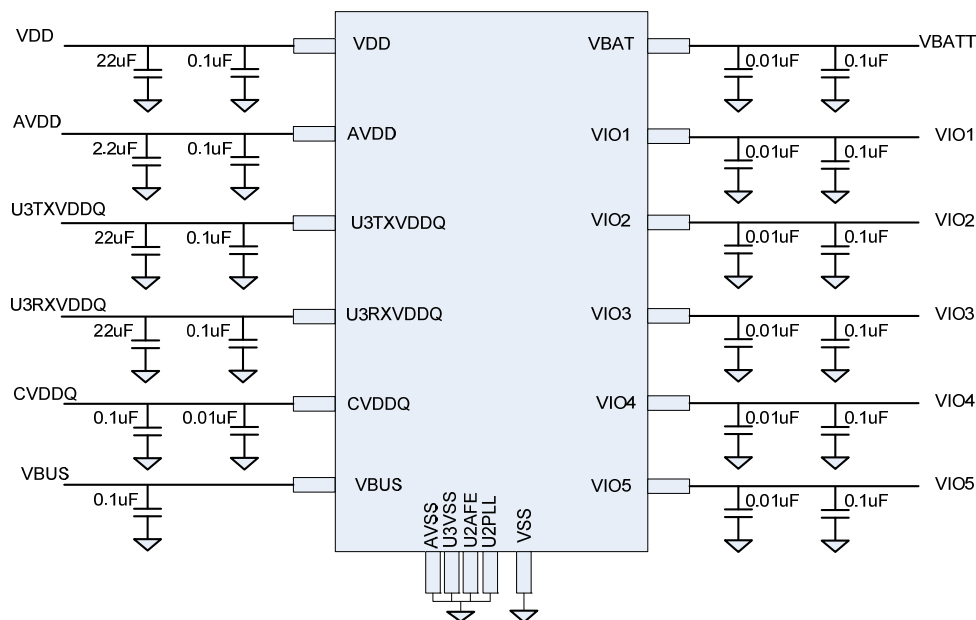


表 2.EZ-USB FX3 電源ドメイン

| パラメータ | 説明 | 分 | Typical | Max | Unit |
|------------|----------------------------------|------|---------------------------------|------|------|
| V_{DD} | コア電圧源 | 1.15 | 1.2 V Typical | 1.25 | V |
| A_{VDD} | アナログ電圧源 | 1.15 | 1.2 V Typical | 1.25 | V |
| V_{IO1} | GPIF II I/O 電源ドメイン | 1.7 | 1.8, 2.5 and 3.3 V Typical | 3.6 | V |
| V_{IO2} | IO2 電源ドメイン | 1.7 | 1.8, 2.5 and 3.3 V Typical | 3.6 | V |
| V_{IO3} | IO3 電源ドメイン | 1.7 | 1.8, 2.5 and 3.3 V Typical | 3.6 | V |
| V_{IO4} | UART/SPI/I2S 電源ドメイン | 1.7 | 1.8, 2.5 and 3.3 V Typical | 3.6 | V |
| V_{IO5} | I ² C and JTAG 電源ドメイン | 1.15 | 1.2, 1.8, 2.5 and 3.3 V Typical | 3.6 | V |
| V_{BATT} | USB 電圧源 | 3.2 | 3.7 V Typical | 6 | V |

EZ-USB[®] FX3/FX3S[™] ハードウェア設計ガイドラインと回路図のチェックリスト

| | | | | | |
|---------------|------------------|------|--------------------|------|---|
| V_{BUS} | USB 電圧源 | 4.0 | 5 V Typical | 6 | V |
| C_{VDDQ} | クロック電圧源 | 1.7 | 1.8, 3.3 V Typical | 3.6 | V |
| $U3TX_{VDDQ}$ | USB 3.0 1.2 V 電源 | 1.15 | 1.2 V Typical | 1.25 | V |
| $U3RX_{VDDQ}$ | USB 3.0 1.2 V 電源 | 1.15 | 1.2 V Typical | 1.25 | V |

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

電源モード

EZ-USB FX3 は、次の電力モードをサポートしています。

- 通常モード: これは、フル機能の動作モードです。このモードでは、CPU の内部クロックと内部 PLL が有効になっています。
 - I/O 電源は VIO2、VIO3、VIO4 と VIO5 が対応するインタフェースを使用していないときオフにすることができます。GPIF II インターフェイスがアプリケーションで使用されている場合 VIO1 になる場合でもオフにすることはできません。
 - USB I/O が 3.3 V の安定化電源を必要とします。この電源は、内部で VBUS または VBATT 外部電源のいずれかから供給されます。USB を使用しない場合、VBATT/ VBUS を OFF することができます。USB ポートを使用している場合、片方または FX3S の電源が存在しなければなりません。
 - VBATT はシステムバッテリーまたは PMIC からの安定した 3.2 V-6V 電圧レールに接続することができます。VBUS と VBATT の FX3S が存在し、両者とも指定された範囲内にある場合に、ソフトウェアによる切替がない限り VBUS が USB I/O への主電源になります。
 - EZ-USB FX3 の VBUS ピンは 6 V まで耐えることができます。このより高い電圧が供給されることのあるアプリケーションの場合には、EZ-USB FX3 のデバイスを保護するために外部過電圧保護 (OVP) デバイスが必要です。このようなアプリケーションの一例は、Battery Charging V1.2 仕様に準拠したバッテリー充電アプリケーションです。このアプリケーションでは、充電器は (壁/専用充電器など) は VBUS に 9 V を供給することがあります。

- 他のプロセッサによって検出される VBUS に応じてオン/オフを切り替えられるシステム内の電源レールに VBUS 端子を接続できます。VBUS を検出し、EZ-USB FX3 に供給する安定化した 3.3V 電源をオンにする PMIC です。この場合、システムは主電源として VBATT を使用するようソフトウェアでオーバーライドする必要があります。

EZ-USB FX3 は、チャージポンプが含まれていないため、OTG-A デバイスとして使用するときは VBUS に電源供給することはできません。EZ-USB FX3 が OTG-A モードで使用する場合は、VBUS を供給するため、PMIC に組み込まれた、または独立したチャージポンプを使用しなくてはなりません。

- USB 3.0 PHY 有効のサスペンドモード(L1): ウェイクアップソースとコア電源用の電源を確保しなければなりません。その他のすべてのパワー・ドメインを個別にオン/オフにすることが可能です。
- USB 3.0 PHY 無効のサスペンドモード(L2)ウェイクアップソースとコア電源用の電源を確保しなければなりません。その他のすべてのパワー・ドメインを個別にオン/オフにすることが可能です。
- スタンバイ (待機) モード(L3): ウェイクアップソースとコア電源用の電源を確保しなければなりません。その他のすべてのパワー・ドメインを個別にオン/オフにすることが可能です。
- コア電源ダウンモード (L4): コア電源がオフになっています。その他のすべてのパワー・ドメインを個別にオン/オフにすることが可能です。

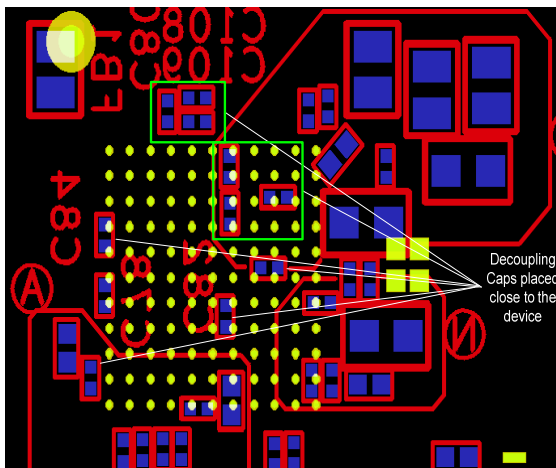
デバイス電源のデカップリング

電源デカップリングは、システムノイズが電源を通してデバイスに伝播しないことを確保する上で重要となります。

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

不適切なデカップリングは特に USB バス上の、ジッタシグナル伝達につながることであり、その結果、CRC エラーレートの増大とリトライ回数の増加を招きます。デカップリングコンデンサは、安定した誘電率のセラミックタイプでなければなりません。デカップリングコンデンサはできるだけ電源ピンに近く配置して、EZ-USB FX3 デバイスの電源とグラウンドの接続に短いトレースでしっかりとした電源およびグラウンドプレーンに接続しておくことが重要です。図 2 にてデカップリングコンデンサの配置例を示しています。

図 2. デカップリング・コンデンサの配置例



各 EZ-USB FX3 の電源ピン近傍に配置するセラミックコンデンサ要件は表 3. に示します。

表 3. 電源ドメインデカップリング要件

| キャップ値 | キャップ数 | ピン名 |
|------------------------|------------------------------------|----------|
| 0.01 uF, 0.1 uF, 22 uF | 4 x 0.01 uF, 3 x 0.1 uF, 1 x 22 uF | VDD |
| 0.1 uF, 2.2 uF | 1 of each | AVDD |
| 0.1uF, 22uF | 1 of each | U3TXVDDQ |
| 0.1 uF, 22 uF | 1 of each | U3RXVDDQ |
| 0.1 uF, 0.01 uF | 1 of each | CVDDQ |
| 0.1 uF, 0.01 uF | 1 of each per supply | VIO1-5 |

| | | |
|--------|---|------|
| 0.1 uF | 1 | VBUS |
|--------|---|------|

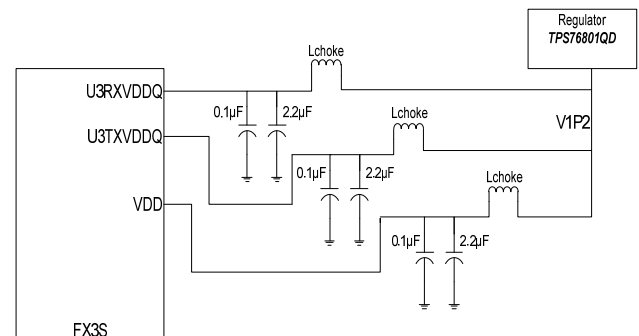
突入電流検討事項と電源設計

USB 3.0 スーパースピード PHY が初めてイネーブルになるとき、またはリセットイベント、このときの電流は 800mA 程度になることがあります。この突入電流が共通の 1.2 V 電源を許容できないレベルにまで低下しないようにするためには、これらの電源用の電源ネットワークの設計に注意しなければなりません。

同じ 1.2 V 電源が VDD コア電源に使用される場合は、この電源のレベルが低くなりすぎないように注意してはなりません。1.2 V コア VDD 電圧は 200ns 以上 0.83 V 未満まで低下した場合、オンチップのパワーON リセット (POR)回路が動作し、チップ全体がリセットされる可能性があります。1.2-V の電源ネットワークは突入イベントが発生したときに VDD が 0.83 V 未満に低下しないように設計する必要があります。デカップリング・コンデンサ (データシートで記載の通り)、インダクタチョークやレギュレータの出カインピーダンスとの適切な組合せにより、これが可能となります。

次の例は、突入電流 (図 4)と、電流スパイクが発生したときの VDD レベルの電圧降下 (図 5) を示しています。

図 3. 最適化されていない電源設計



EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

図 4. 突入電流(80 mV/0.1 Ω = 800 mA)

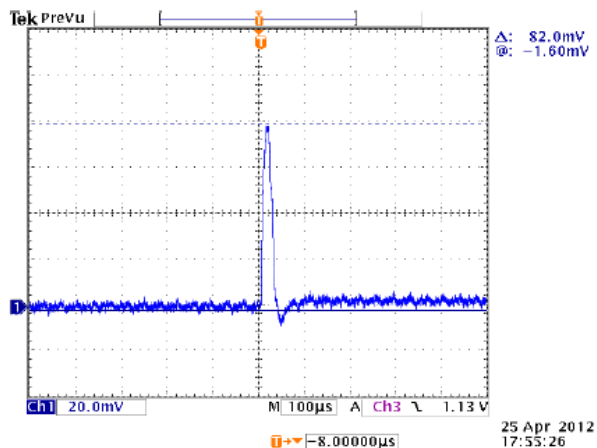
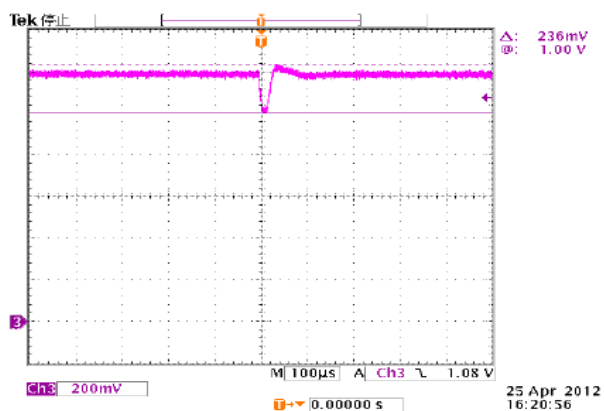


図 5. 1.2-V パワードメイン電圧降下 (200 mV)



これに対し、図6に示す最適化電源設計では、先ほどと同じレギュレータ (TPS76801QD) に、22-µFのデカップリングコンデンサにしてVDD供給ラインからチョークコイルを削除しており、突入電流が低減 (図7)し、電源ドロップが改善 (図8)していることがわかります。

図 6. 最適化された電源設計

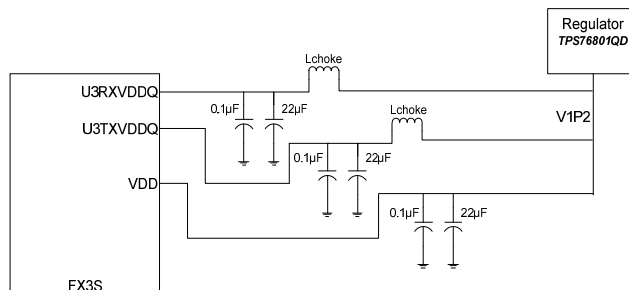


図 7. 突入電流(320 mA)

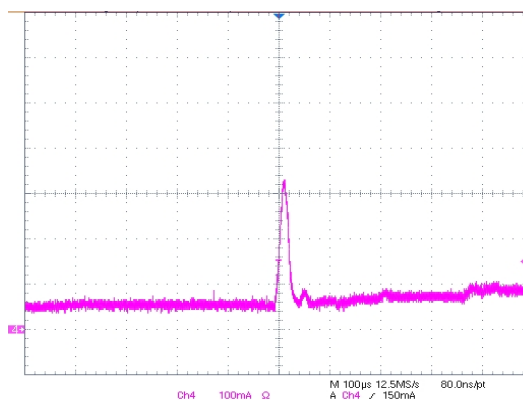
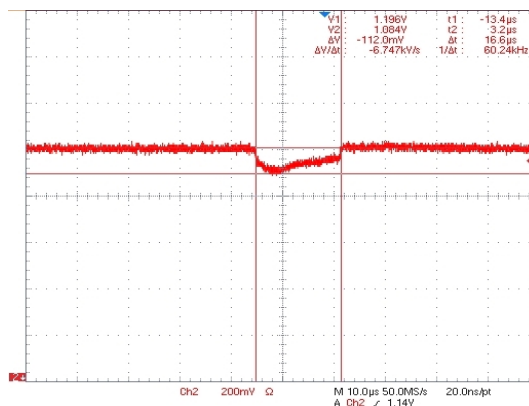


図 8. 1.2-V パワー・ドメインの電圧降下(112 mV)



お客様は同様の仕様を持つ任意のレギュレータを選択することができます。

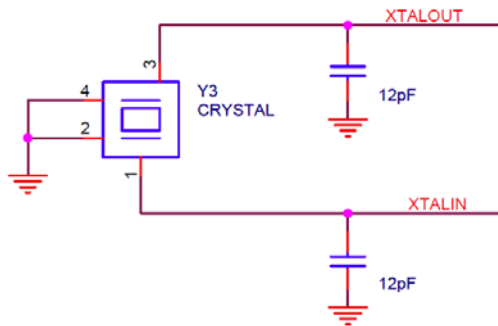
クロッキング

EZ-USB FX3 のデバイスは、19.2 MHz のクリスタルまたは 19.2 MHz、26 MHz で 38.4 MHz、または 52 MHz のクロックのいずれかをクロック源として使用することができます。

クリスタル

図 9 にてクリスタルの接続方法を説明します。

図 9. クリスタル回路



19.2 MHz クリスタルの要件は、表 4.に記載されています。

表 4. クリスタル要件

| パラメータ | 仕様 | 単位 |
|-----------|-----------|-----|
| 許容範囲 | ±100 | ppm |
| 温度範囲 | -40 to 85 | °F |
| 負荷キャパシタンス | 12 | pF |
| 起動レベル | 式 1 を使用 | mW |

クリスタルの消費電力はXTAL-OUT端子の励振レベル(EZ-USB FX3では1.32V)、所望の周波数(19.2 MHz)とクリスタルの等価抵抗に依存します。

式 1. クリスタル励振レベル

$$P = I_1^2 R_1 = \left(\frac{V_x}{|Z_1|} \right)^2 R_1$$

$$= [2\pi f (C_0 + C_L) V_x]^2 R_1$$

互換性のあるクリスタルの励振レベルはクリスタルの消費電力が制限を超えないようにする必要があります。互換性のあるクリスタルの例は表 5 を見て下さい。なお、NX3225SA は EZ-USB FX3 用にあわせて作られたものです。その他のクリスタルは式 1 を使った選択例として示しています。

表 5. クリスタル選定

| デバイス | 最大 R1 (Ohm) データシート | CL eqv (pF) | C0 (pF) 予測 | 式を使用して起動 レベル 1 (uW) | 最大起動レベル (Spec) uW |
|--------------|-----------------------|-------------------|---------------|---------------------------|-------------------------|
| Epson FA-H20 | 40 | 6 | 3 | 82 | 100 |
| ITTI I16 | 80 | 6 | 3 | 171 | 300 |
| NX2520SA | 50 | 6 | 3 | 107 | 200 |
| NX3225SA | 50 | 6 | 3 | 107 | 200 |
| Saronix-FL | 40 | 6 | 3 | 82 | 100 |

クロック

EZ-USB FX3 へのクロック入力、次の表で示すような位相ノイズやジッタなどの要件を満たす必要があります。

表 6. クロック要件

| パラメータ | 説明 | 仕様 | | 単位 |
|-------|--------|----|-----|----|
| | | 最低 | 最大 | |
| 位相ノイズ | 100 Hz | - | -75 | dB |

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

| パラメータ | 説明 | 仕様 | | 単位 |
|-----------------|----------------|----|------|-----|
| | | 最低 | 最大 | |
| | Offset | | | |
| | 1 kHz Offset | – | -104 | dB |
| | 10 kHz Offset | – | -120 | dB |
| | 100 kHz Offset | – | -128 | dB |
| | 1 MHz Offset | – | -130 | dB |
| 最大周波数偏差 | | – | 150 | Ppm |
| デューティ・サイクル | | 30 | 70 | % |
| オーバーシュート | | – | 3 | % |
| アンダーシュート | | – | -3 | % |
| 立ち上がり時間/立ち下がり時間 | | – | 3 | Ns |

クロックオプションに依存します。これは周波数選択の FSLC[2:0]を使い、このラインはごく弱いプルアップ抵抗を通して電源と接続したり、グランドと接続できます。表 7 でクロッキングオプション用 FSLC[2:0]の値を示しています。

表 7. 周波数選定構成要素

| FSLC[2] | FSLC[1] | FSLC[0] | クリスタル/クロック周波数 |
|---------|---------|---------|-----------------|
| 0 | 0 | 0 | 19.2 MHz クリスタル |
| 1 | 0 | 0 | 19.2 MHz 入カクロック |
| 1 | 0 | 1 | 26 MHz 入カクロック |
| 1 | 1 | 0 | 38.4 MHz 入カクロック |
| 1 | 1 | 1 | 52 MHz 入カクロック |

CVDDQ 電源がクロック入力に関連付けられている電源です。これは、外部クロック入力（あれば）と同じ電圧レベルに設定する必要があります。

クロック入力だけを使用する場合は、XTALIN と XTALOUT ピンは未接続のままにすることができます。クリスタルクロッキングだけを使用する場合は、CLKIN ピンは未接続のままにすることができます

ウォッチドッグタイマ

32.768 kHz のクロック入力はスタンバイモード中のウォッチドッグタイマの動作に使用することができます。これは、必要に応じて外部ソースから供給してもかまいません。

表 8. ウォッチドッグタイマー要件

| パラメータ | 最低 | 最大 | 単位 |
|-----------|----|------|-----|
| デューティサイクル | 40 | 60 | % |
| 周波数偏差 | - | ±200 | ppm |

GPIF II インターフェース

EZ-USB FX3 は、高性能な汎用プログラマブルインターフェイス GPIF II を提供しています。このインタフェースは FX2LP の GPIF やスレーブ FIFO インターフェースと似ていますが、それらより高度な機能を提供しています。GPIF インターフェースについてはアプリケーションノートを参照してください。AN75779 – USB ビデオクラス (UVC) フレームワーク内の EZ-USB® FX3™ イメージセンサ向けのインターフェースと AN75779 – USB ビデオクラス (UVC) フレームワーク内の EZ-USB® FX3™ イメージセンサ向けのインターフェース

EZ-USB FX3 の GPIF II インターフェース用のいくつかの一般的な設計ガイドラインは次の通りです。

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

- GPIF II インターフェースの最大周波数は 100 MHz です。GPIF II バス上の全ラインの長さの差を 500mil 以内になるよう一致させることを推奨します。22Ω の直列終端抵抗を使用することをお勧めします。
- GPIF のラインの配線長が 5 インチ以上になる場合、または媒体を介してルーティングされた場合インピーダンスミスマッチを引き起こす可能性があり、その際には EZ-USB FX3 の IBIS モデル(CYUSB3KIT-001 EZ-USB® FX3™にあります)を使用してシグナルインテグリティシミュレーションを行うこと及び終端をお勧めします。
- GPIO [16](PCLK)はすべての同期インターフェースで GPIF II のクロック信号として使用すべきです。
- GPIO [32:30](PMODE[2:0])の信号を FX3 ブートアップ時に適切に設定する必要があります。これらの信号は、起動後に GPIO として使用することができます。
- INT#信号を GPIO として使用することはできません。

注: GPIF II は 32 ビットモードで構成されている場合、SPI インターフェースラインは利用できません。

I2C インターフェース

EZ-USB FX3 は I2C バス仕様リビジョン 3 と互換性の I2C インターフェースを持っています。EZ-USB FX3 の I2C インターフェースは I2C マスタのみとして動作することが可能です。たとえば、EZ-USB FX3 は、選択可能なブートオプションとして I2C インターフェースに接続されている EEPROM から起動することがあります。EZ-USB FX3 の I2C マスタコントローラは、マルチマスターモード機能もサポートしています。

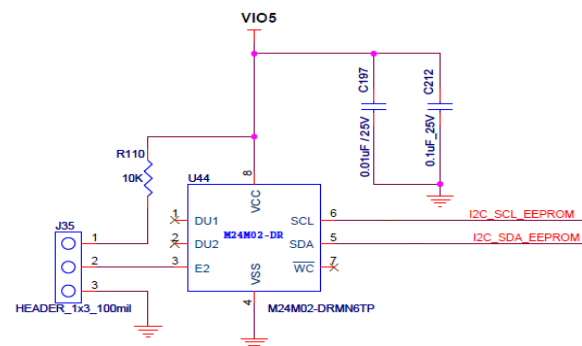
I2C インターフェースの電源は VIO5 ですが、これは他のシリアル機器とは別の電源ドメインです。これは、I2C イ

ンターフェースを他のシリアルインターフェースとは異なる電圧で動作するための柔軟性を許容しているからです。

I2C コントローラでサポートされているバス周波数は、100 kHz、400 kHz、および 1 MHz です。VIO5 が 1.2 V の場合、サポートされる最大動作周波数は 100kHz です。VIO5 が、1.8 V、2.5 V、または 3.3 V の場合は、サポートされている動作周波数は 400kHz と 1MHz です。

I2C バス上で外部 EEPROM がファームウェアイメージ起動のための使用されている場合は、正常な動作のために、次の図に示すように、2kΩ のプルアップ抵抗を SCL 及び SDA ラインに配置すべきです。

図 10. I2C 構成



低性能の周辺機器 (LPP)

JTAG

EZ-USB FX3 は、JTAG デバッガに接続するための標準的な 5 ピンのインターフェースを提供するための JTAG インターフェースを持っています。この機能では、CPU コアのオンチップデバッグ回路を介してファームウェアのデバッグが可能になります。JTAG 信号、TDI、TCM、TEST#には 50kΩ 固定の内部プルアップが、TCK 信号には 10kΩ 固定の内部プルダウン抵抗がありますので JTAG 信号には外部プルアップ/ダウンは不要です。

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

I²S

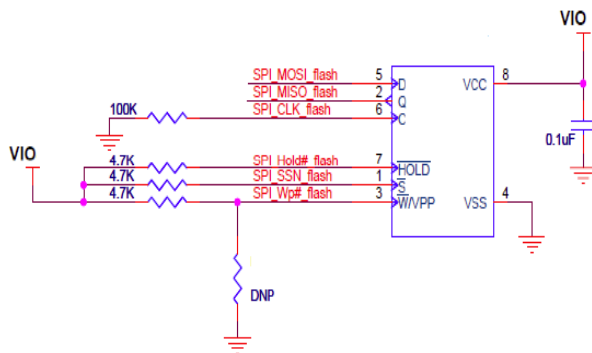
EZ-USB FX3 は、外部のオーディオコーデックデバイスをサポートする I2S ポートを備えています。EZ-USB FX3 は I2S のマスタとして機能します（送信のみ）。EZ-USB FX3 は I2S_MCLK ラインに出力としてシステムクロックを生成したり、同じラインからの外部システムクロック入力を受け入れることができます。

SPI と UART

EZ-USB FX3 は、シリアルペリフェラルポートで SPI マスタインターフェースをサポートしています。SPI の GPIO は UART の GPIO と共有されます。MOSI と MISO 信号にはプルアップまたはプルダウンは不要です。

図 11 で M25P40-VMN6TPB SPI デバイスを使用した、適切な SPI の信号接続を示しています。

図 11. SPI 構成



ブート

EZ-USB FX3 は、システムのメインプロセッサまたは別のメインプロセッサにのこプロセッサとなることが出来ます。使用する起動オプションは特定のシステムの実装に依存します。PMODE[2:0]起動オプションを設定し、メインプロセッサに直接接続するか、使用するブートオプションに応じてボード上の配線接続することができます。次の表

は、さまざまなブートオプションに必要な PMODE[2:0]信号のレベルを示しています。

表 9. PMODE 信号設定

| PMODE[2:0] | 起動元 |
|------------|--|
| Z00 | 同期 ADMUX (16-bit) |
| Z01 | 非同期 ADMUX (16-bit) |
| Z11 | USB ブート |
| Z0Z | 非同期 SRAM (16-bit) |
| Z1Z | I ² C, 失敗した場合、USB ブートが有効 |
| 1ZZ | I ² C のみ |
| 0Z1 | SPI, 失敗した場合、USB ブート有効 |
| 000* | S0-port (eMMC), 失敗した場合、USB ブート有効 – FX3S のみ |
| 100* | S0-ポート (eMMC) – FX3S のみ |

注 Z = High-Z, Open drain, No connect, *Applies to FX3S only

PMODE[2:0]信号にプルアップとプルダウンオプションと優先起動オプションを必要な組み合わせで搭載することをお勧めします。これにより開発中のシステムのデバッグに柔軟に対応できます。

EMI と ESD に関する注意事項

製品の筐体、導入環境、および規制法令にケースバイケースで対応した EMI と ESD を考慮する必要があります。このアプリケーション・ノートでは、EMI に関する具体的な提言を与えるものではありません。EZ-USB FX3 は、民生用電子機器の FCC15B（米国）および EN55022（ヨーロッパ）で述べられている EMI 要件を満たしています。EZ-USB FX3 は、これらの仕様に基づいたノイズ源から侵入する通常の EMI に耐えることができ、期待どおりに機能し続けることができます。しかし、このアプリケーション・ノートでは、一般的な EMI と ESD をに対する考慮を示します。PCB レイアウトテクニックの概要を [付録 A – PCB](#) を参照してください。PCB レイアウト用のティップスを [AN61290 - PSoC® 3 と PSoC 5 ハードウェア設計上の考慮事項](#)を付録 A にて参照してください。EMI / EMC を改善に関する参考図書、またレイアウトのヒントのリストがあります。

EZ-USB FX3 は USB インターフェースの D+、D-及び GND ピンに ESD 保護機構を内蔵しています。これらのポートで提供される ESD 保護レベルは、次のとおりです。:

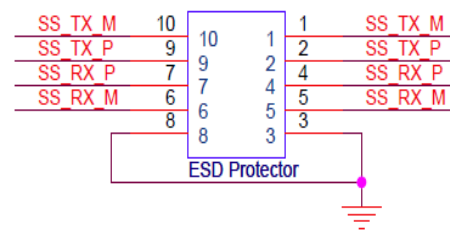
- ± 2.2 kV の人体モデル(HBM)は ± 6 kV 接触放電に基づいており、 ± 8 kV のエアギャップ放電は IEC61000-4-2 のレベル 3A に基づいております。
- ± 8 kV 接触放電および、 ± 15 kV のエアギャップ放電 IEC61000-4-2 のレベル 4(c)に基づいております。

この保護機構は、ESD イベントが決められたレベルに達した後デバイスが確実に動作しつづけるようにします。

SSRX+は、SSRX-、SSTX+ SSTX ピンは最大 ± 2.2 kV の人体モデル（HBM）の ESD 保護機能のみ内蔵しています。

図 12 に示すように、高性能で低キャパシタンスの外部 ESD デバイス(SP3010-04UTG)を使用して、これらのピンに保護回路を付加することができます。このバスの性能への影響を防止するために、追加されるキャパシタンスは 0.5 pF を超えるべきではありません。

図 12. 低キャパシタンス外部 USB スーパースピード ESD 保護



EMI の面では、すべての信号とクロックのトレースは 1 つのレベルから別のレベルに切り替えたときに電磁 (EM) 波を放出しています。様々な国の様々な基準を満たすために、これらの放射量を最小限に抑える必要があります。EM の放射量を下げするために、いくつかのテクニックを使用することができます:

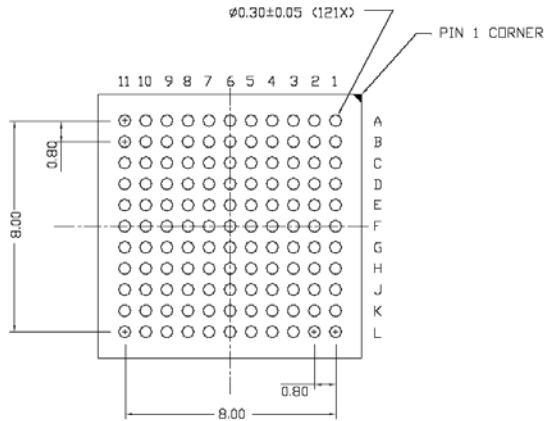
- 内側に信号層を、外側の層に、電源プレーンとグランドプレーンを置くことを検討
- 常にベタパターンを集積回路やクロックの下に埋め込む
- すべての信号ラインの適切なグラウンド・リターン・パスを確保。
- 高速信号や、大電流信号のトレース長を最小限に抑える

FX3 デバイスパッケージの寸法

EZ-USB FX3 は、10×10 mm、0.8 mm ピッチのボールグリッドアレイ (BGA)にパッケージされています。推奨パッドサイズは、0.241mm (9.5mil) です。

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

図 13. EZ-USB FX3 パッケージ寸法



電気設計上の考慮点

USB 3.0 のプロトコルは USB のスピードを 5 Gbps まで向上させます。ハイスピードラインに沿ってスーパースピードラインを含んでいることによって、USB 2.0 仕様との下位互換性を持たれています。どちらのバスも電気設計上、高いレベルの注意が必要です。スーパースピード USB の設計をする際に、コンポーネントの選択、電源デカップリング、信号線のインピーダンス、ノイズへ細心の注意を払うことが要求されます。これらの物理的な問題は、ほとんどが PCB 設計に影響を受けています。PCB レイアウトのテクニックに関する一般的な情報については、付録 A-PCB レイアウトチップスを参照してください。

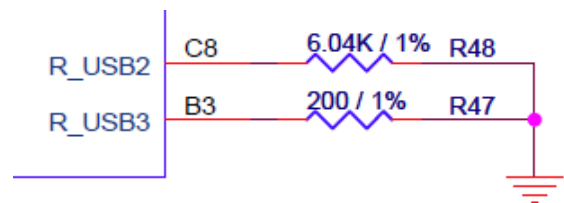
USB 3.0 スーパースピード設計ガイドライン

EZ-USB FX3 は、スーパースピード USB ラインとハイスピード USB ラインを持っています。これらのバスを設計する場合、次のベスト設計を使用してください。

ハイスピードのルーティングガイドラインの詳細は、[AN1168 – 高速 USBPCB レイアウト推奨事項](#)を参照してください。

- USB ラインをできるだけ最短に抑えます。この一覧に提言されている事項を達成できるよう、最初にルーティングすべきです。トレースが長いとトランスミッタの品質に影響を与え、受け取る側の符号間干渉(ISI)を起こします。
- 極性は、USB 3.0 の差動ペアで交換することができます。極性検出はリンクトレーニング中に USB 3.0 PHY によって自動的に行われますことを USB 3.0 仕様のセクション 6.4.2 で定義されています。更に、デバイスのファームウェアに追加の変更を必要とします。別の USB コネクタのピン配列を考えると、極性反転機構は、USB トレースが互いに交差しないようにするために利用することができます。
- 1% 6.04k Ω の高精度抵抗を介して R_USB2 ピンをグラウンドに接続する必要があります。R_USB3 ピンは 1%~200 Ω の高精度抵抗を介してグラウンドに接続する必要があります。

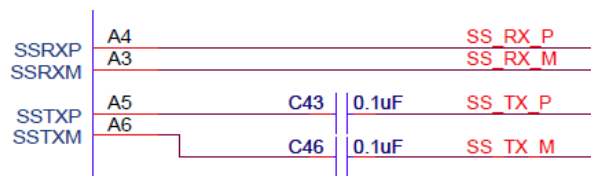
図 14. USB2 と USB3 基準抵抗



- USB 3.0 のトレースは、追加の AC カップリング・コンデンサ(0.1 μ F)を SS_TX ラインに配置する必要があります。これらのコンデンサを EZ-USB FX3 デバイスに対称的かつなるべく近い位置にしてください。

図 15. スーパースピード TX ラインデカップリング・コンデンサ

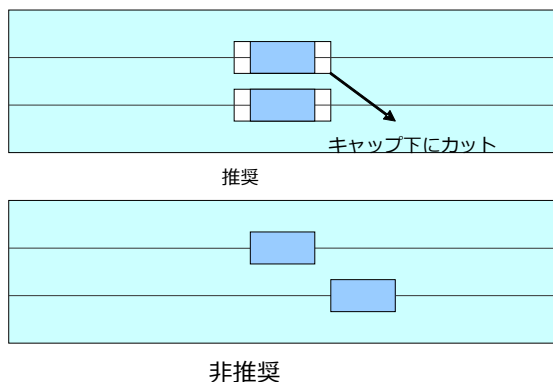
EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト



- コンデンサパッドのラインの余分なキャパシタンスを回避するために AC 結合コンデンサの下にある 2 つのブレンはコンデンサの形にカットする必要があります。

図 16 はデカップリングコンデンサの適切なレイアウトを示しています。

図 16. スーパースピード TX デカップリングコンデンサレイアウト



- USB の信号線のインピーダンスは 90Ω の差動($\pm 7\%$)である必要があります。
- 次の図に示すように、インピーダンス不整合を回避するために、差動ペア間の間隔を一定に保ってトレースし続ける必要があります。

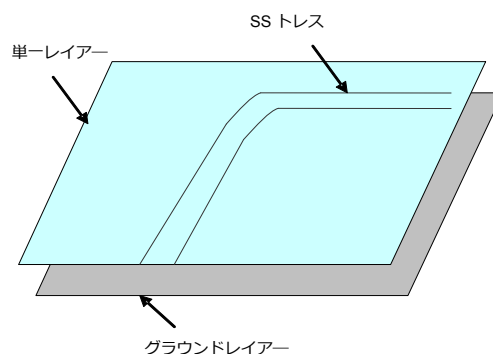
図 17. 差動ペアのインピーダンスマッチングテクニック



- すべての SS 信号線は、信号全てをベタ塗りグラウンドプレーンに隣接する層上で配線する必要があります。SS 信号の下にあるグラウンドプレーンを分割した場合、ループインダクタンスを増加させ、インピーダンスミスマッチを起こし、電波の輻射量を増加させます。

- 図 18 にはスーパースピード信号の下にあるグラウンドプレーンを示しています。

図 18. スーパースピード信号の下にあるグラウンドプレーン

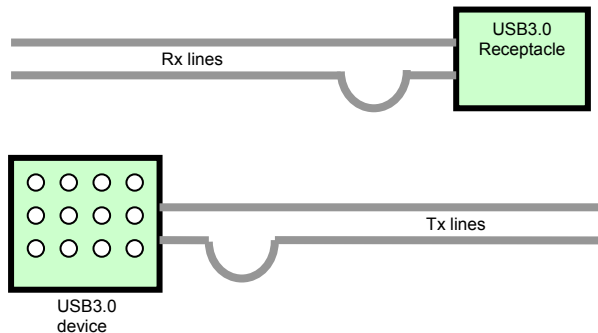


- SS の差動ペアのトレース長は 0.12 mm (5 mils) 以内に一致させる必要があります。HS の D+ と D- の信号トレースの長さは 1.25 mm (50 mils) 以内に一致させる必要があります。必要ならば、HS 信号の調整は、USB コンセントの近くで行うべきです。SS の Rx 信号の

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

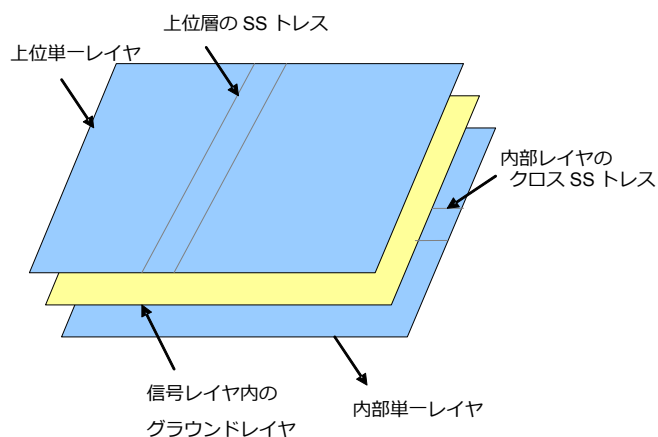
調整は、USB レセプタクルの近くで行うべきです。一方、SS の Tx 信号の調整が必要な場合は、デバイスの近くで行うべきです。スーパースピード信号に対する等長配線の例を図 19. に示します。

図 19. スーパースピード信号の長さマッチング



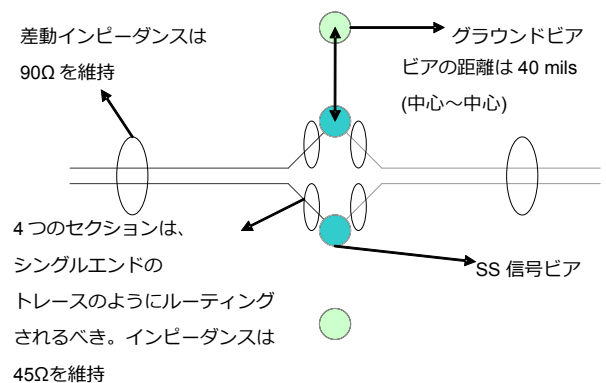
- PCB は 4 層以上でなければなりません。90Ω の差動インピーダンスを維持するためにベタ塗りの基準電源層を使用してください。
- USB トレースの 2 ペアが異なる層で互いに交差するときは、グラウンド層を 2 つの USB 信号層の間に通す必要があります。図 20 を参照してください。

図 20. グラウンドの挿入



- 信号ルーティングを別のレイヤに変更しなくてはならない場合、連続したグラウンドによって信号全体を均一なインピーダンスにしなくてはなりません。これを達成するために、グラウンドビアを信号ビアの隣に配置する必要があります。図 21. を参照してください。信号とグラウンドビア間の距離は少なくとも 40mils でなければなりません。

図 21. グラウンドビア



- 次の図に示すように、インピーダンス不整合を回避するために、差動ペアのトレース幅を一定に維持する必要があります。

図 22. 差動ペアのプレースメント



表 10 で前の図に説明したパラメータの推奨値を定義します。

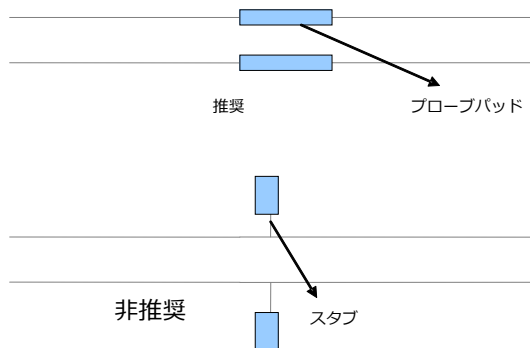
表 10. USB トレース仕様

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

| | | |
|---|--------------------------|---------|
| S | イントラペア間隔 | 8 mils |
| W | トレース幅 | 11 mils |
| g | 最小ギャップ B / W トレースや他のプレーン | 8 mils |

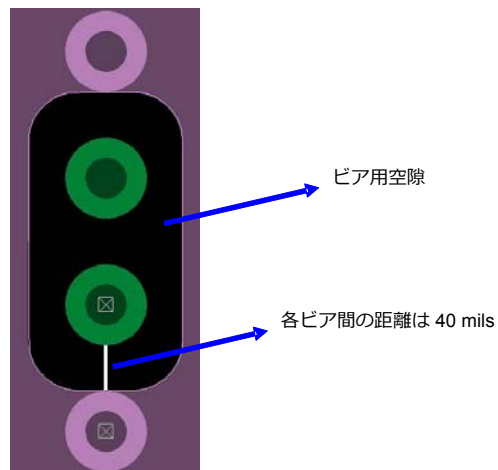
全ての USB ライン上でスタブを避ける必要があります。プロービング目的のためにライン上にパッドが必要とされる場合は、スタブの形式でトレースの外に拡張することはできません。例は図 23.を参照してください。

図 23. プロービング用のパッド配置



- SS 信号ライン上のビアの空隙は差動対で同一であるべきです。図に示すように、共通の空隙を持つことは個別のビアに比べて優れたインピーダンス整合を維持することができます。

図 24. SS のトレース用の空隙ビアの配置



- マイクロ B レセプタクルは表面実装レセプタクルであり、USB 信号は EZ-USB FX3 デバイスと USB 3.0 マイクロ B レセプタクルを同じ層に完全にルーティングすることができます。
- 図 25.を参照してください。さらに、レイアウトを図 26 に示します。

図 25. マイクロ B レセプタクルの配置

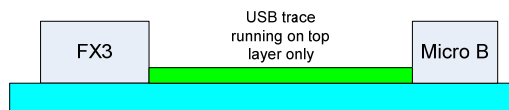
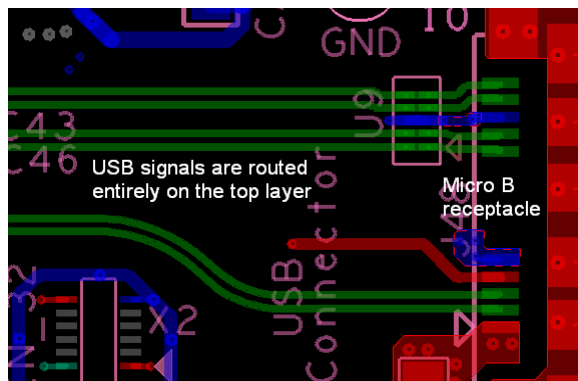


図 26. マイクロ B レセプタクルレイアウト



EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

- 標準 B レセプタクル(スルーホールレセプタクル)を使用しているとき USB の信号線はレセプタクルが置かれている層と反対側の層でレセプタクルのピンと接続することを強く推奨します。図 27 と Error!

Reference source not found..を参照願います。例えば、標準 B レセプタクルが最上層に配置されている場合、信号線は、最下層 d でレセプタクルのピンに接続する必要があります。これは、USB レセプタクルピンによる不必要なスタブを防ぐことができます。レイアウトを生成するスタブ対推奨レイアウトの図 29 および図 30 図にそれぞれの詳細に示されています。ビアの導入を避けるために、EZ-USB FX3 デバイスは標準 B レセプタクルの反対側のレイヤーに配置する

ことができます。この場合、USB トレースは同じ層に完全にルーティングすることができます。

図 27. スタンダード B レセプタクルレイアウト

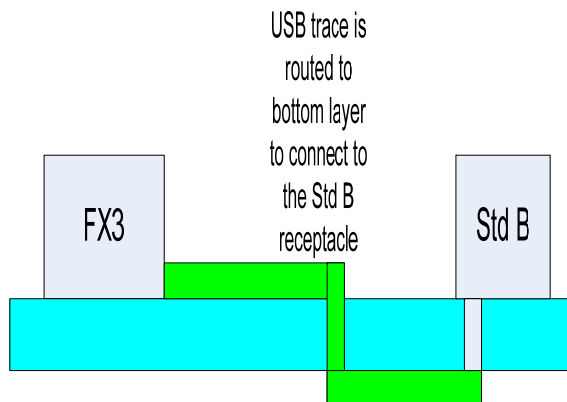
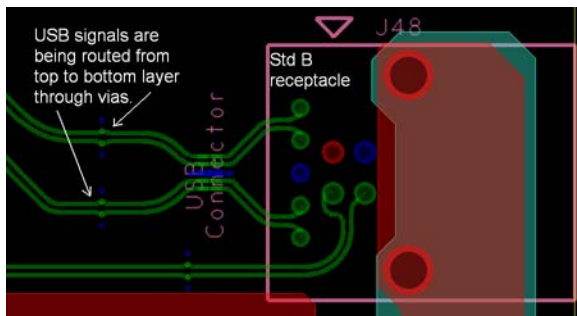


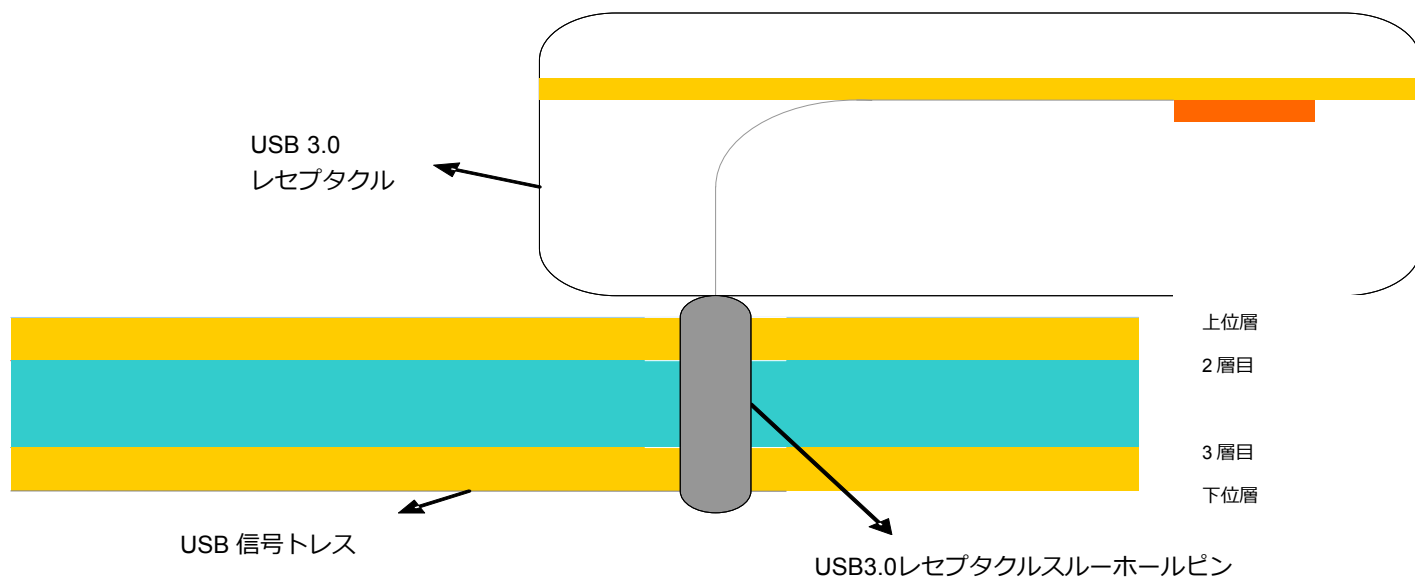
図 28. スタンダード B レセプタクルの配置



以前に言及した FX3S のルーティング方式は 3 インチまでの SS のトレース長で動作するようにテストされています。

図 29. USB 信号は、スタンダードタイプ B USB レセプタクルの反対側に接続されています。

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

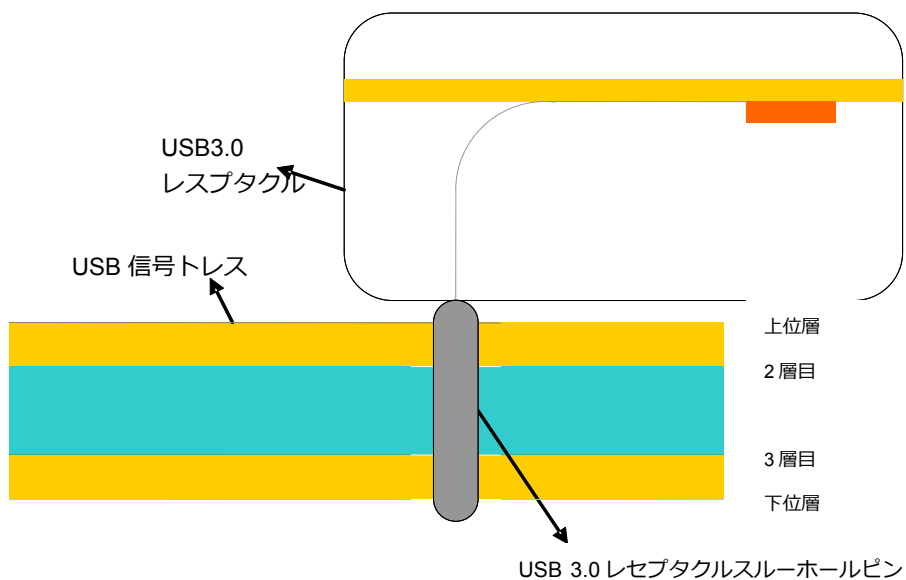


PCB 断面図

USB3.0 レセプタクルスルーホールピンは信号トレースの一部として動作して、信号線上のスタブ形成の可能性を排除します。

図 30. USB 信号は、スタンダードタイプ B USB レセプタクルの同じ側に接続されている

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト



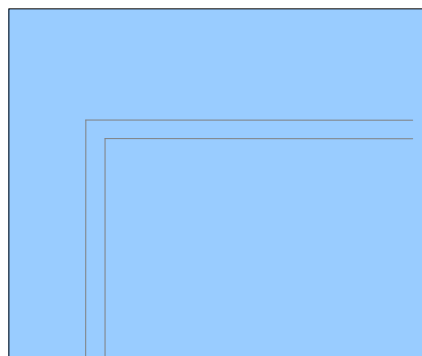
PCB 断面図 : USB レセプタクル
のスルーホールピンは USB 信
号トレースに対してスタブとし、

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

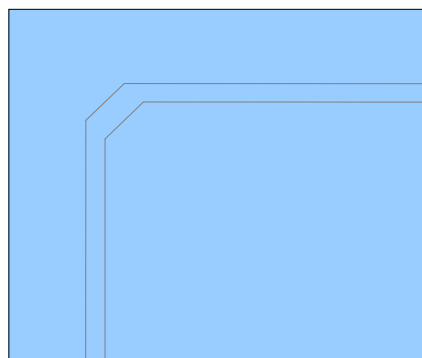
- USB 3.0 のレセプタクルのシールドピンを交流(AC)分離用のインダクタを通してグラウンドに接続します。
- USB の信号線はできるだけ屈曲させないようにします。直角に曲げないでください。屈曲する必要がある場合は 45 度、または円弧(曲線)で曲げてください。

図 31.に示す通りです。

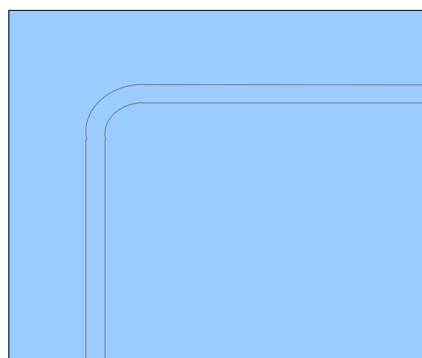
図 31. USB 信号ベンド



勧めしない



推奨



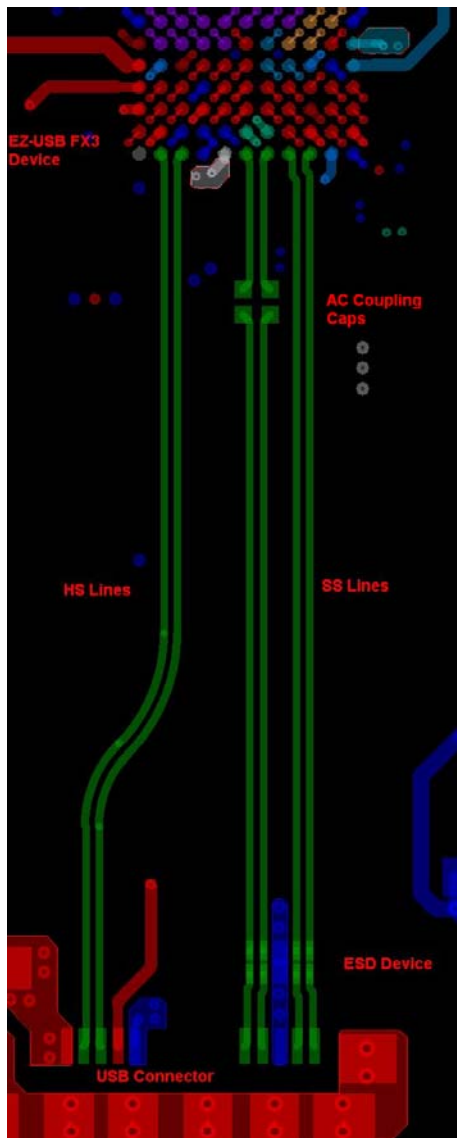
推奨

- クロストークを回避するために、差動ペアは他の差動ペアや、クロック信号、その他の高速信号の近くに配置しないでください。
- USB 3.0 マイクロ B レセプタクルに EZ-USB FX3 デバイスから USB 信号をルーティングする例を図 32

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

にて示しています。各差動ペアは、トレース全体に渡って均一に保つべきです。AC カップリングコンデンサはできるだけデバイスの近くに配置してください。ESD デバイスはできるだけレセプタクルの近くに配置してください。

図 32. USB 信号のレイアウト例



FX3S ハードウェア設計上の考慮事項

このセクションでは、EZ-USB FX3S 固有の事項について説明します。FX3 ハードウェア設計ガイドラインに加えて、以下のガイドラインを考慮する必要があります。

S-ポートインターフェース

EZ-USB FX3S は、2つの独立したストレージポート（S0ポートと S1ポート）を持っています。どちらのストレージポートも次の機能をサポートしています。

- MMC のシステム仕様、MMCA 技術委員会、バージョン 4.4
- SD 仕様バージョン 3.0
- SDIO の仕様バージョン 2.00（2007 年 1 月 30 日）に準拠した SDIO ホストコントローラ

これらの仕様の厳しい要求を満たすため、EZ-USB FX3S システム PCB 上のストレージポートの回路は以下のガイドラインに従うべきです。

- 全てのデータ線、およびコマンドラインとクロックラインの長さは一致させる必要があります。
- トレース長は少なくとも 3.2 インチ以上、5 インチ未満でなければなりません。これらの数字は、SD カード、EMMC デバイス、及び EZ-USB FX3S デバイスのワーストケースのタイミングのパラメータに基づいて計算されており、あくまで推奨として解釈されるべきです。
- SD カードの場合、VDD（SD ソケットの 9 番ピン）は、他の SD ラインで使用される I/O 電圧に関係なく

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

3.3V に接続する必要があり、図 33. に示している通りです。

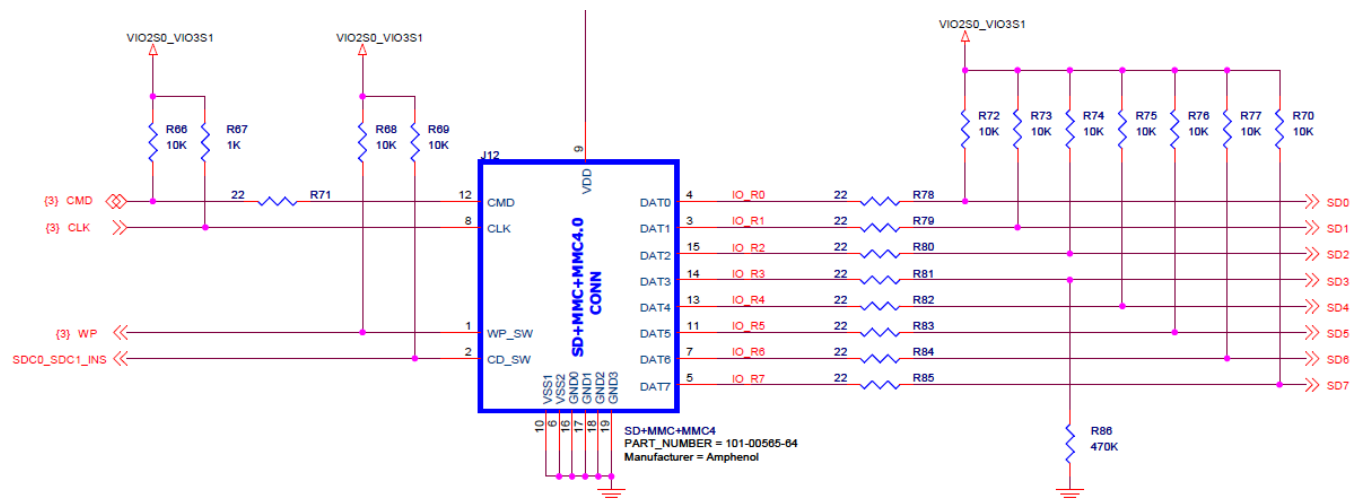
- eMMC デバイスの場合、VCC は 3.3V に接続し、更に VCC をポート I/O 電源 (VIO2 または VIO3) に接続する必要があります。図 34 は、eMMC デバイス回路を示します。
- カード挿入の検出メカニズムの一つとして使用されている SD_D3 を除いて、SD のデータ信号にプルアップ抵抗 10kΩ を追加します。470 K は SD_DQ3 をブルダウンするために使用します。SD_CLK は、1kΩ の抵抗を使用してプルアップしています。
- UHS-I はメモリカードを使用した場合、SD カードの電圧供給(VIO2 または VIO3)を動的に 1.8V に変更する必要があります。
- カードの挿入と取り外しの検出は以下のメカニズムを使用して提供されます。
 - SD-D3 データライン: SD カードは内部に 10kΩ のプルアップ抵抗を持っています。SD / MMC コネクタからカードを挿入または取りはずすときには、SD_D3 ピンの電圧レベルで変化が生じて、CPU への割り込みを生成します。旧世代の MMC カードこのカード検出メカニズムをサポートしていないことに注意してください。

- S0/S1_INS ピン: いくつかの SD / MMC のコネクタはマイクロスイッチでカードの挿抜検出を容易にしています。このマイクロスイッチは S0/S1_INS に接続することができます。SD / MMC コネクタからカードを挿入したり取り外したりすると、それはマイクロスイッチをオン/オフします。これは、端子 (ピン) の電圧レベルを変化させ、CPU への割り込みを生成します。この S0/S1_INS ピンが 2 つの S-ポート間で共有されることに注意してください。どのポートがこのピンを使用するかは、レジスタ設定で決まります。このピンは VIO3 電源ドメインにマッピングされます。VIO2 と VIO3 が異なる電圧レベルである場合、このピンは S1_INS として使用することはできません。eMMC デバイスでは挿入/取り外し検出機構は使用されません。通常、eMMC デバイスは基板上に半田付けされており、挿入/取り外し検出を伴わないためです。

次の図にて SD カードと eMMC デバイスの違いを示します。

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

図 33. SD カード回路

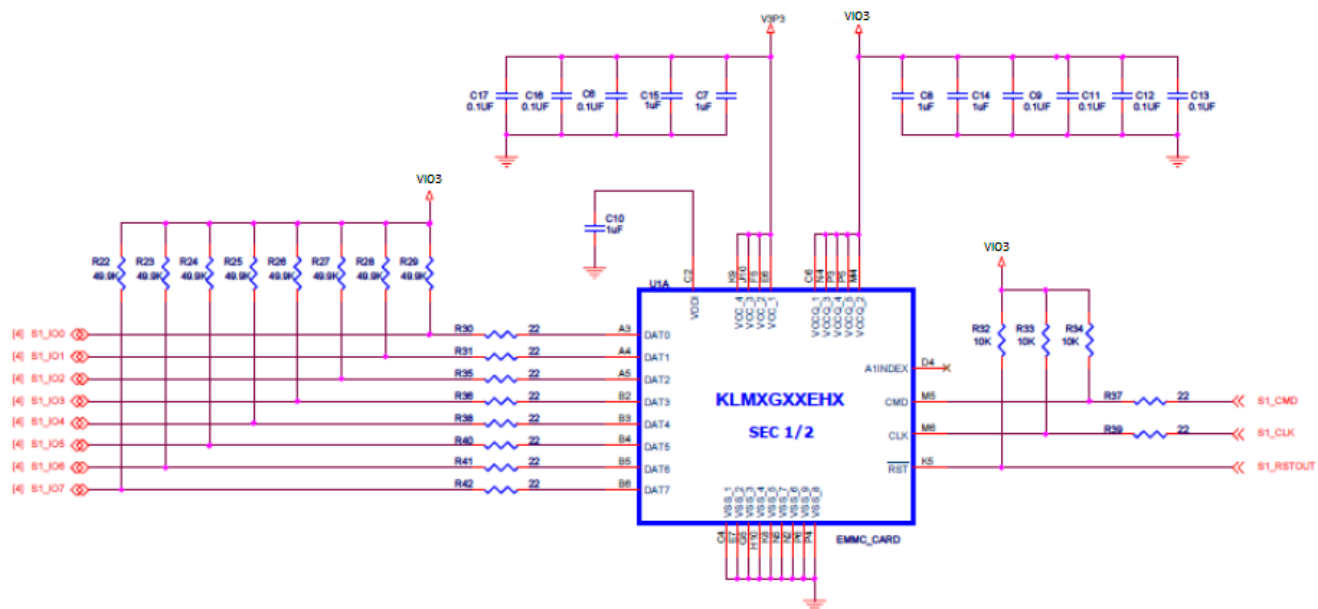


注

- VIO2S0_VIO3S1 – VIO2S0 or VIO3S1
この電源は VIO2 または VIO3 のいずれでも構いません。どちらになるかは、ストレージドーターカードをどこに接続するか依存します。ストレージドーターカードを S0 ポートに接続する場合 VIO2、ストレージドーターカードを S1 ポートに接続しているなら VIO3 となります。
- SD カードが S1 ポートに接続されている場合、シリアルインターフェースの一部が利用できません。詳細については、FXS データシートのピンの説明のセクションを参照してください。

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

図 34. eMMC デバイス



付録 A – PCB レイアウトのヒント

PCB 設計するに当たって低ノイズと EMC のため、以前から数多くのテクニックがあります。これらの技術の一例としては次のようなものがあります：

- **複数のレイヤ:** 少し高価になりますが、VSS と VDD 電源に専用の独立した層を割り当てる多層 PCB を使用するのがベストです。これにより良好なデカップリングとシールド効果を得られます。これらの層の分割された領域が、VSSA、VSSD、VDDA 及び VDDD に割り当てられるべきです。2 層あるいは単層 PCB を使用することがコストを減らすことができます。その場合は、すべての VSS と VDD を上手くレイアウトする必要があります。
- **コンポーネント配置:** 電磁干渉（EMI）の発生量に合わせ PCB 上の異なる回路を分離する必要があります。これは、PCB 上での相互結合を減らすのに役立ちます。たとえば、ノイズの多い大電流回路、低電圧回路、デジタルコンポーネントを分離する必要があります。
- **グラウンドと電源:** 全てのグラウンドリターンを 1 点でまとめます。グラウンドループを回避する事、またはそれらの表面積を最小化する必要があります。2 層または単層 PCB を使用する場合は特に PCB 表面で部品の無い領域は、シールドを作成するためにグラウンドによって塗りつぶされるべきです。

電源は、電源ループの面積を最小限に抑えるために接地線に近く配置すべきです。電源供給ループがアンテナとして作用することができ、EMI の主要な送受信になりえます。

- **デカップリング（分離）:** 外部電源用の標準デカップリング素子は 100 μ F のコンデンサです。追加の 0.1 μ F のコンデンサは高周波の電源リップルを低減するために、デバイスの VSS と VDD ピンのできるだけ近く配置しなければなりません。一般的には、電磁環境適合性（EMC）性能を向上させるために、すべてのセンシティブであったり、ノイズの多い信号をデカップリングする必要があります。デカップリングは容量性および誘導性の FX3S にすることも可能です。
- **信号ルーティング:** アプリケーションを設計するときには、以下の部分は EMC 性能を改善するために綿密に検討すべきである：
 - ノイズの多い信号、例えば、高速エッジ時間を持つ信号
 - 高感度かつ高インピーダンス信号
 - イベントをキャプチャする信号、例えば、割り込みとストローブ信号

EMC 性能を向上させるためには、配線の長さをできるだけ短く保つ事と VSS トレースでトレースを隔離する事になります。クロストークを回避するために、他のノイズの多いまたはセンシティブなパターンの近くや平行に配線しないでください。詳細については、いくつかの例があります。

- The Circuit Designer's Companion, Second Edition, (EDN Series for Design Engineers) by Tim Williams

EZ-USB[®] FX3/FX3S[™] ハードウェア設計ガイドラインと回路図のチェックリスト

- PCB Design for Real-World EMI Control (The Springer International Series in Engineering and Computer Science), by Bruce R. Archambeault and James Drewniak
- Printed Circuits Handbook (McGraw Hill Handbooks), by Clyde Coombs
- Emc and the Printed Circuit Board: Design, Theory, and Layout Made Simple, by Mark I. Montrose
- Signal Integrity Issues and Printed Circuit Board Design, by Douglas Brooks

EZ-USB[®] FX3/FX3S[™] ハードウェア設計ガイドラインと回路図のチェックリスト

文章履歴

文章のタイトル: EZ-USB[®] FX3/ FX3S[™] ハードウェア設計ガイドラインと回路図のチェックリスト

文章番号: 001-86523

| 改定歴 | ECN | 変更元 | 提出日 | 変更内容 |
|-----|---------|------|------------|---|
| ** | 3924659 | HZEN | 03/07/2013 | これは英語版 001-70707 Rev *F を翻訳した日本語版 Rev. ** です。 |

世界各国での販売および設計サポート

サイプレスオフィス、ソリューションセンター、メーカーの代表者、代理店の世界的なネットワークをもっています。お客様に最も近いオフィスを検索するには、[Cypress Locations](#) で参照してください。

製品

| | |
|--------------------------|--|
| Automotive | cypress.com/go/automotive |
| Clocks & Buffers | cypress.com/go/clocks |
| Interface | cypress.com/go/interface |
| Lighting & Power Control | cypress.com/go/powerpsoc cypress.com/go/plc |
| Memory | cypress.com/go/memory |
| PSoC | cypress.com/go/psoc |
| Touch Sensing | cypress.com/go/touch |
| USB Controllers | cypress.com/go/usb |
| Wireless/Rf | cypress.com/go/wireless |

PSoC® ソリューション

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 5LP](#)

Cypress 開発社コミュニティ

[Community](#) | [Forums](#) | [Blogs](#) | [Video](#) | [Training](#)

技術支援・サポート

cypress.com/go/support

EZ-USB はサイプレスセミコンダクタ社(Cypress Semiconductor Corp) の登録商標です。本明細書中に引用されているその他すべての商標または登録商標はそれぞれの所有者に帰属します。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

Phone : 408-943-2600
Fax : 408-943-4730
Website : www.cypress.com

Copyright © 2011-2013 Cypress Semiconductor Corporation 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporationは、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対しては一切の責任を負いません。特許又はその他の権限下で、ライセンスを譲渡又は暗示することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、又は安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすこと

EZ-USB® FX3/FX3S™ハードウェア設計ガイドラインと回路図のチェックリスト

を合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソースコード(ソフトウェア及び/又はファームウェア)はCypress Semiconductor Corporation (以下「サイプレス」)が所有し、全世界(米国及びその他の国)の特許権保護、米国の著作権法並びに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によるライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェア及び/又はカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物を複製、使用、変更、そして作成するためのライセンス、並びにサイプレスのソースコード及び派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、又は表示することは全て禁止されます。

免責条項：サイプレスは、明示的又は黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性又は特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品又は回路を適用又は使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。