

君正[®] T10

硬件设计指南

版本: 1.0

日期: 2015 年 12 月



北京君正集成电路股份有限公司
Ingenic Semiconductor Co., Ltd.

君正 T10

硬件设计指南

Copyright © Ingenic Semiconductor Co. Ltd 2015. All rights reserved.

Release history

Date	Revision	Change
2015.12	1.0	1、第一版

Disclaimer

This documentation is provided for use with Ingenic products. No license to Ingenic property rights is granted. Ingenic assumes no liability, provides no warranty either expressed or implied relating to the usage, or intellectual property right infringement except as provided for by Ingenic Terms and Conditions of Sale.

Ingenic products are not designed for and should not be used in any medical or life sustaining or supporting equipment.

All information in this document should be treated as preliminary. Ingenic may make changes to this document without notice. Anyone relying on this documentation should contact Ingenic for the current documentation and errata.

合肥君正科技有限公司

地址：安徽省合肥市高新区望江西路800号创新产业园C3楼9层

邮编：230088

电话：86-10-68995472

传真：86-551-68998701

网址：Http: [//www.ingenic.com](http://www.ingenic.com)

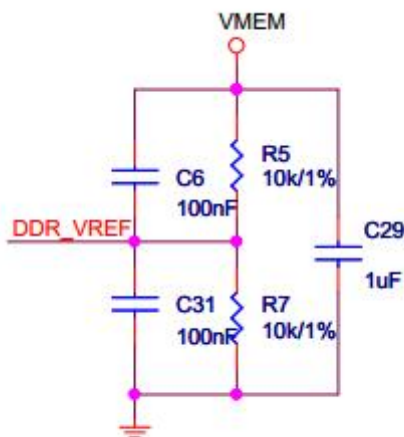
目录

1. 原理图设计注意事项	1
DDR2	1
电源	1
时钟	2
JTAG Debug 接口	2
DVP 接口	2
USB OTG	3
MAC 接口	3
SFC 接口	3
MSC 接口	3
Audio 接口	3
ADC 接口	3
EFUSE 功能	3
2. PCB 设计注意事项	4
PCB 叠层	4
布局注意事项	4
过孔的设置	4
DDR 电源和地的处理	4
铺铜的设置	4
散热设计	4
其他电源的设计	5
时钟走线	6
USB 走线	6
音频走线	6
DVP 走线	6
MAC 走线	6

1. 原理图设计注意事项

DDR2

- 1) ZQ: 接 240Ω 1%电阻到地。
- 2) VREF 做分压，从 VDDMEM 分压取得，分压电阻为 10K 1%，去耦电容 100nF。



电源

- 1) 电源的高频阻抗与电源的感应系数有关。在 VDDMEM,VDDCORE 和地之间要加多级电容滤波，譬如 10uF+0.1uF+0.01uF，可以增加电容的滤波范围，减小电源上的高频阻抗。
- 2) 如果某个模块在产品中不需要，那么电源 PIN 的滤波电容和磁珠可以省略，但是供电不可以省略。
- 3) T10 的电源划分

Symbol	Description	Min	Typical	Max	Unit
VDDMEM	VDDQ voltage for DDR PHY	1.7	1.8	1.9	V
DDRVDD	VDDQ and VDD voltage for DDR2 in T10	1.7	1.8	1.9	V
VDDIO	IO digital power for GPIO power domain	3	3.3	3.6	V
VDD_DVP	IO digital power for DVP power domain	1.62	1.8	3.6	V
VDD_CORE	VDD core voltage	0.99	1.1	1.21	V
PLL_AVDD	AVDPLL analog voltage	1.08	1.1	1.32	V
PLL_AVDDHV	PLLAVDDHV analog voltage	1.62	3.3	3.63	V
VDDEFUSE	AVDEFUSE voltage	2.25	2.5	2.75	V
RTC_VDD	VDDRTC11 voltage	0.99	1.1	1.21	V
RTC_VDDIO	VDDRTC33 voltage	1.8	3.3	3.6	V
AVDOTG	AVDOTG33 voltage	3.0	3.3	3.6	V
ADC_AVDD	ADC_AVDD voltage	3.0	3.3	3.6	V
CODEC_AVDD	CODEC_AVDD voltage	2.97	3.3	3.63	V

VDDCORE 要求供电能力不少于 1A，VDDMEM 要求供电能力不少于 1A；PLLAVDD 和

PLLAVDDHV 使用磁珠（1kΩ@100MHz）与其他相同电平电源隔离。

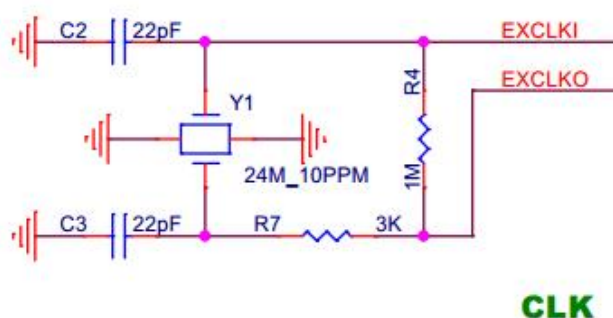
T10 的 BOOT 方式

BOOT_SEL1	BOOT_SEL0	Boot From
0	0	MMC/SD boot @ MSC0 (MMC/SD use GPIO Port B. MSC1 use GPIO Port C)
0	1	SFC boot @ CS4 (SPI boot @ SSI0)
1	0	NOR boot @ CS2 (just for FPGA testing)
1	1	USB boot @ USB 2.0 device, EXTCLK=24MHz

支持常用的SFC boot、SD boot、USB boot。

时钟

T10 需要外接一个 24MHz 工作时钟，最大偏差 30ppm。R9 作为反馈电阻需要焊接，否则晶体可能不起振，典型电路如下：



RTC 时钟需要一个 32.768K 时钟电路，同样也需要在晶体两个管脚之间并一个 10M 欧姆的反馈电阻，否则晶体可能不起振。

JTAG Debug 接口

T10 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 ICE 仿真器。TCK、TRST 分别作为 JTAG 时钟输入、复位输入，建议单板下拉；TDI、TMS、TDO 作为数据输入、模式选择输入、数据输出，建议单板上拉，下拉和上拉电阻建议采用 10K 欧姆。

DVP 接口

T10 支持 12 位的 DVP 接口，分布于 GPIO 的 PA 组 PA00~PA22，可依据如下方式对接不同 sensor：

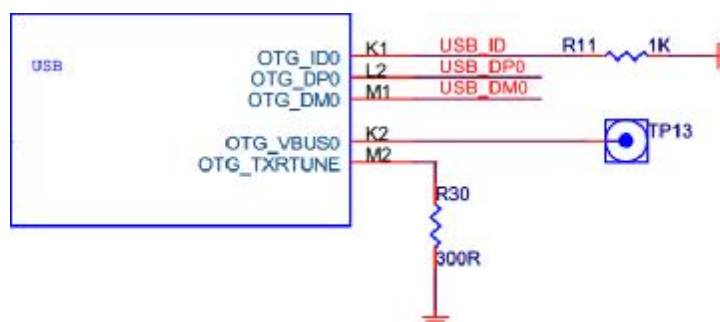
- 1) 当 sensor 是 10 位 DATA 接口时，需要从低位到高位依次连接到 PA00 到 PA09。
- 2) 当 sensor 是 12 位 DATA 接口时，需要从低位到高位依次连接到 PA00 到 PA11。
- 3) 当 sensor 是 12 位 DATA 接口时，只引出 sensor 端高 10 位时，需依次从低位到高位连接到 PA00 到 PA09。

T10 的 PA00~PA22 GPIO 电源域为 VDDIO_D，支持 IO 电压 1.8V 到 3.3V，其余 PA 组 IO 电源域为 VDDIO。当 VDDIO 为 3.3V 而 CMOS Sensor IO 电平为 1.8V 时，需要提供 1.8V 给 VDDIO_D。DVP 接口的 GPIO 分配请参考《T10 软硬件协调设计规范约定》。

值得注意的是不同厂家的 CMOS Sensor 的 IO 驱动能力不一样，设计时注意 DVP 接口是否预留阻容匹配器件。

USB OTG

当配置为 OTG_HOST 模式时，USB_ID pin 管脚需要接地，OTG_VBUS 管脚预留测点，如下图所示：



如果 USB 只用于 DEVICE 模式时，USB_ID 管脚需要拉高，VBUS pin 可做悬空处理。

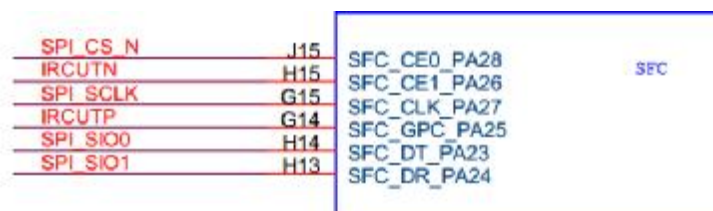
M2 管脚 OTG_TXRTUNE 接 300 欧姆 1%电阻到地，否则 OTG HOST 口连接 USB WIFI 时，MTK 7601 模组出现功能异常。

MAC 接口

T10 MAC 接口支持 10/100M 的 RMII 模式。RMII 模式所需要的 50Mhz 时钟可通过 T10 的 P10 的管脚输出；MDIO 需要接上拉电阻；MDCK、TXCK、TXD0、TXD1 和 RXCK、RXD0、RXD1 信号建议在源端串联 33 欧姆电阻，以获取更好的信号质量。

SFC 接口

T10 的 SFC 接口分布于 PA23~PA28，此接口可接 SPI NOR FLASH，接法参考如下：



MSC 接口

T10 支持两路 MSC 接口，若外接 TF 卡，使用 PB 组的 MSC0；若外接 SDIO WIFI 模组，使用 PC 组 MSC1 接口。

Audio 接口

T10 音频部分支持 1 路模拟输入和 1 路模拟输出；模拟输入支持差分模式和单端模式，当采用单端模式时，模拟输入接到 MICN 管脚。

ADC 接口

T10 支持 2 路 12 位分辨率 ADC 接口，参考电压为 ADC_VREF。

EFUSE 功能

在烧录模式下，需要提供 2.5V+/-10% 的电压给 AVDEFUSE 引脚，并且烧录时间不能超过 1s；读模式中，AVDEFUSE 的电压为 0V 或者是悬空。

2. PCB 设计注意事项

PCB 叠层

T10 为 0.65 pitch 的 181 管脚的 BGA 封装，PCB 堆叠设计可以采用 4 层结构，叠层设置为 TOP-GND-VCC-BOTTOM。TOP 层参考 L2，BOTTOM 层参考 L3。叠层结构如下图：

层	厚度
TOP	10z
PP	3(mil)
L2	10z
Core	根据板厚调整
L3	10z
PP	3(mil)
BOT	10z

布局注意事项

- 1) 满足 SMT 工艺要求。
- 2) 高热器件尽量远离热敏感器件，如 CPU 尽量布局远离于 CMOS Sensor。
- 3) 注意结构限高位置。

过孔的设置

- 1) 普通过孔采用 8mil 孔径、16mil 外环。
- 2) 地、电过孔采用 12mil 孔径、24mil 外环。
- 3) CPU 和 DDR 部分的过孔排列要合理，间距最好不小于 30mil，不能破坏地、电层的回路。

DDR 电源和地的处理

在 CPU 和 DDR 的背面，最好对应每个电源 PIN 对应放置一个去耦电容,而且过孔应该紧挨着管脚放置,走线尽量粗而短，以避免增加导线的电感。VDDMEM、DDRVDD 的平面一定要保证实际的走线宽度。换层时要打尽量多的过孔，避免成为整个平面的瓶颈。建议 POWER 层设置成 Split/Mixed，而且铺铜的线宽尽量小（譬如 2mil），可以使用铺铜效果更好。

串扰从根本上来说取决于 PCB 的叠层和最小线间距。避免串扰的最好方法是保证信号有非常好的回流路径。每个信号层都要靠近完整的地平面以提供最短的回流路径。为了保持特征阻抗一致，地平面完整是非常重要的，地平面不能被打断。在走完信号线后，剩余的空间必须用 GND 填满，而且铺铜的线宽尽量小，可以使用铺铜效果更好。

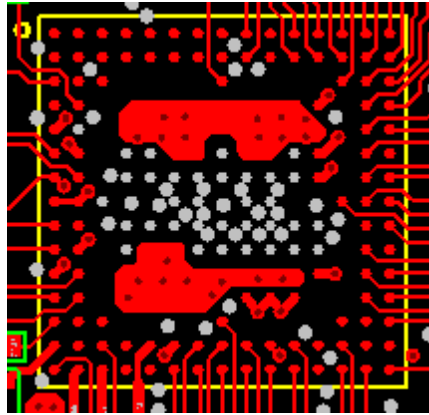
VREF 是 DDR 输入 buffer 的参考。VREF 分压电路要尽量靠近芯片，走线尽量短，建议线宽 20mil，并且与其他数据线保持 3W 以上的间距，保证不受干扰，在靠近 VREF PIN 脚的地方加 0.01uF 电容。

铺铜的设置

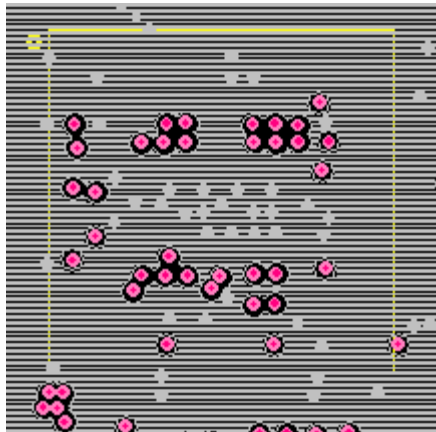
- 1) 过孔与铺铜的安全间距为 6mil。
- 2) 地、电层的铺铜线宽设置为 2mil，其他层可以设置为 4mil。

散热设计

- 1) 铜铂厚度建议采用 10Z，改善 PCB 的散热性能。
- 2) CPU 出线完毕后，在不影响电源平面完整性的前提下尽量多打一些地孔，如下图所示：



- 3) 地层一定要完整，CPU 内部的地可以有多条通路与 CPU 外侧连通。



- 4) 大电流的走线应尽量短，尽量铺铜设计，以加宽走线宽度，同时该层的厚度要求在 10Z 以上，对于内层的走线，应安排在地层的相邻层。
- 5) PCB 板边用地孔（通孔）围起来、露铜，有利壳子的金属接地及 ESD，对散热也有好处。
- 6) 在布局上，CPU 和其他发热的器件隔开一定的宽度（至少 20mm），利用壳体开口方向（如散热窗，大的连接器开口等）则使最发热的器件放在其附近，成直线放置（CPU 可以这样排布）。对几个发热器件，交叉排布，不可成行成列布局。

其他电源的设计

- 1) 电源芯片要尽量靠近 CPU 布局。
- 2) 电源芯片布局时一定要需要注意 DC/DC 输入、输出电容的位置，输入输出电容都要尽量靠近 DC/DC 的 PIN 脚，并且确保它们的地和 CPU 的地之间的距离尽量短。
- 3) CPU VDDCORE, VDDMEM, VDDPLL, VDDIO 等的滤波电容要放在尽量靠近 CPU PIN 脚的位置上。
- 4) VDDCORE, VDDMEM, VDDIO 要在电源层铺铜，而不用走线的方式。
- 5) 电源换层时都要打尽量多的过孔，避免成为电源信号的传输瓶颈。
- 6) CPU 相关电容布局：
 - 第 1 优先级: PLLAVDD, PLLAVDDHV, VDDCORE, VDDMEM, DDRVDD, VREF, VDDIO。
 - 第 2 优先级: ADC_AVDD, AVDOTG33, CODEC_AVDD, VDDIO_D。
 - 第 3 优先级: VDDRTC, VDDEFUSE。
- 7) 保证 CPU 下方铺铜（地和电源）的完整性及连续性，便于能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性；同时也可以改善的散热的性能。
- 8) 所有的接地焊盘都要就近打过孔接地层。

时钟走线

建议整板时钟走线建议上下包地，和其他信号保持 3W 原则，并串上匹配电阻以获取更好的信号质量。

USB 走线

为了保证良好的信号质量，USB2.0 端口数据信号线按照差分线方式走线。为了达到 USB 2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 1) 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，走线长度偏差控制在 $\pm 5\text{mil}$ 以内。
- 2) 差分数据线控制 $90\Omega \pm 10\%$ 的均匀差分阻抗。
- 3) 差分数据线走线尽可能在临近地平面的布线层走线且不要换层。
- 4) 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 5) 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化。
- 6) 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。
- 7) REXT 电阻应该尽可能靠近 T10 侧。

音频走线

音频部分走线时要将输入和输出的走线分开，MICP/MICN 要差分走线。并且要避免其他信号的干扰。

DVP 走线

数据线与时钟线走线长度偏差控制在 $\pm 300\text{mil}$ 以内；DVP_MCLK、DVP_PCLK、DVP_HSYNC、DVP_VSYNC 走线要保持和其他走线间距，满足 3W 要求，以免有串扰现象。

MAC 走线

由于 GMAC 信号速率较高，建议 PCB 布线设计采用以下原则以减小总线信号之间的串扰：

- 1) 避免信号走线穿越电源分割区域，保持信号参考平面完整。
- 2) 信号线长度以时钟线为基准，走线长度偏差控制在 $\pm 200\text{mil}$ 以内。
- 3) 变压器芯片正下方的地需要挖空处理。
- 4) 相邻信号走线间距保持“3W”原则。
- 5) 建议时钟信号上串联一个 33Ω 电阻以获取更好的信号质量。

PHY 端的 MDI_TP、MDI_TN、MDI_RP、MDI_RN 差分对尽量等长，走线长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 $100\Omega \pm 10\%$ 。