

Organización y Arquitectura de las Computadoras

Práctica 03: Circuitos Combinacionales

Bonilla Reyes Dafne
319089660

Medina Guzmán Sergio
314332428

1. Objetivo

El alumno aprenderá a diseñar y simular circuitos combinacionales.

2. Procedimiento

Deberás entregar un solo archivo de Logisim con las soluciones de los ejercicios, un subcircuito por cada uno y un documento con las respuestas a las preguntas planteadas y el diseño de la solución de cada ejercicio: tabla de verdad, la regla de correspondencia y los pasos de álgebra booleana o los mapas de Karnaugh utilizados para reducirla. Solamente puedes hacer uso de pines de entrada y salida y de compuertas lógicas AND, OR y NOT o transistores N y P, dependiendo del ejercicio. Recuerda etiquetar las entradas y salidas de cada uno de los subcircuitos.

3. Ejercicios

- Desarrolla un circuito que simule el comportamiento de la implicación lógica. Solo puedes hacer uso de fuentes de alimentación power y ground, transistores tipo P y N, y pines de entrada y salida.

Primero, veamos la tabla de verdad para esta fórmula.

P	Q	$P \Rightarrow Q$
1	1	1
1	0	0
0	1	1
0	0	1

Notemos que la expresión es verdadera en 3 renglones, de tal manera que nuestra regla de correspondencia será:

$$P \Rightarrow Q = PQ + \overline{P}Q + \overline{P}\overline{Q}$$

Tenemos el siguiente mapa de Karnaugh:

$\begin{array}{c} \diagup P \\ Q \end{array}$	0	1
0	1	
1	1	1

Y vemos que al reducir, la regla de correspondencia final es:

$$\overline{P} + Q$$

- Desarrolla un circuito que simule el comportamiento de la tabla de verdad del **Si y solo si** $P \Leftrightarrow Q$. Para este ejercicio solo puedes usar compuertas, como AND, OR, NAND, ect.

Primero, veamos la tabla de verdad para esta fórmula.

P	Q	$P \Leftrightarrow Q$
1	1	1
1	0	0
0	1	0
0	0	1

Notemos que la expresión es verdadera en 2 renglones, de tal manera que nuestra regla de correspondencia será:

$$P \Leftrightarrow Q = PQ + \overline{P}\overline{Q}$$

Por mapa de Karnaugh, veamos que esta fórmula ya no se puede reducir más:

		P	
		0	1
Q	0	1	0
	1	0	1

Por lo tanto, nuestra regla de correspondencia final será:

$$P \Leftrightarrow Q = PQ + \overline{P}\overline{Q}$$

- Sean $x, y \in \{0, 1, 2, 3\}$, desarrolla un comparador electrónico de 2 bits, las salidas del comparador deben ser: $x \geq y$. Para este ejercicio solo puedes usar compuertas, como AND, NOR, XOR, ect.

Primero, veamos la tabla de verdad para esta fórmula.

x		y		R
x_1	x_2	y_1	y_2	$x \geq y$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Notemos que la expresión es verdadera en 10 renglones, de tal manera que nuestra regla de correspondencia será:

$$R = \overline{x_1}\overline{x_2}\overline{y_1}\overline{y_2} + \overline{x_1}x_2\overline{y_1}\overline{y_2} + \overline{x_1}x_2\overline{y_1}y_2 + x_1\overline{x_2}\overline{y_1}\overline{y_2} + x_1\overline{x_2}\overline{y_1}y_2 + x_1\overline{x_2}y_1\overline{y_2} + x_1x_2\overline{y_1}\overline{y_2} + x_1x_2\overline{y_1}y_2 + x_1x_2y_1\overline{y_2} + x_1x_2y_1y_2$$

Por mapa de Karnaugh, veamos que esta fórmula se puede reducir más:

$x_1 \backslash x_2 \quad y_1 y_2$	00	01	11	10
00	1			
01	1	1		
11	1	1	1	1
10	1	1		1

Por lo tanto, nuestra regla de correspondencia final será:

$$R = x_1x_2 + x_1\overline{y_1} + x_1\overline{y_2} + x_2\overline{y_1} + \overline{y_1}\overline{y_2}$$

- Sean $x, y \in \{0, 1, 2, 3\}$, desarrolla un comparador electrónico de 2 bits, las salidas del comparador deben ser:
 - $x < y$
 - $x > y$
 - $x = y$

Para este ejercicio solo puedes usar compuertas, como AND, NOR, XOR, ect.

Primero, veamos la tabla de verdad para esta fórmula.

x		y		R_1	R_2	R_3
x_1	x_2	y_1	y_2	$x = y$	$x < y$	$x > y$
0	0	0	0	1	0	0
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	1	0	0
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	1	0	0
1	0	1	1	0	1	0
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	1	0	0

Para $x = y$, tenemos R_1 :

$$\overline{x_1} \overline{x_2} \overline{y_1} \overline{y_2} + \overline{x_1} x_2 \overline{y_1} y_2 + x_1 \overline{x_2} y_1 \overline{y_2} + x_1 x_2 y_1 y_2$$

Y del mapa de Karnaugh:

$x_1 x_2 \backslash y_1 y_2$	00	01	11	10
00	1			
01		1		
11			1	
10				1

Vemos que es irreducible.

En el archivo de Logisim denotaremos estas puertas AND como:

$$Ig1 = \overline{x_1} \overline{x_2} \overline{y_1} \overline{y_2}$$

$$Ig2 = \overline{x_1} x_2 \overline{y_1} y_2$$

$$Ig3 = x_1 \overline{x_2} y_1 \overline{y_2}$$

$$Ig4 = x_1 x_2 y_1 y_2$$

Para $x < y$, tenemos R_2 :

$$\overline{x_1} \overline{x_2} \overline{y_1} y_2 + \overline{x_1} \overline{x_2} y_1 \overline{y_2} + \overline{x_1} \overline{x_2} y_1 y_2 + \overline{x_1} x_2 y_1 \overline{y_2} + \overline{x_1} x_2 y_1 y_2 + x_1 \overline{x_2} y_1 y_2$$

Y del mapa de Karnaugh:

$x_1 x_2 \backslash y_1 y_2$	00	01	11	10
00		1	1	1
01			1	1
11				
10			1	

Vemos que se puede reducir a:

$$\overline{x_1} \overline{x_2} \overline{y_1} y_2 + x_1 \overline{x_2} y_1 y_2 + \overline{x_1} y_1$$

En el archivo de Logisim denotaremos estas puertas AND como:

$$Me1 = \overline{x_1} \overline{x_2} \overline{y_1} y_2$$

$$Me2 = x_1 \overline{x_2} y_1 y_2$$

$$Me3 = \overline{x_1} y_1$$

Para $x > y$, tenemos R_1 :

$$\overline{x_1} x_2 \overline{y_1} \overline{y_2} + x_1 \overline{x_2} \overline{y_1} \overline{y_2} + x_1 \overline{x_2} \overline{y_1} y_2 + x_1 x_2 \overline{y_1} \overline{y_2} + x_1 x_2 \overline{y_1} y_2 + x_1 x_2 y_1 \overline{y_2}$$

Y del mapa de Karnaugh: Vemos que se puede reducir a:

$x_1 \backslash x_2 \begin{matrix} y_1 & y_2 \end{matrix}$	00	01	11	10
00				
01	1			
11	1	1		1
10	1	1		

$$\overline{x_1} x_2 \overline{y_1} \overline{y_2} + x_1 x_2 y_1 \overline{y_2} + x_1 \overline{y_1}$$

En el archivo de Logisim denotaremos estas puertas AND como:

$$Ma1 = \overline{x_1} x_2 \overline{y_1} \overline{y_2}$$

$$Ma2 = x_1 x_2 y_1 \overline{y_2}$$

$$Ma3 = x_1 \overline{y_1}$$

4. Preguntas

- ¿Cuál es la diferencia entre un transistor P y uno N?

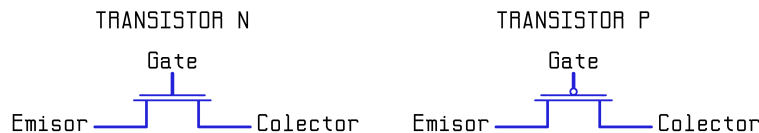
La principal diferencia entre estos dos transistores es que en el transistor N, el flujo de corriente estará entre el colector y el terminal del emisor una vez que se proporcione el suministro positivo al terminal gate del transistor, mientras que en el transistor P, el portador de carga suministra desde el terminal emisor al colector una vez que se proporciona un suministro negativo al terminal base.

Otras diferencias importantes entre estos transistores:

- El tiempo de conmutación del transistor N es más rápido.
- La señal de tierra del transistor P es alta, mientras que la del transistor N es baja.
- El transistor N se activará cuando la mayoría de los portadores de carga, como los electrones, entren en la terminal base.
- En el transistor P, la terminal del emisor es una terminal de voltaje positivo.

- ¿Cuáles son las partes de un transistor?

Un transistor se compone de tres partes: La gate o base, el emisor y el colector.



1. *Gate*: La gate es la capa intermedia entre el colector y el emisor. La gate controla el flujo de electrones del colector al emisor. Está hecho de un material que es fácilmente conductor de la electricidad, como el silicio.
2. *Emisor*: El colector es la capa inferior del transistor. Está hecho de un material que no es fácilmente conductor de la electricidad, como el aluminio. El colector recoge los electrones de la base y los lleva al emisor.
3. *Colector*: El emisor es la capa superior del transistor. Está hecho de un material que no es fácilmente conductor de la electricidad, como el aluminio. El emisor emite electrones desde el colector para crear una corriente eléctrica.

3. ¿Por qué se dice que los mapas de Karnaugh **no** nos dan una garantía de que **siempre** nos van a devolver la expresión mínima de la función?

Los mapas de Karnaugh no siempre garantizan que la expresión resultante de la función sea la mínima expresión posible, entre varios factores, principalmente porque la solución depende del agrupamiento que se haga en el mapa de Karnaugh.

Para algunas funciones, es posible que no haya una única solución mínima, lo que significa que diferentes agrupamientos pueden producir diferentes expresiones equivalentes. En estos casos, el mapa de Karnaugh puede proporcionar una solución simplificada, pero no necesariamente la expresión más simple.

Además, en algunas situaciones, la función lógica puede tener características que dificultan la simplificación utilizando el mapa de Karnaugh. Por ejemplo, puede haber patrones en los cuales los unos y ceros están dispersos en el mapa de Karnaugh, lo que hace que sea difícil encontrar grupos adyacentes de cuadrados o rectángulos para simplificar la expresión booleana.

Es decir, la solución de una mapa de Karnaugh es no determinista, por lo que la solución obtenida a partir de este es completamente dependiente a el orden del mapa y a la forma de agrupar términos. Por lo tanto, los mapas de Karnaugh no siempre garantizan que la expresión resultante sea la mínima expresión posible.

4. ¿Cuál es el procedimiento a seguir para desarrollar un circuito que resuelva un problema que involucre lógica combinacional?

- a) Se obtiene la fórmula que representa la salida del problema o que modela al problema.
- b) Se calcula la tabla de verdad, que dependerá de el número de entradas del problema. Se calculará entonces con qué entradas la salida es verdadera.
- c) Se modela con álgebra booleana la suma de productos que generan que la salida sea verdadera.
- d) Se minimiza por medio de mapas de Karnaugh, o, también con el método de Quine–McCluskey, lo que nos ayudará a minimizar los circuitos.
- e) Una vez teniendo la forma minimizada del circuito, se construye con los transistores, puertas lógicas, o demás, que sea pertinente.

5. Si una función de conmutación se evalúa a más ceros que unos, ¿es conveniente usar minterminos o maxterminos? ¿En el caso de que se evalúe a más unos que ceros?

Si se evalúa a más ceros que unos, se usan maxtérminos, pues son la suma de las combinaciones de las variables que hacen que la función evalúe a cero; cuando una función evalúa a más ceros que unos, buscamos que haya menos términos en los maxtérminos que en los mintérminos para facilitar la simplificación.

Si se evalúa a más unos que ceros, se usa mintérminos, pues son el producto de todas las variables que hacen que la función evalúe a uno; por lo que esperamos que haya menos términos en los mintérminos que en los maxtérminos para facilitar la simplificación.

6. Analizando el trabajo realizado, ¿cuáles son los inconvenientes de desarrollar los circuitos de forma manual?

- a) La minimización manual no será necesariamente una expresión mínima.
- b) Es una tarea bastante exhaustiva, además de que nos basamos en un método visual, que no necesariamente será preciso y puede ser altamente sujeto a errores.
- c) La complejidad del problema incrementa muy rápido a medida que incrementan las variables involucradas, los mapas de Karnaugh son útiles minimizando circuitos con hasta 6 variables, aproximadamente, antes de que comiencen a ser realmente complicados.