

# Приложение Platform Designer

# Приложение Platform Designer

## Часть 3

Интерфейсы и компоненты  
шины Avalon-MM

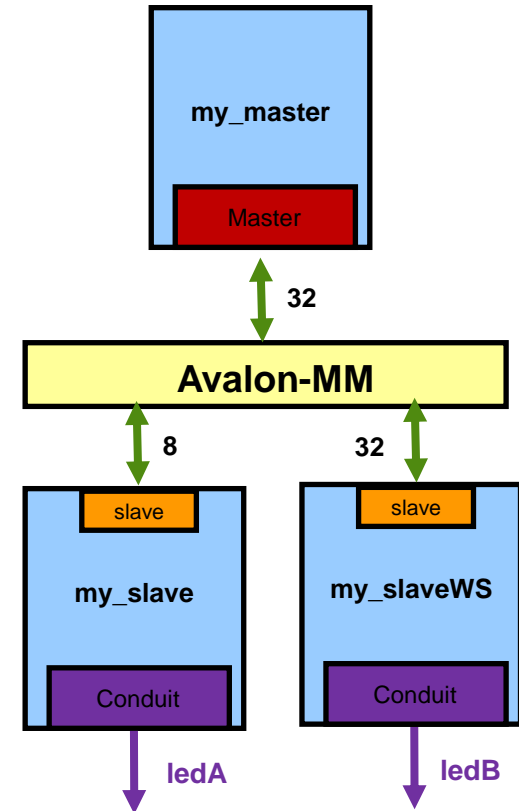


# *Лабораторная 3*

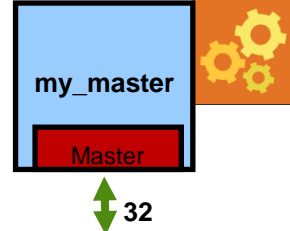


# Структура проекта

- Ведущий осуществляет запись словами по 32 бита
- Ведомый my\_slave – 8 разрядный.
  - Один цикл записи 32 разрядного слова от Ведущего будет преобразован системой соединений в 4 цикла записи 8 разрядными словами (на время этих четырёх циклов Ведущий будет приостановлен – он получит сигнал waitrequest от системы соединений).
- Ведомый my\_slaveWS – 32 разрядный. Он, по получению от Ведущего сигнала write, выставляет (на один период тактового сигнала) сигнал waitrequest – приостанавливает Ведущего на один период тактового сигнала. Затем осуществляет запись данных.



# Структура проекта: my\_master

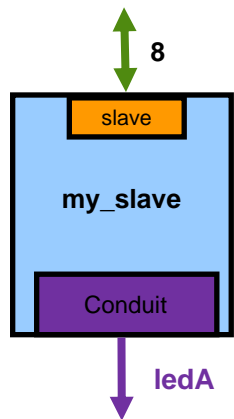


```
1 `timescale 1 ns / 1 ns
2 module my_master #(
3     parameter [31:0] address_1 = 0, parameter [31:0] data_1 = 1,
4     parameter [31:0] address_2 = 1, parameter [31:0] data_2 = 16383
5 ) (
6     // clock and reset
7     input bit      csi_clk,           // clock clk
8     input bit      rsi_reset,         // reset reset
9     // MM Master
10    output bit [31:0] avm_m0_address,  // MM Master address
11    output bit      avm_m0_write,     // MM Master write
12    output bit [31:0] avm_m0_writedata, // MM Master writedata
13    input bit      avm_m0_waitrequest // MM Master waitrequest
14 );
15 typedef enum bit[2:0] {initSM, del1, wr1D, del2, wr2D, ended } fsm_type;
16 fsm_type fsm_MM;
17
18 always_ff @ (posedge csi_clk)
19 if (rsi_reset) fsm_MM <= initSM;
20 else
21     case (fsm_MM)
22     initSM : fsm_MM <= del1;
23     del1   : fsm_MM <= wr1D;
24     wr1D   : if (avm_m0_waitrequest) fsm_MM <= wr1D;
25             else fsm_MM <= del2;
26     del2   : fsm_MM <= wr2D;
27     wr2D   : if (avm_m0_waitrequest) fsm_MM <= wr2D;
```

```
27 wr2D : if (avm_m0_waitrequest) fsm_MM <= wr2D;
28       else fsm_MM <= ended;
29 ended : fsm_MM <= ended;
30
31 endcase
32 always_comb
33 begin
34     case (fsm_MM)
35     wr1D:
36     begin
37         avm_m0_address = address_1;
38         avm_m0_write   = 1'd1;
39         avm_m0_writedata = data_1;
40     end
41     wr2D:
42     begin
43         avm_m0_address = address_2;
44         avm_m0_write   = 1'd1;
45         avm_m0_writedata = data_2;
46     end
47     default
48     begin
49         avm_m0_address = 32'd255;
50         avm_m0_write   = 1'd0;
51         avm_m0_writedata = 32'd255;
52     end
53 endcase
54 end
55 endmodule
```



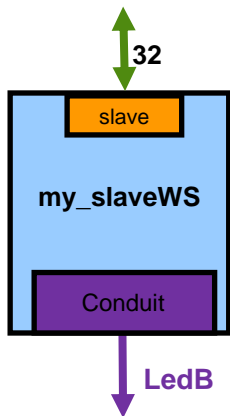
# Структура проекта: my\_slave



```
1  `timescale 1 ns / 1 ns
2  module my_slave (
3      // clock and reset
4      input bit          csi_clk,          // clock
5      input bit          rsi_reset,        // reset
6      // MM Slave
7      input bit [7:0]    avs_s0_writedata, // MM Slave writedata
8      input bit          avs_s0_write,     // MM Slave write
9      output bit         avs_s0_waitrequest, // MM Slave waitrequest
10     //Conduit
11     output bit [7:0]    coe_s0_Dout
12 );
13
14 assign avs_s0_waitrequest = 1'b0;
15
16 always_ff @(posedge csi_clk)
17     if (rsi_reset)      coe_s0_Dout <= 8'd0;
18     else if (avs_s0_write) coe_s0_Dout <= avs_s0_writedata;
19 endmodule
```



# Структура проекта: my\_slaveWS



```
1  `timescale 1 ns / 1 ns
2  module my_slaveWS (
3      input bit          csi_clk,
4      input bit          rsi_reset,
5      input bit [31:0]   avs_s0_writedata,
6      input bit          avs_s0_write,
7      output bit [31:0]  coe_s0_Dout,
8      output bit         avs_s0_waitrequest);
9
10     bit temp_write;
11
12     always_ff @(posedge csi_clk)
13         if (rsi_reset) temp_write <= '0;
14         else temp_write <= avs_s0_write;
15
16     assign avs_s0_waitrequest = avs_s0_write & ~temp_write;
17
18     always_ff @(posedge csi_clk)
19         if (rsi_reset) coe_s0_Dout <= 32'd0;
20         else if (avs_s0_write) coe_s0_Dout <= avs_s0_writedata;
21 endmodule
```



# В QP создайте проект

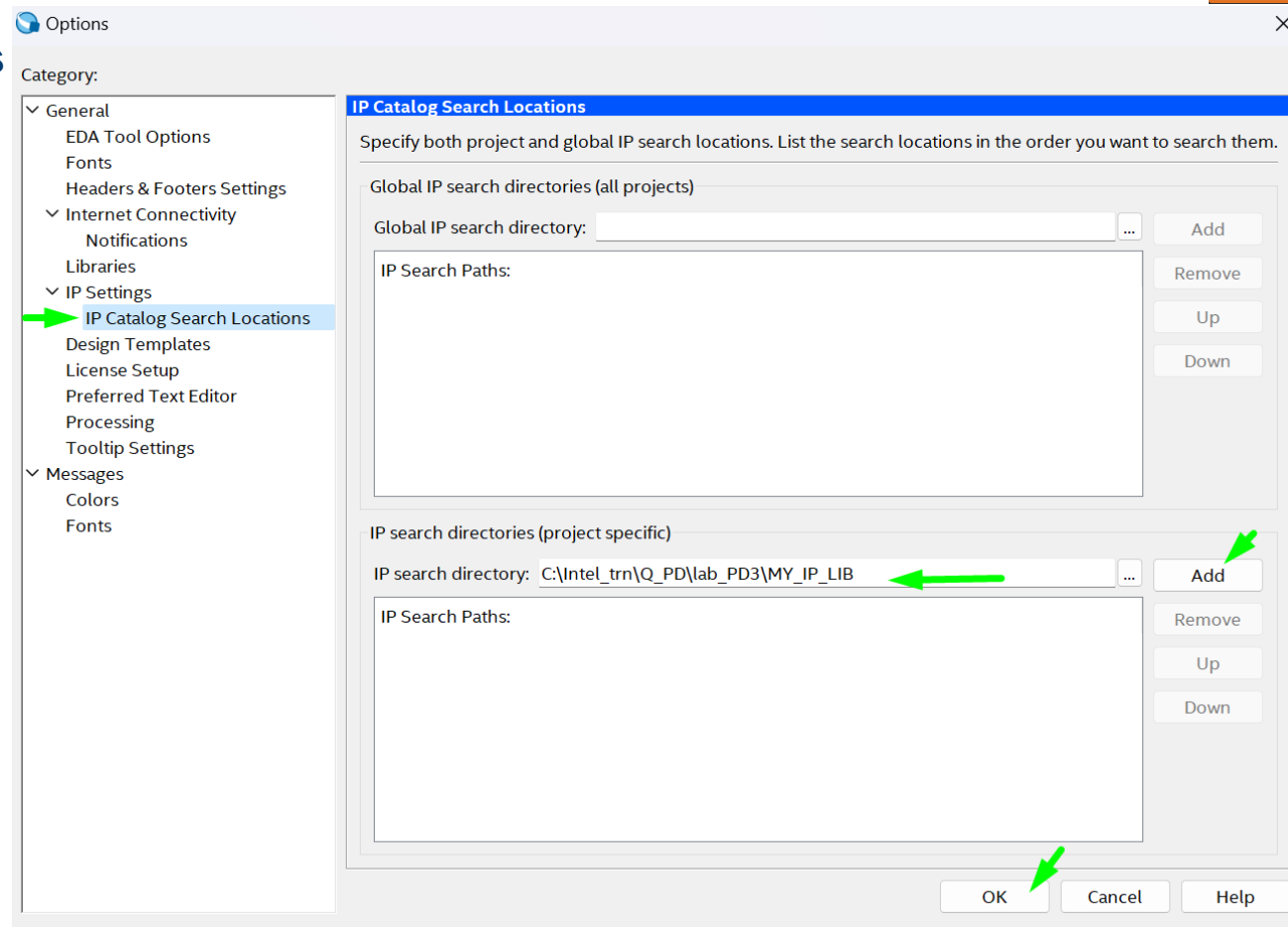
- **Рабочая папка:** C:\Intel\_trn\Q\_PD\lab\_PD3
- **Имя проекта:** lab\_PD3
- **Модуль верхнего уровня:** lab\_PD3
- **Тип проекта:** Empty Project
- **Файлы не добавляются**
- **Микросхема:** может быть любой
  - Плата DE1-SOC                - 5CSEMA5F31C6N
  - Плата SoC Kit                - 5CSXFC6D6F31
  - Плата MAX10\_NEEK        - 10M50DAF484C6G
  - Плата miniDilabCIV (**выбирается по умолчанию**) - EP4CE6E22C8
  - Плата DE0-nano            - EP4CE22F17C6
- **EDA Tool Settings:** Simulation => ModelSim Altera Starter Edition=> SystemVerilog






# В QP задайте путь к библиотеке IP

- Команда: Tools=>Options





# В QP запустите приложение PD

- **Команда:** Tools => Platform Designer или иконка 
- **В PD:** сохраните систему под именем **lab\_PD3.qsys** в рабочей папке проекта
- Убедитесь, что Ваша система выглядит так же, как показано на рисунке ниже

Qsys: lab\_PD3.qsys (C:\Intel\_trn\Q\_PD\lab\_PD3\lab\_PD3.qsys)

File Edit System Generate View Tools Help

IP Catalog System Contents Address Map Interconnect Requirements

System: lab\_PD3

Use	Co...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clk_0	Clock Source		
		clk_in	Clock Input		
		clk_in_reset	Reset Input		
		clk	Clock Output		
		clk_reset	Reset Output		
				clk reset <i>Double-click to Double-click to</i>	exported clk_0

Hierarch Device Fan

lab\_PD3 [lab\_PD3.qsys]

- clk
- reset
- clk\_0



# Добавьте компоненты к системе

*В появляющемся окне настройки каждого компонента нажмите Finish не изменяя настройки компонента - настройка компонентов будет осуществлена после их добавления к системе*

- my\_master
- my\_slave
- my\_slaveWS

При добавлении компонентов на закладке Messages будут появляться сообщения об ошибках. На данном этапе на них можно не обращать внимание.



# Переименуйте компоненты и проверьте систему

- Переименуйте компоненты:
  - `clk_ => clk`
  - `my_master_0 => my_master`
  - `my_slave_0 => my_slave`
  - `my_slaveWS_0 => my_slaveWS`
- Убедитесь в том, что Ваша система выглядит так же, как представленная на рисунке
- Сохраните файл.

Use	Connec...	Name	Description	Export	Clock	Base
✓		<b>clk</b>	Clock Source			
		clk_in	Clock Input	<b>clk</b>	<b>exported</b>	
		clk_in_reset	Reset Input	<b>reset</b>	[clk_in]	
		clk	Clock Output	Double-click to	clk	
		clk_reset	Reset Output	Double-click to		
✓		<b>my_master</b>	my_master			
		clock	Clock Input	Double-click to	<b>unconnect</b>	
		reset	Reset Input	Double-click to	[clock]	
		m0	Avalon Memory Mapped ...	Double-click to	[clock]	
✓		<b>my_slave</b>	my_slave			
		clock	Clock Input	Double-click to	<b>unconnect</b>	
		reset	Reset Input	Double-click to	[clock]	
		s0	Avalon Memory Mapped ...	Double-click to	[clock]	
		conduit_end_0	Conduit	Double-click to	[clock]	
✓		<b>my_slaveWS</b>	my_slaveWS			
		clock	Clock Input	Double-click to	<b>unconnect</b>	
		reset	Reset Input	Double-click to	[clock]	
		s0	Avalon Memory Mapped ...	Double-click to	[clock]	
		conduit_end_0	Conduit	Double-click to	[clock]	

Current filter: None


Type	Path	Message
✗	6 Errors	



# Настройка компонента **clk**

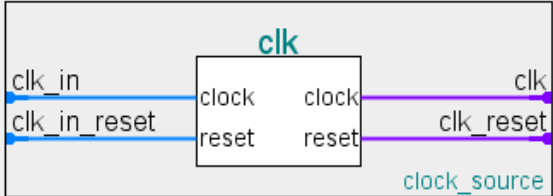
- Щелчком выберите **clk**
- Нажмите правую клавишу мыши и выберите команду **Edit**
- В появившемся окне задайте **Reset synchronous edges = Deassert**

Clock Source - clk

 Clock Source  
clock\_source

**Block Diagram**

☐ Show signals



**Parameters**

Clock frequency: 50000000 Hz

☒ Clock frequency is known

Reset synchronous edges: Deassert ▾



# Подключите тактовый сигнал

- На закладке System Contents щелчком выделите интерфейс **clk.clk** (интерфейс clk компонента clk)
- Выполните команду меню View=>Connections
- В появившемся окне закладки Connections выберите подключение ко всем тактовым входам
- Переключитесь на закладку System Contents
- Нажмите правую клавишу мыши
- Выберите команду Filter=>Clock and Reset Interfaces
- Убедитесь, что соединения выполнены -  
Ваша система выглядит так же, как представленная на рисунке

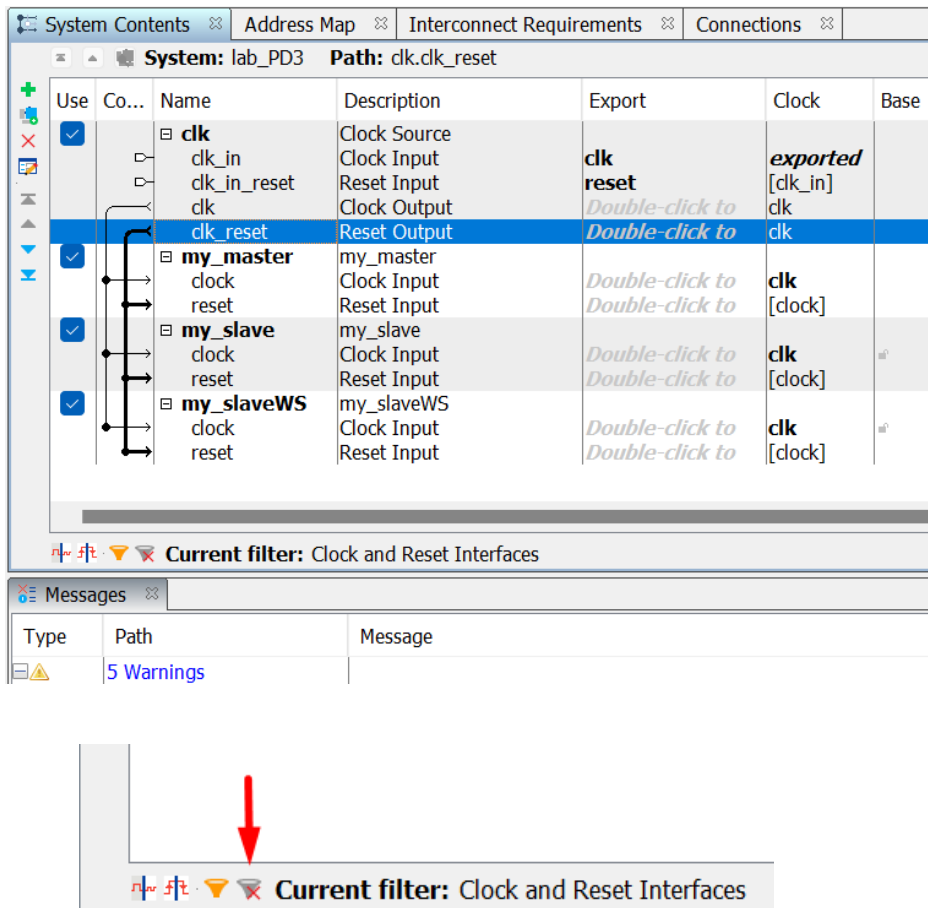
System: lab_PD3 Path: clk.clk	
Connected to: clk.clk	
Connected	Connection
<input checked="" type="checkbox"/>	clk.clk/my_master.clock
<input checked="" type="checkbox"/>	clk.clk/my_slave.clock
<input checked="" type="checkbox"/>	clk.clk/my_slaveWS.clock

System: lab_PD3 Path: clk.clk					
Use	Co...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clk	Clock Source		
	<input type="checkbox"/>	clk_in	Clock Input	clk	<i>exported</i>
	<input type="checkbox"/>	clk_in_reset	Reset Input	reset	[clk_in]
	<input checked="" type="checkbox"/>	clk	Clock Output	<i>Double-click to</i>	clk
	<input checked="" type="checkbox"/>	clk_reset	Reset Output	<i>Double-click to</i>	clk
	<input checked="" type="checkbox"/>	my_master	my_master	<i>Double-click to</i>	clk
	<input type="checkbox"/>	clock	Clock Input	<i>Double-click to</i>	[clock]
	<input type="checkbox"/>	reset	Reset Input	<i>Double-click to</i>	
	<input checked="" type="checkbox"/>	my_slave	my_slave	<i>Double-click to</i>	clk
	<input type="checkbox"/>	clock	Clock Input	<i>Double-click to</i>	[clock]
	<input type="checkbox"/>	reset	Reset Input	<i>Double-click to</i>	
	<input checked="" type="checkbox"/>	my_slaveWS	my_slaveWS	<i>Double-click to</i>	clk
	<input type="checkbox"/>	clock	Clock Input	<i>Double-click to</i>	[clock]
	<input type="checkbox"/>	reset	Reset Input	<i>Double-click to</i>	



# Подключите сигнал Reset

- На закладке System Contents выполните команду меню System=>Create Global Reset Network
- Убедитесь, что соединения выполнены - Ваша система выглядит так же, как представленная на рисунке
- Сбросьте фильтрацию – нажмите на иконку  в нижней части окна System Contents
- Сохраните файл



Use	Co...	Name	Description	Export	Clock	Base
<input checked="" type="checkbox"/>		clk	Clock Source			
<input checked="" type="checkbox"/>		clk_in	Clock Input	clk	exported	
<input checked="" type="checkbox"/>		clk_in_reset	Reset Input	reset	[clk_in]	
<input checked="" type="checkbox"/>		clk	Clock Output		clk	
<input checked="" type="checkbox"/>		clk_reset	Reset Output		clk	
<input checked="" type="checkbox"/>		my_master	my_master		clk	
<input checked="" type="checkbox"/>		clock	Clock Input		[clock]	
<input checked="" type="checkbox"/>		reset	Reset Input			
<input checked="" type="checkbox"/>		my_slave	my_slave		clk	
<input checked="" type="checkbox"/>		clock	Clock Input		[clock]	
<input checked="" type="checkbox"/>		reset	Reset Input			
<input checked="" type="checkbox"/>		my_slaveWS	my_slaveWS		clk	
<input checked="" type="checkbox"/>		clock	Clock Input		[clock]	
<input checked="" type="checkbox"/>		reset	Reset Input			

Current filter: Clock and Reset Interfaces

5 Warnings



# Подключите Avalon-MM интерфейсы

- На закладке System Contents щелчком выделите интерфейс **my\_master.m0**
- Нажмите правую клавишу мыши
- Выберите команду **Filter=> Avalon-MM Interfaces**
- В столбце Connections выполните подключения так, как показано на рисунке
- Сохраните файл

System Contents | Address Map | Interconnect Requirements | Connections

System: lab\_PD3 Path: my\_master.m0

Use	Name	Description	Export	Clock	Base	End
<input checked="" type="checkbox"/>	<b>my_master</b>	my_master		[clock]		
<input checked="" type="checkbox"/>	m0	Avalon Memory Mapped ...	Double-click to	clk		
<input checked="" type="checkbox"/>	<b>my_slave</b>	my_slave		[clock]		
<input checked="" type="checkbox"/>	s0	Avalon Memory Mapped ...	Double-click to	clk	0x0000_0000	0x0000_0000
<input checked="" type="checkbox"/>	<b>my_slaveWS</b>	my_slaveWS		[clock]		
<input checked="" type="checkbox"/>	s0	Avalon Memory Mapped ...	Double-click to	clk	0x0000_0000	0x0000_0003

Current filter: Avalon-MM Interfaces

Messages

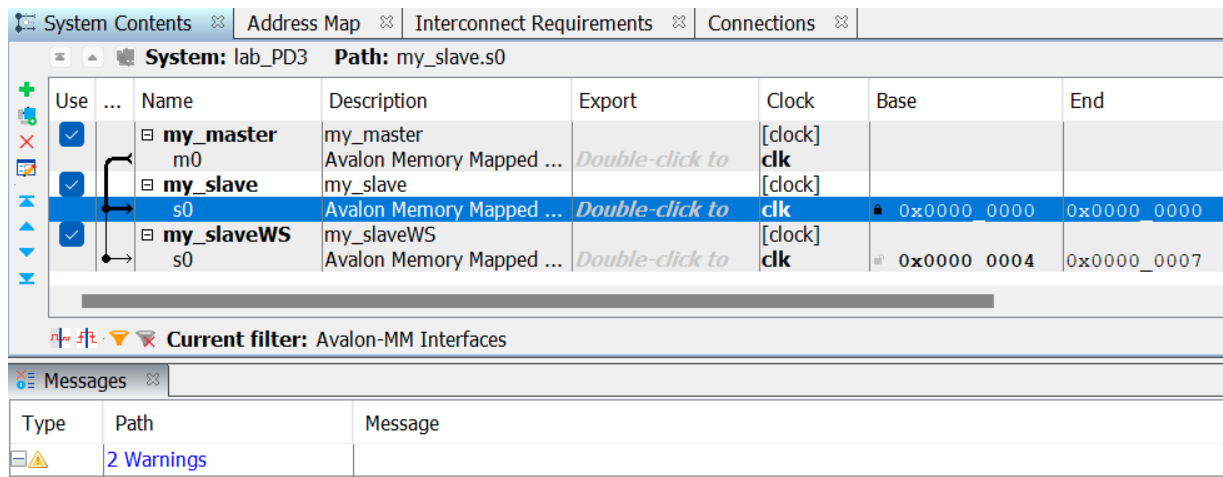
Type	Path	Message
1 Error		
	lab_PD3.my_master.m0	my_slaveWS.s0 (0x0..0x3) overlaps my_slave.s0 (0x0..0x0)








# Назначьте базовые адреса ведомым Avalon-MM

- Компоненту `my_slave.s0` назначьте базовый адрес = 0
  - Дважды щелкните в поле **Base** адрес и введите 0
  - Зафиксируйте адрес – нажмите на символ 
- Выберите команду меню **System=> Assign Base Addresses**
- Убедитесь, что адреса назначены правильно: Ваша система выглядит так же, как представленная на рисунке



Use	...	Name	Description	Export	Clock	Base	End
<input checked="" type="checkbox"/>		<b>my_master</b> m0	my_master Avalon Memory Mapped ...	<i>Double-click to</i>	[clock] clk		
<input checked="" type="checkbox"/>		<b>my_slave</b> s0	my_slave Avalon Memory Mapped ...	<i>Double-click to</i>	[clock] clk	 0x0000_0000	0x0000_0000
<input checked="" type="checkbox"/>		<b>my_slaveWS</b> s0	my_slaveWS Avalon Memory Mapped ...	<i>Double-click to</i>	[clock] clk	 0x0000_0004	0x0000_0007

Current filter: Avalon-MM Interfaces

Type	Path	Message
	2 Warnings	

- Сохраните файл

- Сбросьте фильтрацию – нажмите на иконку  в нижней части окна System Contents



# Экспортируйте выводы

- На закладке System Contents щелчком выделите интерфейс **my\_slave.conduit\_end\_0**

- Дважды щелкните в поле Export и задайте имя **dout\_a**

- На закладке System Contents щелчком выделите интерфейс **my\_slaveWS.conduit\_end\_0**

- Дважды щелкните в поле Export и задайте имя **dout\_b**

- Сохраните файл

System: lab\_PD3 Path: my\_slave.conduit\_end\_0

Use	Connec...	Name	Description	Export	Clock	Base	End
<input checked="" type="checkbox"/>		<b>clk</b>	Clock Source	<b>clk</b>	<b>exported</b>		
<input checked="" type="checkbox"/>		clk_in	Clock Input	reset	[clk_in]		
<input checked="" type="checkbox"/>		clk_in_reset	Reset Input	clk	clk		
<input checked="" type="checkbox"/>		clk	Clock Output				
<input checked="" type="checkbox"/>		clk_reset	Reset Output				
<input checked="" type="checkbox"/>		<b>my_master</b>	my_master				
<input checked="" type="checkbox"/>		clock	Clock Input		clk		
<input checked="" type="checkbox"/>		reset	Reset Input		[clock]		
<input checked="" type="checkbox"/>		m0	Avalon Memory Mapped ...		[clock]		
<input checked="" type="checkbox"/>		<b>my_slave</b>	my_slave				
<input checked="" type="checkbox"/>		clock	Clock Input		clk		
<input checked="" type="checkbox"/>		reset	Reset Input		[clock]		
<input checked="" type="checkbox"/>		s0	Avalon Memory Mapped ...		[clock]	0x0000_0000	0x0000_0000
<input checked="" type="checkbox"/>		<b>conduit_end_0</b>	Conduit	<b>dout_a</b>	[clock]		
<input checked="" type="checkbox"/>		<b>my_slaveWS</b>	my_slaveWS				
<input checked="" type="checkbox"/>		clock	Clock Input		clk		
<input checked="" type="checkbox"/>		reset	Reset Input		[clock]		
<input checked="" type="checkbox"/>		s0	Avalon Memory Mapped ...		[clock]	0x0000_0004	0x0000_0007
<input checked="" type="checkbox"/>		<b>conduit_end_0</b>	Conduit	<b>dout_b</b>	[clock]		

Current filter: All Interfaces

Messages

Type	Path	Message
------	------	---------



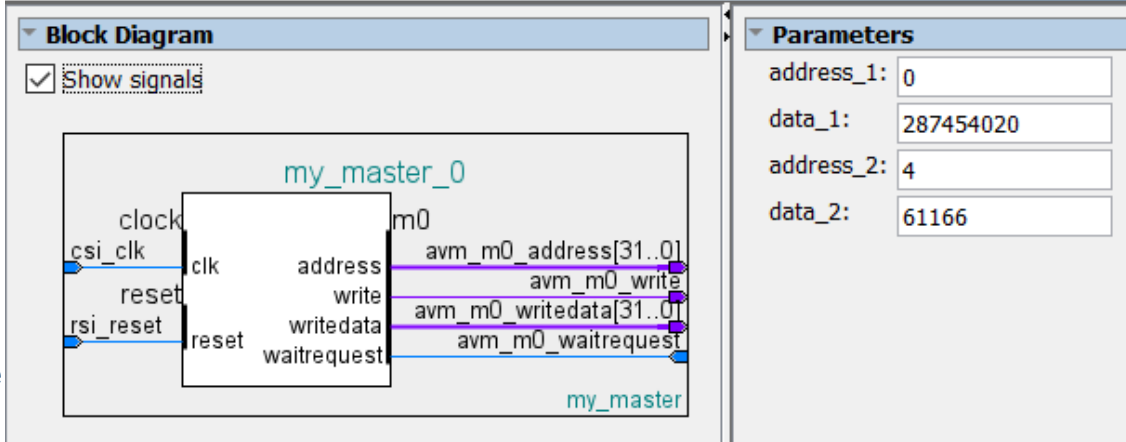
# Настройка компонента my\_master

- Щелчком выберите **my\_master**
- Нажмите правую клавишу мыши и выберите команду **Edit**
- В появившемся окне задайте
  - **address\_1:** = 0
  - **data\_1:** = 287454020
    - Что соответствует 32'h11223344
  - **address\_2:** = 4
  - **data\_2:** = 61166
    - Что соответствует 32'h0000eeee
- Нажмите кнопку **Finish**
- Сохраните файл

my\_master - my\_master\_0



my\_master  
my\_master





# Проверьте систему

- Убедитесь в том, что
  - Ваша система выглядит так же, как представленная на рисунке
  - Закладка сообщений (Messages) не содержит сообщений.

System: lab\_PD3 Path: clk

Use	Connec...	Name	Description	Export	Clock	Base	End
<input checked="" type="checkbox"/>		<b>clk</b>	Clock Source				
		clk_in	Clock Input	<b>clk</b>	<b>exported</b>		
		clk_in_reset	Reset Input	<b>reset</b>	[clk_in]		
		clk	Clock Output	<i>Double-click to</i>	clk		
		clk_reset	Reset Output	<i>Double-click to</i>	clk		
<input checked="" type="checkbox"/>		<b>my_master</b>	my_master				
		clock	Clock Input	<i>Double-click to</i>	<b>clk</b>		
		reset	Reset Input	<i>Double-click to</i>	[clock]		
		m0	Avalon Memory Mapped ...	<i>Double-click to</i>	[clock]		
<input checked="" type="checkbox"/>		<b>my_slave</b>	my_slave				
		clock	Clock Input	<i>Double-click to</i>	<b>clk</b>		
		reset	Reset Input	<i>Double-click to</i>	[clock]		
		s0	Avalon Memory Mapped ...	<i>Double-click to</i>	[clock]		
		conduit_end_0	Conduit	<i>Double-click to</i>	[clock]	0x0000_0000	0x0000_0000
<input checked="" type="checkbox"/>		<b>my_slaveWS</b>	my_slaveWS				
		clock	Clock Input	<i>Double-click to</i>	<b>clk</b>		
		reset	Reset Input	<i>Double-click to</i>	[clock]		
		s0	Avalon Memory Mapped ...	<i>Double-click to</i>	[clock]	0x0000_0004	0x0000_0007
		conduit_end_0	Conduit	<i>Double-click to</i>	[clock]		

Current filter: All Interfaces

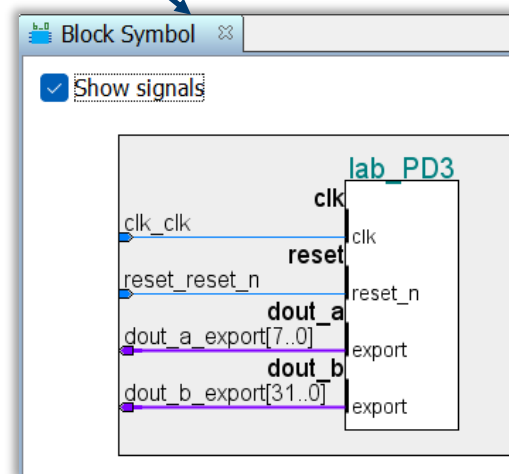
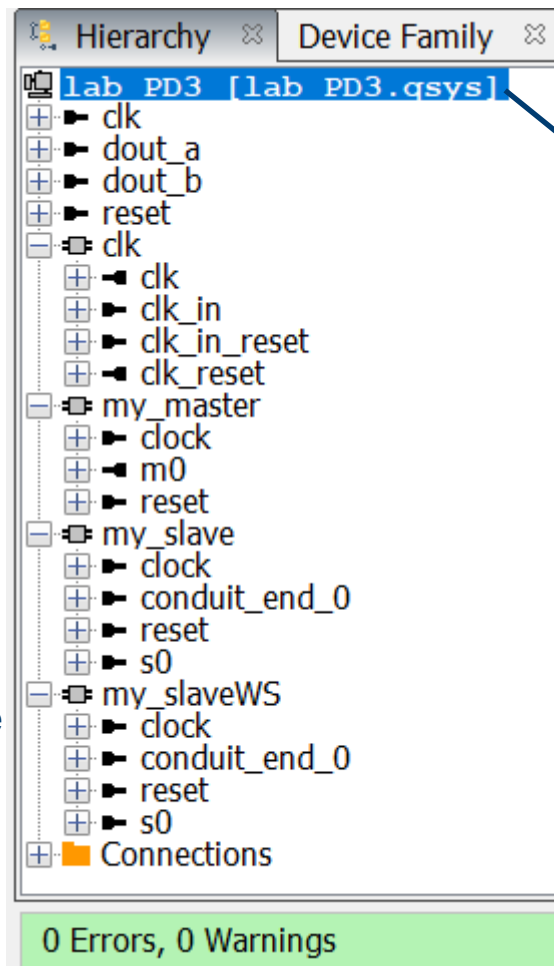
Messages

Type	Path	Message
------	------	---------



# Анализ системы

- Выполните команду: меню View=>Hierarchy
- В окне закладки Hierarchy выделите систему lab\_PD3\_sys [lab\_PD3\_sys.qsys]
- Выполните команду: меню View=>Block Symbol
- Убедитесь, что Ваш символ системы соответствует представленному на рисунке

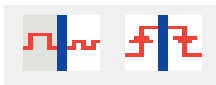




# Анализ системы

- Выполните команду: меню **View => Clock domains Beta**

- Выберите режим отображения Clocks



Clocks Resets

- Убедитесь в том, что в столбце Connections нет красных точек => нет проблем подключения

System Contents | Address Map | Interconnect Requirements | Connections

System: lab\_PD3

Use	Connec...	Name	Description	Export	Clock	Base	End
<input checked="" type="checkbox"/>		<b>clk</b>	Clock Source				
		clk_in	Clock Input	clk	<i>exported</i>		
		clk_in_reset	Reset Input	reset	[clk_in]		
		clk	Clock Output	Double-click to	clk		
		clk_reset	Reset Output	Double-click to			
<input checked="" type="checkbox"/>		<b>my_master</b>	my_master				
		clock	Clock Input	Double-click to	clk		
		reset	Reset Input	Double-click to	[clock]		
		m0	Avalon Memory Mapped ...	Double-click to	[clock]		
<input checked="" type="checkbox"/>		<b>my_slave</b>	my_slave				
		clock	Clock Input	Double-click to	clk		
		reset	Reset Input	Double-click to	[clock]		
		s0	Avalon Memory Mapped ...	Double-click to	[clock]	0x0000_0000	0x0000_0000
		conduit_end_0	Conduit	dout_a	[clock]		
<input checked="" type="checkbox"/>		<b>my_slaveWS</b>	my_slaveWS				
		clock	Clock Input	Double-click to	clk		
		reset	Reset Input	Double-click to	[clock]		
		s0	Avalon Memory Mapped ...	Double-click to	[clock]	0x0000_0004	0x0000_0007
		conduit_end_0	Conduit	dout_b	[clock]		

Current filter: All Interfaces



# Анализ системы



Clocks Resets

- Выберите режим отображения Reset
- Убедитесь в том, что в столбце Connections нет красных точек => нет проблем подключения
- Отключите фильтр reset – щелкните по нему один раз.

System: lab_PD3					
Use	Connec...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		<input type="checkbox"/> <b>clk</b>	Clock Source		
		<input type="checkbox"/> clk_in	Clock Input	<b>clk</b>	<b>exported</b>
		<input type="checkbox"/> clk_in_reset	Reset Input	<b>reset</b>	[clk_in]
		<input type="checkbox"/> clk	Clock Output	<i>Double-click to</i>	clk
		<input type="checkbox"/> clk_reset	Reset Output	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		<input type="checkbox"/> <b>my_master</b>	my_master		
		<input type="checkbox"/> clock	Clock Input	<i>Double-click to</i>	<b>clk</b>
		<input type="checkbox"/> reset	Reset Input	<i>Double-click to</i>	[clock]
		<input type="checkbox"/> m0	Avalon Memory Mapped ...	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		<input type="checkbox"/> <b>my_slave</b>	my_slave		
		<input type="checkbox"/> clock	Clock Input	<i>Double-click to</i>	<b>clk</b>
		<input type="checkbox"/> reset	Reset Input	<i>Double-click to</i>	[clock]
		<input type="checkbox"/> s0	Avalon Memory Mapped ...	<i>Double-click to</i>	[clock]
		<input type="checkbox"/> conduit_end_0	Conduit	<b>dout_a</b>	[clock]
<input checked="" type="checkbox"/>		<input type="checkbox"/> <b>my_slaveWS</b>	my_slaveWS		
		<input type="checkbox"/> clock	Clock Input	<i>Double-click to</i>	<b>clk</b>
		<input type="checkbox"/> reset	Reset Input	<i>Double-click to</i>	[clock]
		<input type="checkbox"/> s0	Avalon Memory Mapped ...	<i>Double-click to</i>	[clock]
		<input type="checkbox"/> conduit_end_0	Conduit	<b>dout_b</b>	[clock]



# Анализ системы

- Выполните команду: меню System => Show System with Platform Designer Interconnect сравните созданную Вами систему и систему с модулями добавленными PD:
  - Убедитесь в том, что PD добавил только модуль mm\_interconnect\_0

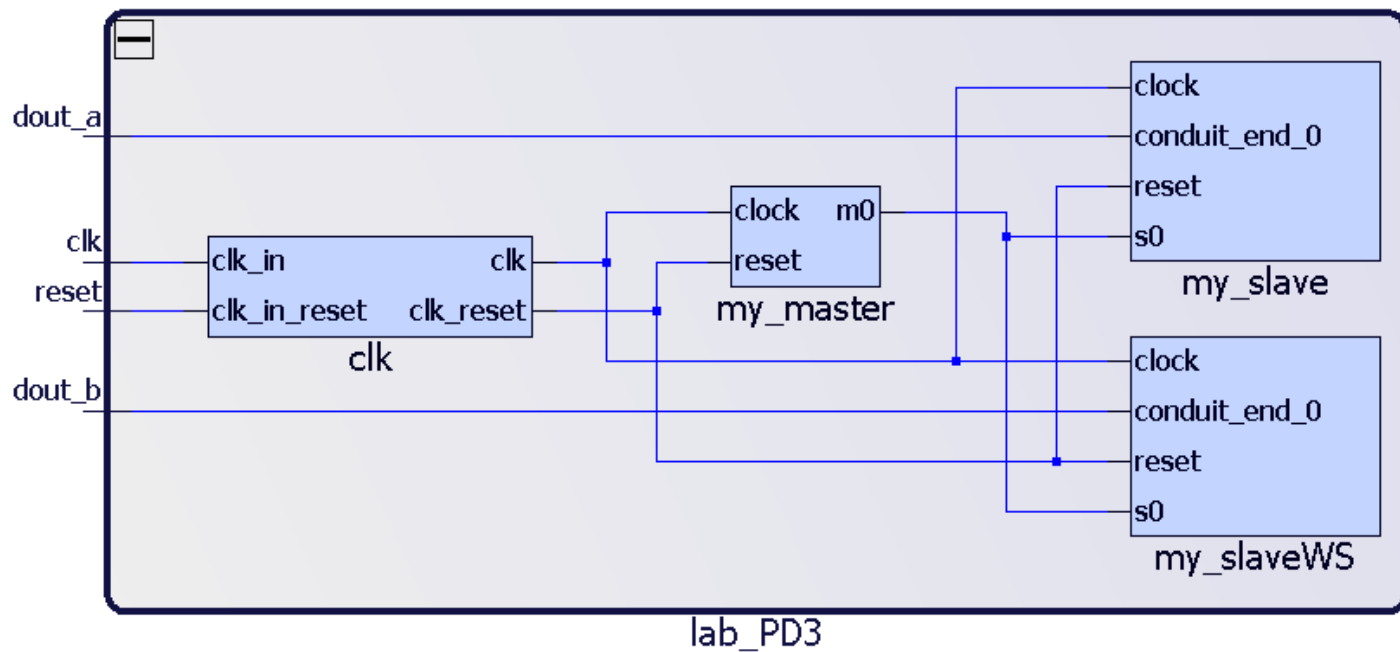
System: lab_PD3							
Use	Connections	Name	Description	Export	Clock	Base	End
<input checked="" type="checkbox"/>		<b>mm_interconnect_0</b>	MM Interconnect				
		clk_dk	Clock Input	Double-click to	clk		
		my_master_reset_reset_bridge_in_reset	Reset Input	Double-click to	[clk_dk]		
		my_master_m0	Avalon Memory Mapped ...	Double-click to	[clk_dk]	0x0000_0000	0xffff_ffff
		my_slave_s0	Avalon Memory Mapped ...	Double-click to	[clk_dk]		
		my_slaveWS_s0	Avalon Memory Mapped ...	Double-click to	[clk_dk]		
<input checked="" type="checkbox"/>		clk	Clock Source				
		clk_in	Clock Input	clk	exported		
		clk_in_reset	Reset Input	reset	[clk_in]		
		clk	Clock Output	Double-click to	clk		
		clk_reset	Reset Output	Double-click to	clk		
<input checked="" type="checkbox"/>		my_master	my_master				
		clock	Clock Input	Double-click to	clk		
		reset	Reset Input	Double-click to	[clock]		
		m0	Avalon Memory Mapped ...	Double-click to	[clock]		
<input checked="" type="checkbox"/>		my_slave	my_slave				
		clock	Clock Input	Double-click to	clk		
		reset	Reset Input	Double-click to	[clock]		
		s0	Avalon Memory Mapped ...	Double-click to	[clock]	0x0000	0x0000
		conduit_end_0	Conduit	Double-click to	[clock]		
<input checked="" type="checkbox"/>		my_slaveWS	my_slaveWS				
		clock	Clock Input	Double-click to	clk		
		reset	Reset Input	Double-click to	[clock]		
		s0	Avalon Memory Mapped ...	Double-click to	[clock]	0x0000	0x0003
		conduit_end_0	Conduit	Double-click to	[clock]		





# Анализ системы

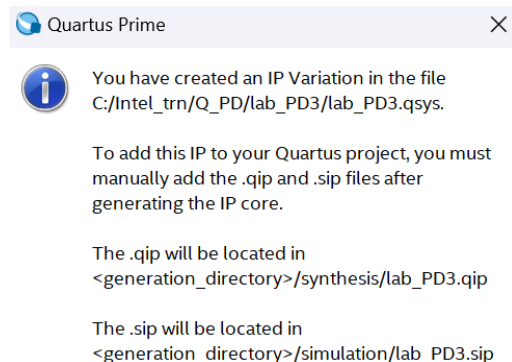
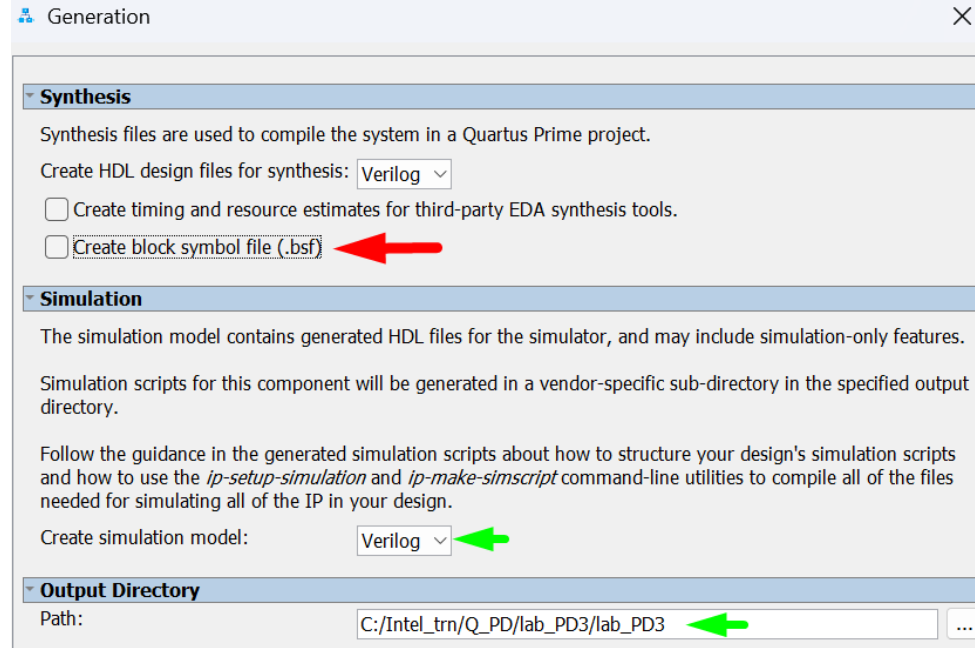
- Выполните команду: меню **View=>Schematic**
- Убедитесь в том, что система синхронизации Вашей системы выглядит так же, как представленная на рисунке



# Генерация системы

- В окне PD нажмите кнопку Generate HDL... (правый нижний угол окна)
- Установите режимы так, как показано на рисунке
- Нажмите кнопку Generate
- По окончании процедуры появится сообщение
  - Нажмите кнопку Close
- В окне PD нажмите кнопку Finish (правый нижний угол окна)
- Появится напоминание о необходимости подключить файлы к проекту пакета QP
- Нажмите кнопку ОК.

Generate: completed successfully.

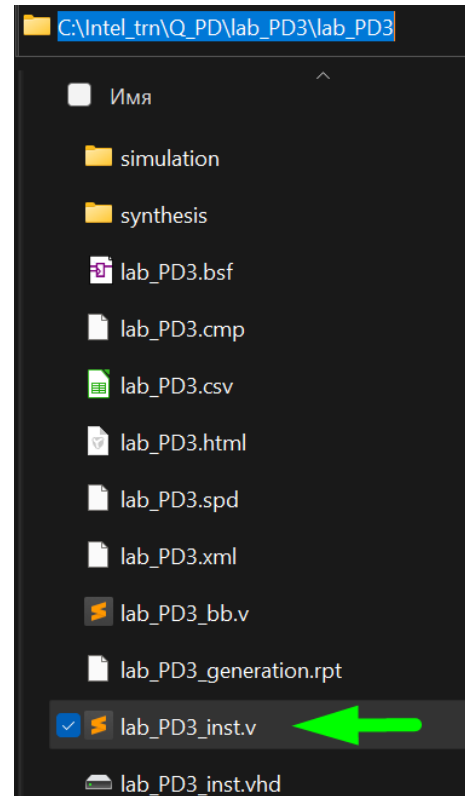




# Файл lab\_PD3\_top.sv

- Создан с использованием файла lab\_PD3\_inst.v

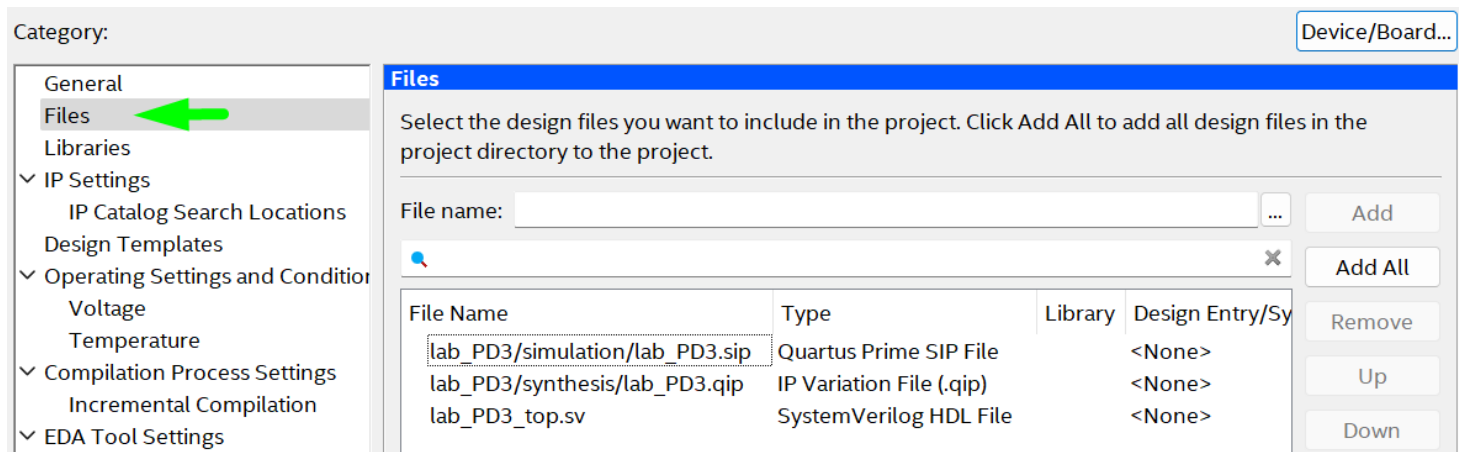
```
1  `timescale 1 ns / 1 ns
2  module lab_PD3_top (
3      input bit clk,
4      input bit reset,
5      output bit [7:0] ledA,
6      output bit [31:0] ledB
7  );
8  Lab_PD3 lab3_1_inst (
9      .clk_clk (clk),
10     .reset_reset_n (reset),
11     .dout_a_export (ledA),
12     .dout_b_export (ledB)
13 );
14 endmodule
```





# Подключите файлы к проекту в QP

- В QP
  - Выполните **Project => Add\Remove Files from project**
  - Подключите указанные файлы (каждый отдельно)
    - lab\_PD3.sip
    - lab\_PD3.qip
    - lab\_PD3\_top.sv

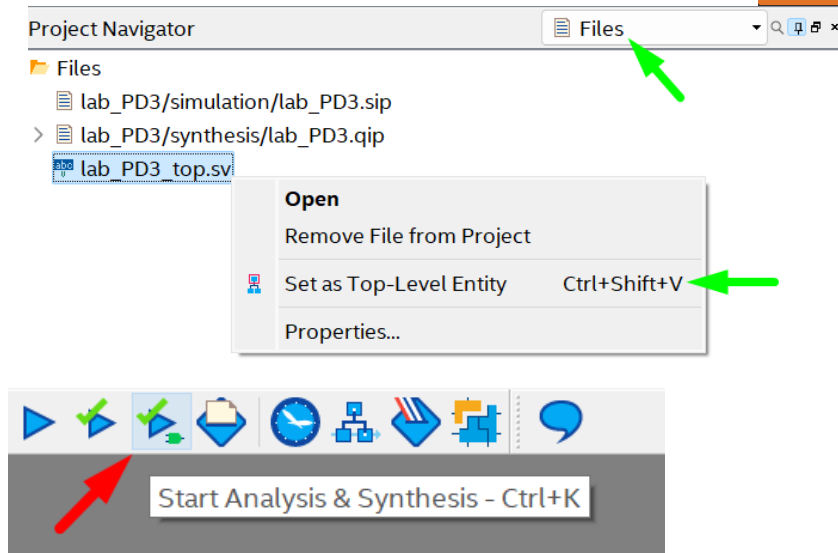




# Анализ и синтез в QP

## ■ В QP

- Файл lab\_PD3\_top.sv объявите файлом верхнего уровня
- Выполните команду **Start Analysis and Synthesis**



*Убедитесь в том, что  
компиляция завершена  
без ошибок*

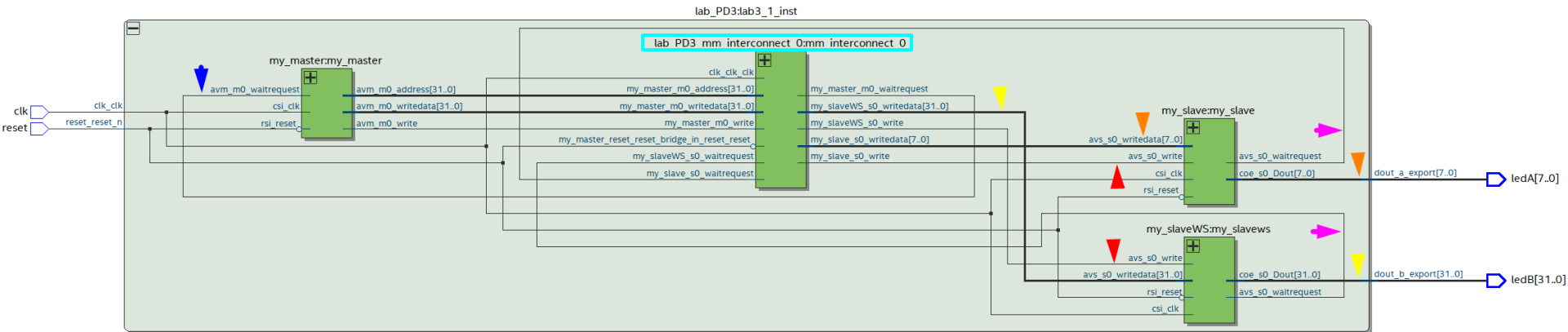
*Ожидаемые предупреждения:*

```
▲ 10036 Verilog HDL or VHDL warning at altera_merlin_width_adapter.sv(283): object "in_write" assigned a value but never read
▲ 10036 Verilog HDL or VHDL warning at altera_merlin_width_adapter.sv(742): object "aligned_addr" assigned a value but never read
▲ 10036 Verilog HDL or VHDL warning at altera_merlin_width_adapter.sv(743): object "aligned_byte_cnt" assigned a value but never read
▼ ▲ 13024 Output pins are stuck at VCC or GND
▲ 13410 Pin "ledB[16]" is stuck at GND
▲ 13410 Pin "ledB[18]" is stuck at GND
▲ 13410 Pin "ledB[19]" is stuck at GND
▲ 13410 Pin "ledB[20]" is stuck at GND
▲ 13410 Pin "ledB[22]" is stuck at GND
▲ 13410 Pin "ledB[23]" is stuck at GND
▲ 13410 Pin "ledB[25]" is stuck at GND
▲ 13410 Pin "ledB[26]" is stuck at GND
▲ 13410 Pin "ledB[27]" is stuck at GND
▲ 13410 Pin "ledB[29]" is stuck at GND
▲ 13410 Pin "ledB[30]" is stuck at GND
▲ 13410 Pin "ledB[31]" is stuck at GND
```



# Анализ RTL Viewer

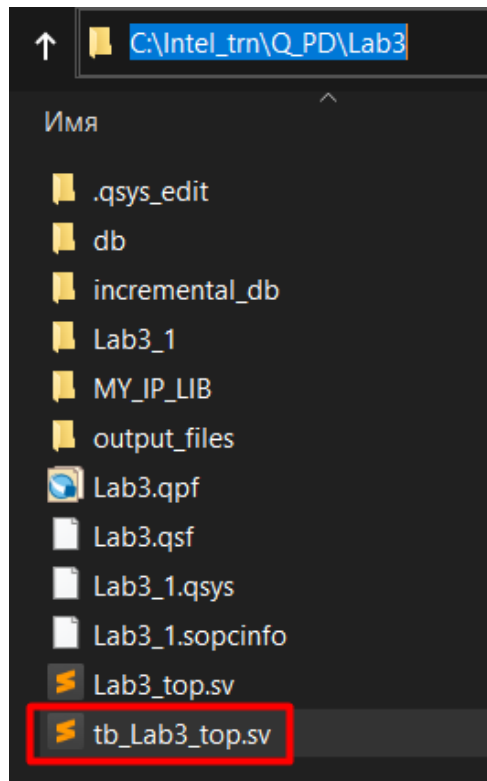
- Выполните: меню Tools=>Netlist Viewers => RTL viewer
- Убедитесь в том, что Ваша схема похожа на схему, приведенную на рисунке





# Файл tb\_Lab\_PD3\_top.sv

- Тест для проверки системы




```
1  `timescale 1 ns / 1 ns
2  module tb_lab_PD3_top ();
3  bit clk;
4  bit reset;
5  bit[7:0] ledA;
6  bit[31:0] ledB;
7
8  always #50 clk = ~ clk;
9
10 initial
11 begin
12     clk      = 1'b0;
13     reset    = 1'b0;
14     #200;
15     reset    = 1'b1;
16     #1000;
17     $stop;
18 end
19
20 Lab_PD3_top Lab3_top_inst (.*);
21
22 endmodule
```



# Настройка QP для NativeLink

- Убедитесь, что правильно задана ссылка на пакет ModelSim
  - Выполните команду Tools=>Options

 Options

Category:

▼ General

EDA Tool Options

Fonts

Headers & Footers Settings

▼ Internet Connectivity

Notifications

Libraries

▼ IP Settings

IP Catalog Search Locations

Design Templates

License Setup

Preferred Text Editor

Processing

Tooltip Settings

▼ Messages

## EDA Tool Options

Specify the directory that contains the tool executable for each third-party ED.

EDA Tool	Directory Containing Tool Executable
----------	--------------------------------------

Precision ...	
---------------	--

Synplify	
----------	--

Synplify ...	
--------------	--

Active-HDL	
------------	--

Riviera-P...	
--------------	--

ModelSim	
----------	--

QuestaSim	
-----------	--

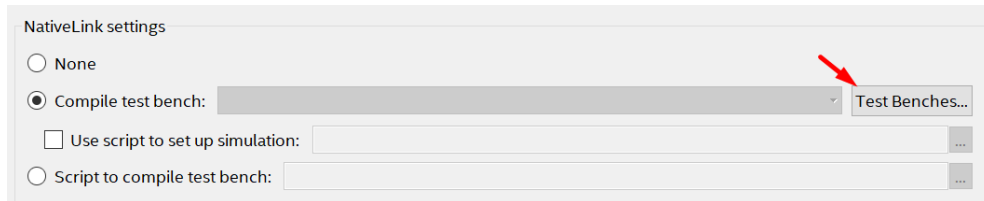
ModelSi...	C:\intelFPGA_lite\20.1\modelsim_ase\win32aloem
------------	--





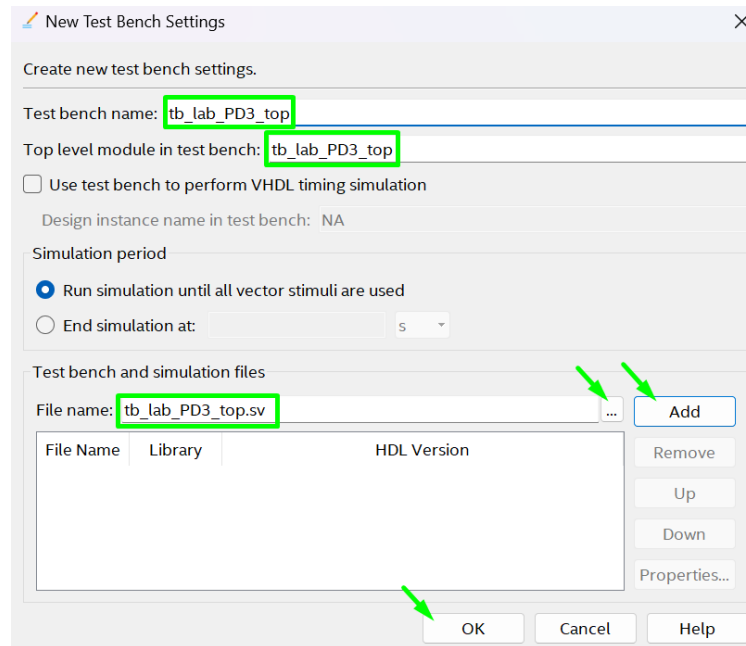
# Настройка QP для NativeLink

- Выполните команду : **меню Assignment=>Settings=>Simulation =>NativeLink settings=>кнопка Test Benches**



- Нажмите кнопку **New**

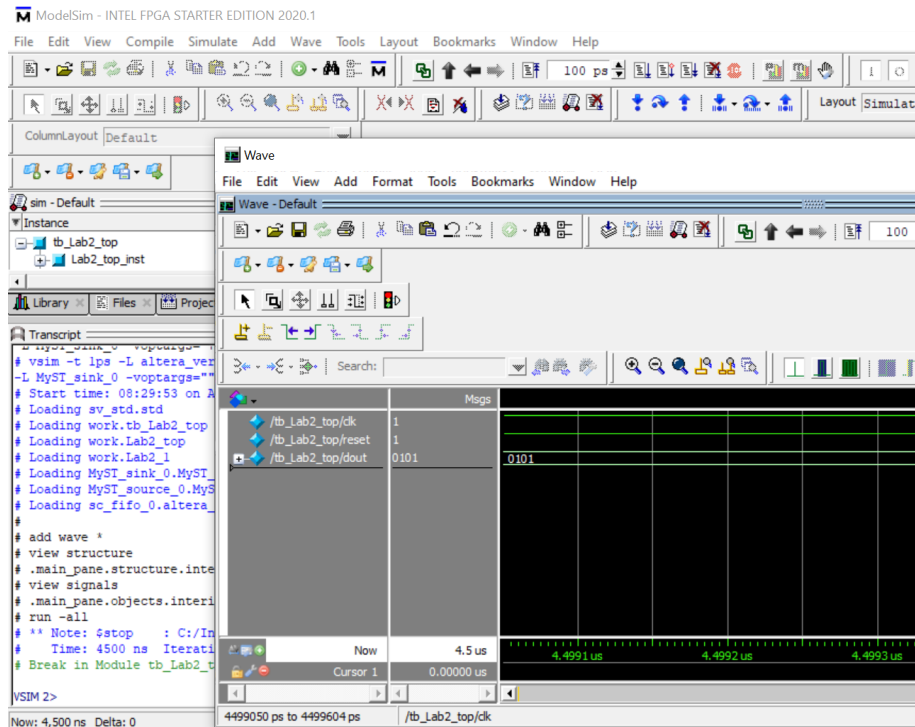
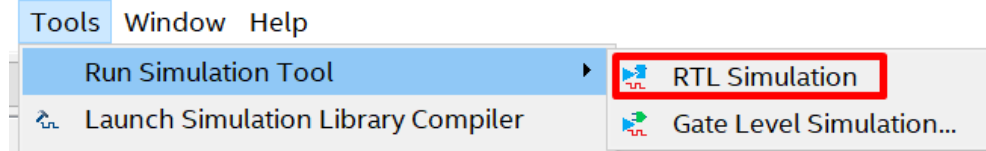
- Выполните назначения, показанные на рисунке.





# Запуск моделирования с NativeLink

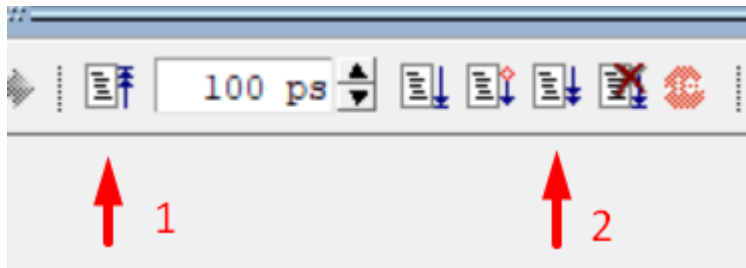
- Выполните команду : меню **Tools=>Run Simulation Tool=>RTL Simulation**
- Откроется окно (окна) пакета ModelSim






# Загрузка формата временной диаграммы

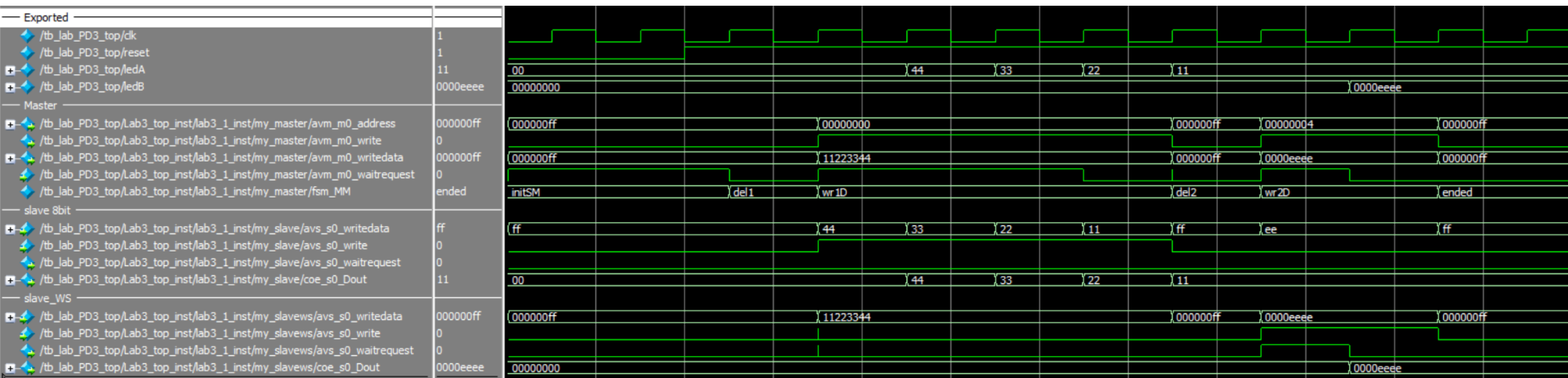
- В окне **Wave** пакета ModelSim
- Удалите временные диаграммы
- Выполните команду: **File=>Load** и в рабочей папке проекта **C:\Intel\_trn\Q\_PD\lab\_PD3** выберите файл **waveLab3.do**
- В окне **Wave** пакета ModelSim нажмите кнопку **Restart** а затем **Run -All**





# Загрузка формата временной диаграммы

- В окне Wave пакета ModelSim выполните команду Zoom Full 
- Проведите анализ полученной временной диаграммы и убедитесь в правильности работы системы.
- Найдите цикл записи данных в my\_slave.
- Найдите цикл записи данных в my\_slaveWS.





# Создание модуля ISSPE

- В пакете Quartus создайте экземпляр модуля ISSPE

IP Catalog

sour

Installed IP

Library

Basic Functions

Simulation; Debug and Verification

Debug and Performance

Altera In-System Sources & Probes

Simulation

New IP Variation

Your IP settings will be saved in a .qsys file.

Create IP Variation

Entity name: SP\_unit

Save in folder: C:\Intel\_trn\Q\_PD\lab\_PD3

Parameters

System: SP\_unit Path: in\_system\_sources\_probes\_0

Altera In-System Sources & Probes

altera\_in\_system\_sources\_probes

Instance Info

☒ Automatic Instance Index Assignment

Instance Index: 0

The 'Instance ID' of this instance (optional): SP\_0

Probe Parameters

Probe Port Width [0..512]: 0

Source Parameters

Source Port Width [0..512]: 1

Hexadecimal initial value for the Source Port: 0

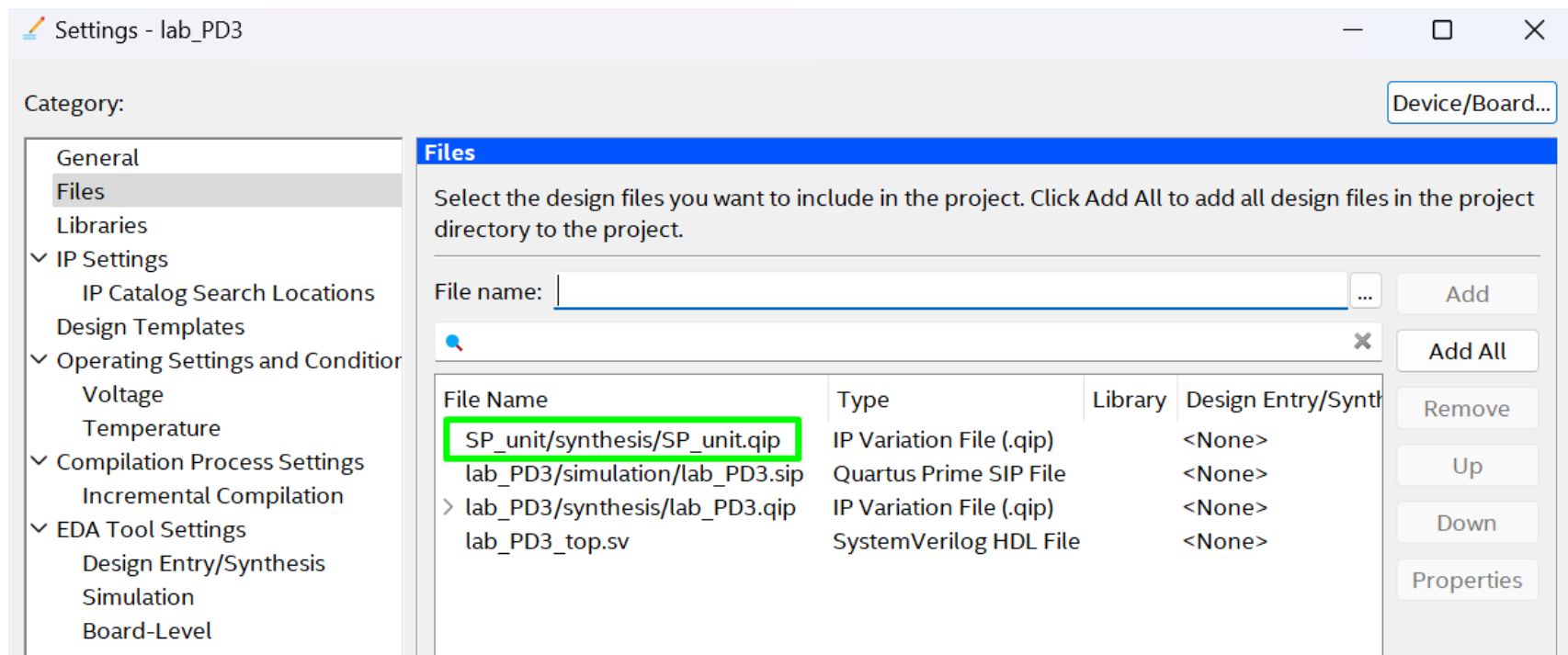
☒ Use Source Clock

☐ Use Source Clock Enable



# файл SP\_unit.qip

- Добавьте в пакете Quartus к текущему проекту файл **SP\_unit.qip**





# Файл для отладки db\_lab3\_PD2\_top.sv


- В пакете Quartus создайте файл для отладки модуля lab2\_PD3\_top

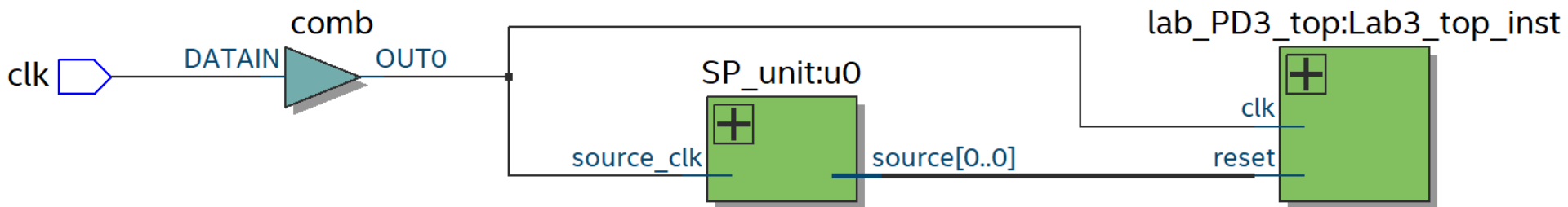
*Пример приведен ниже.*

```
1  module db_lab_PD3_top (  
2      (* altera_attribute = "-name IO_STANDARD \"3.3-V LVC MOS\"", chip_pin = "R8" *)  
3      //"23" for miniDilab-CIV  
4      //"R8" for DE0_nano  
5      //"N5" for MAX10 NEEK  
6      input bit clk  
7  );  
8      bit reset;  
9      bit[7:0] ledA;  
10     bit[31:0] ledB;  
11  SP_unit u0 (  
12      .source      (reset),    // sources.source  
13      .source_clk  (clk)      // source_clk.clk  
14  );  
15  Lab_PD3_top Lab3_top_inst (.*);  
16  endmodule
```



# RTL Viewer db\_lab\_PD2.sv

- В пакете Quartus задайте файл db\_lab\_PD2.sv файлом верхнего уровня
- Осуществите анализ и синтез 
- Проверьте структуру, полученную RTL Viewer – она должна соответствовать приведенной ниже структуре.

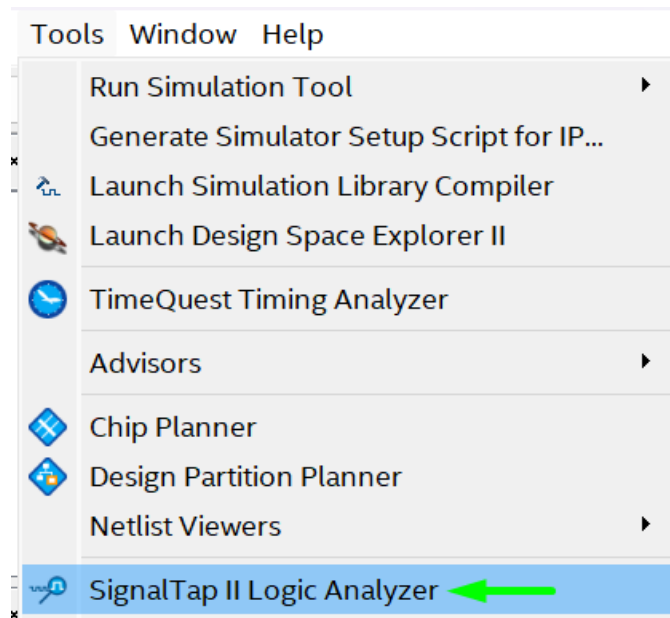
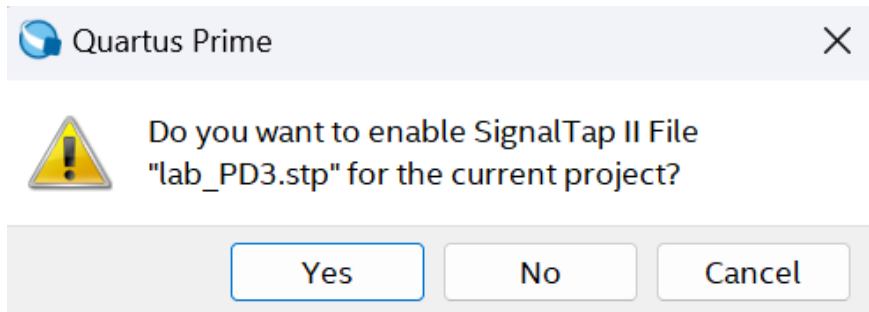






# lab\_PD3.stp

- Создайте новый файл логического анализатора
- Сохраните его под именем **lab\_PD3.stp**
- Разрешите его использование в текущем проекте





# lab\_PD3.stp сигналы для анализа

- Выберите сигналы для логического анализатора

Node Finder

Named: \*

Options

Filter: SignalTap II: pre-synthesis

Look in: [db\_lab\_PD3\_top]

Include subtentities ☒ Hierarchy view ☒

Matching Nodes:

Name	Assignments
db_lab_PD3_top	
clk	Pin_R8
lab_PD3_top:Lab3_top_inst	
clk	Unassigned
reset	Unassigned
lab_PD3:lab3_1_inst	
clk_clk	Unassigned
reset_reset_n	Unassigned
lab_PD3_mm_interconnect_0:mm_interconnect_0	
my_master:my_master	
WideNor0	Unassigned
WideOr0	Unassigned
WideOr1	Unassigned
WideOr2	Unassigned
avm_m0_waitrequest	Unassigned
avm_m0_write	Unassigned
csi_clk	Unassigned


Nodes Found:

Name	Assignments
lab_PD3_top:Lab3_top_inst reset	Unassigned
lab_PD3_top:Lab3_top_inst ledA	Unassigned
lab_PD3_top:Lab3_top_inst ledB	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_master:my_master avm_m0_address	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_master:my_master avm_m0_writedata	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_master:my_master avm_m0_waitrequest	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_master:my_master avm_m0_write	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slave:my_slave avs_s0_writedata	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slave:my_slave avs_s0_write	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slave:my_slave avs_s0_waitrequest	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slave:my_slave coe_s0_Dout	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slaveWS:my_slavews avs_s0_writedata	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slaveWS:my_slavews avs_s0_write	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slaveWS:my_slavews avs_s0_waitrequest	Unassigned
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_slaveWS:my_slavews coe_s0_Dout	Unassigned



# Добавьте к сигналам конечный автомат **my\_master**

- В поле SignalTapII нажмите правую клавишу мыши и выберите команду **Add State Machine Nodes**
- Добавьте Конечный автомат модуля **my\_master**

 Add State Machine Nodes ✕

Netlist: 

Pre-synthesis

















State machine nodes found:

State Machine Name	Mnemonic Table Name
lab_PD3_top:Lab3_top_inst lab_PD3:lab3_1_inst my_master:my_master fsm_MM	fsm_MM_table



# Расстановка анализируемых сигналов

- В поле SignalTapII расставьте анализируемые сигналы так, как показано ниже

Node		
Type	Alias	Name
		lab PD3 top:Lab3 top inst reset
		⊕ lab PD3 top:Lab3 top inst ledA[7..0]
		⊕ lab PD3 top:Lab3 top inst ledB[31..0]
		⊕ lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 address[31..0]
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 write
		⊕ lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 writedata[31..0]
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 waitrequest
		⊕ lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master fsm MM
		⊕ lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave avs s0 writedata[7..0]
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave avs s0 write
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave avs s0 waitrequest
		⊕ lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave coe s0 Dout[7..0]
		⊕ lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews avs s0 writedata[31..0]
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews avs s0 write
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews avs s0 waitrequest
		⊕ lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews coe s0 Dout[31..0]



# lab\_PD3.stp настройка

- Задайте настройки логического анализатора
- Установите синхронизацию по фронту сигнала reset
- Сохраните файл lab\_PD3.stp

Signal Configuration:

Clock: clk

Data

Sample depth: 64 RAM type: Auto

☐ Segmented: 2 32 sample segments

Nodes Allocated: ☒ Auto ☐ Manual: 197

Pipeline Factor: 0

Storage qualifier:

Type: ☒ Continuous

Input port:

Nodes Allocated: ☒ Auto ☐ Manual: 197

☒ Record data discontinuities

☐ Disable storage qualifier

Trigger

Nodes Allocated: ☒ Auto ☐ Manual: 197

Trigger flow control: Sequential

Trigger position: ☒ Pre trigger position

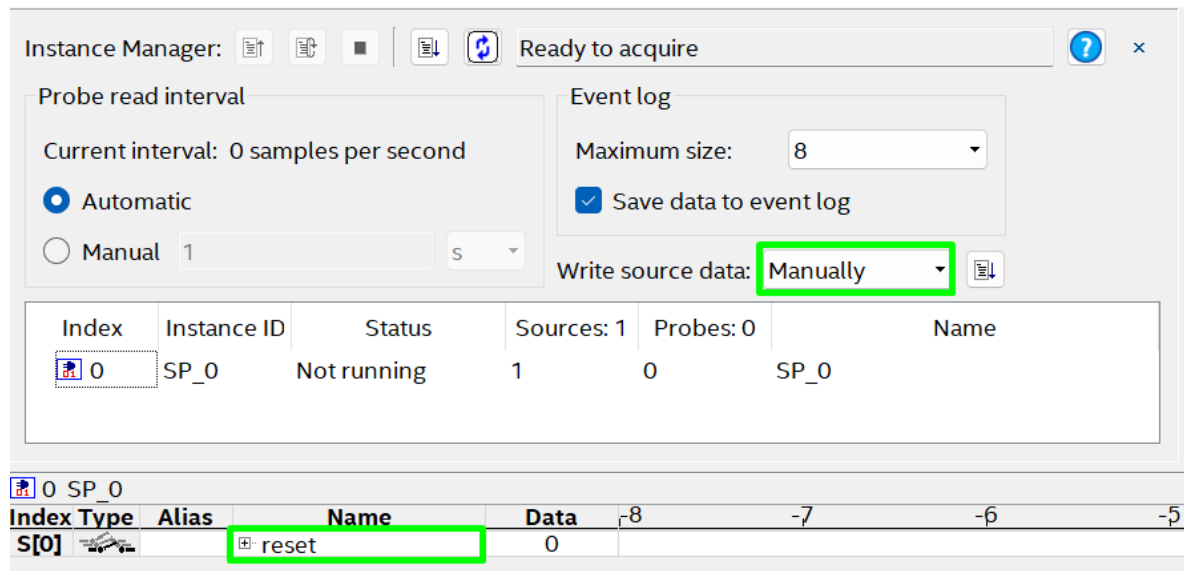
Trigger conditions: 1

auto_sigtap_0				Lock mode:  Allow all changes		
Type	Alias	Node Name	Data Enable	Trigger Enable	Trigger Conditions	
		lab PD3 top:Lab3 top inst reset	197	197	1	Basic AND
		lab PD3 top:Lab3 top inst ledA[7..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXh
		lab PD3 top:Lab3 top inst ledB[31..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXXXXXXXh
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 address[31..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXXXXXXXh
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 write	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 writedata[31..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXXXXXXXh
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master avm m0 waitrequest	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my master:my master fsm MM	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXh
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave avs s0 writedata[7..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXh
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave avs s0 write	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave avs s0 waitrequest	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slave:my slave coe s0 Dout[7..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXh
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews avs s0 writedata[31..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXXXXXXXh
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews avs s0 write	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews avs s0 waitrequest	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
		lab PD3 top:Lab3 top inst lab PD3:lab3 1 inst my slaveWS:my slavews coe s0 Dout[31..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		XXXXXXXXh



# Компиляция и создание lab\_PD3.spf

- Запустите полную компиляцию проекта 
- Подключите плату и сконфигурируйте FPGA
- Создайте файл ISSPE (меню Tools=> In-System Source and Probe Editor)
- Настройте его так, как показано на рисунке
- Сохраните под именем **lab\_PD3.spf**





- Используя ISSPE для управления сигналом `reset` получите в логическом анализаторе временную диаграмму, аналогичную приведённой ниже
- Сравните с результатами моделирования



# Дополнительное задание

- Измените базовый (Base) адрес модуля my\_slave с 0 на *Ваш\_номер\_в\_списке\_группы\*4*
  - задается в 16-ой системе счисления
- Измените базовый (Base) адрес модуля my\_slaveWS с 4 на *Ваш\_номер\_в\_списке\_группы\*8*
  - задается в 16-ой системе счисления
- Измените настройки модуля my\_master
  - address\_1 = адрес модуля my\_slave (задается в 10-ой системе счисления)
  - address\_2 = адрес модуля my\_slaveWS (задается в 10-ой системе счисления)
  - data\_1 – менять не надо
  - data\_2 = *Ваш\_номер\_в\_списке\_группы* (задается в 10-ой системе счисления)
- Осуществите моделирование в пакете ModelSim, зафиксируйте результаты, покажите преподавателю (Используйте предоставленный Вам файл **waveLab3.do**.)
- С помощью SignalTapII получите временные диаграммы работы на плате, зафиксируйте результаты, покажите преподавателю. (Используйте созданный ранее файл **lab\_PD3.stp**.)





# *Лабораторная 3* *ЗАВЕРШЕНА!*