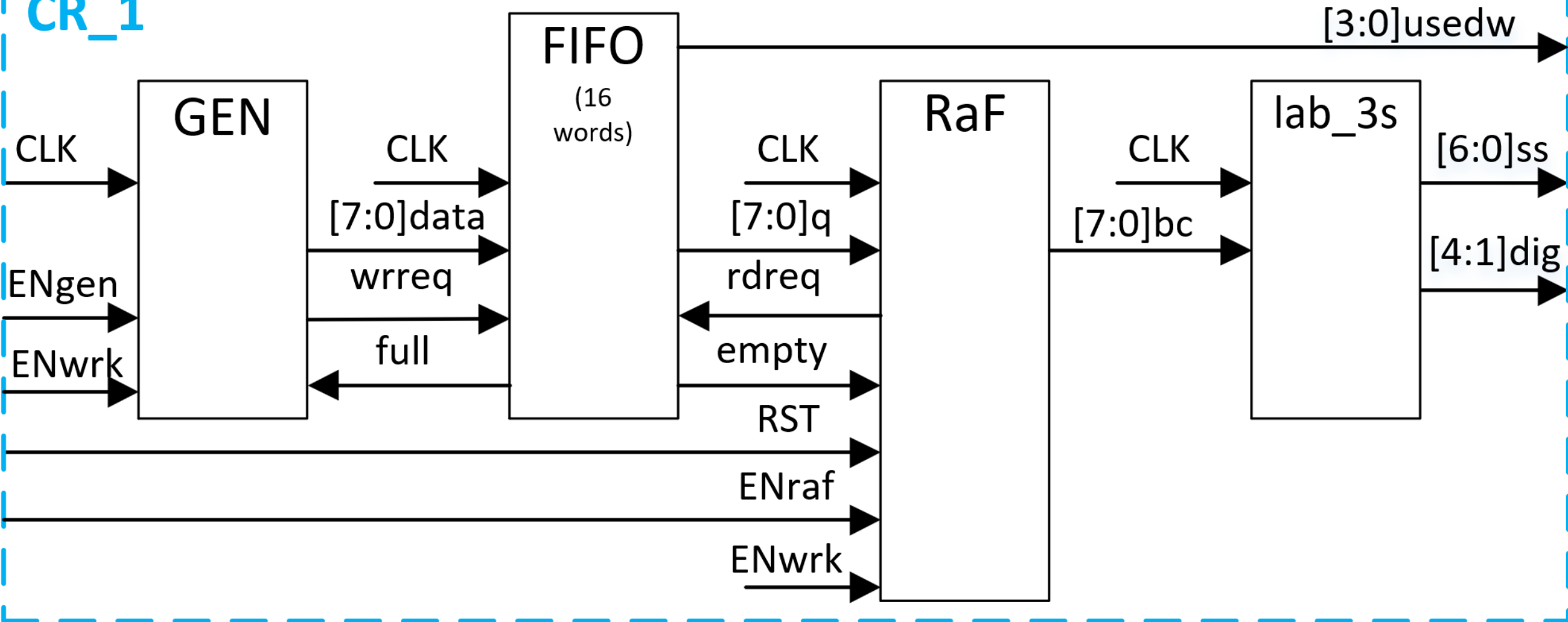


Курсовой проект

Часть 1

Структура проекта

CR_1



Модуль GEN

- > Содержит генератор псевдослучайных чисел, который был Вами реализован ранее.
- > Если ($EN_{gen} = 1$ и $full = 0$ и $Enwrk = 1$)
 - >> Модуль формирует сигнал $wrreq = 1$
 - >> работает генератор псевдослучайных чисел (данные выдаются на выход [7:0] data)
- > Если условие ($EN_{gen} = 1$ и $full = 0$ и $Enwrk = 1$) не выполняется
 - >> модуль формирует сигнал $wrreq = 0$
 - >> генератор псевдослучайных чисел находится в состоянии ожидания (данные выдаются на выход [7:0] data)

Модуль FIFO

- > Создается на основе IP FIFO
- > Содержит 16 слов, слово – 8 бит.
- > Обязательно наличие сигналов
 - >> full – FIFO полностью заполнено (содержит 16 слов)
 - >> empty – FIFO пустое
 - >> [3:0]usedw – число использованных в FIFO слов (*обратите внимание на особенность поведения: число слов увеличивается от 0 до 15, а когда FIFO полностью заполнено, т.е. содержит 16 слов - будет показан 0*)
 - >> wrreq – запрос на запись данных в FIFO (активный уровень = 1)
 - >> rdreq – запрос на чтение данных из FIFO (активный уровень = 1)
 - >> [7:0] data – вход данных
 - >> [7:0] q – выход данных

Модуль RaF

- > Если ($ENraf = 1$ и $empty = 0$ и $Enwrk = 1$)
 - >> Модуль считывает данные из FIFO (формирует сигнал $rdreq = 1$)
 - >> Ищет среди принимаемых от FIFO данных максимальное значение
 - >> Передает текущее максимальное значение на выход $[7:0]bc$
- > Если условие ($ENraf = 1$ и $empty = 0$ и $Enwrk = 1$) не выполняется
 - >> модуль формирует сигнал $rdreq = 0$
 - >> Модуль находится в состоянии ожидания (текущее максимальное значение выдается на выход $[7:0]bc$)
- > Сигнал RST асинхронно сбрасывает найденное максимальное значение в 0.

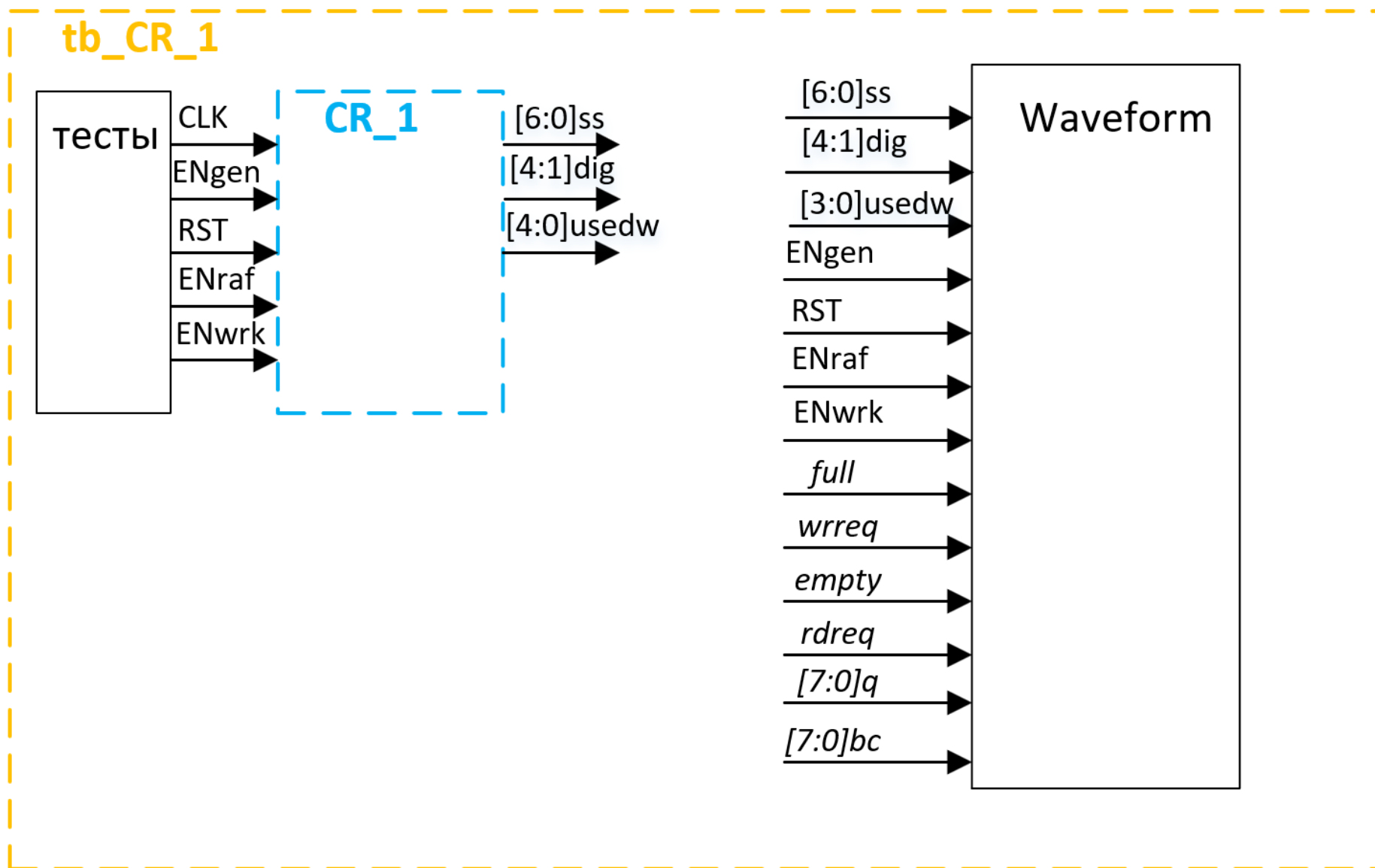
Модуль lab_3s

- > Модуль осуществляющий
 - >> преобразование 2-го кода в 2-10 и преобразующий код каждой тетрады в 7-сегментный код
 - >> Управление отображением данных в 4-х разрядах 7-сегментного индикатора
- > Модуль был Вами реализован в лабораторной работе lab_3s прошлого семестра (модуль использует лабораторную работу lab_2s).
- > Подсказка:
 - >> *В пакете Quartus необходимо подключить папки проектов lab_3s и lab_2s прошлого семестра как библиотечные*
 - >> *В пакете ModelSim надо откомпилировать нужные файлы из папок lab_3s и lab_2s в рабочую библиотеку текущего проекта.*

Порядок работы (1)

- > Создать проект (микросхема - EP4CE6E22C8, плата MiniDilab-CIV)
- > Создать модуль GEN, осуществить его моделирование (тест класса 1)
- > Создать модуль RaF, осуществить его моделирование (тест класса 1)
- > Создать экземпляр компонента FIFO
- > Создать модуль CR_1, осуществить его моделирование (тест класса 1)
 - >> Структура теста приведена на слайде ниже.
 - >> Тест должен показывать следующие режимы:
 - Запись в FIFO до появления сигнала full ($ENraf = 0$ $Engen=1$ $Enwrk=1$ $RST = 0$)
 - Чтение из FIFO до появления сигнала empty ($ENraf = 1$ $Engen=0$ $Enwrk=1$ $RST = 0$)
 - Чтение и запись FIFO до появления на выводе [7:0]bc максимального значения для Вашего генератора псевдослучайных чисел ($ENraf = 1$ $Engen=1$ $Enwrk=1$ $RST = 0$)
 - Запрет работы ($ENraf = 1$ $Engen=1$ $Enwrk=0$ $RST = 0$)
 - Сброс максимального значения ($ENraf = x$ $Engen=x$ $Enwrk=x$ $RST = 1$)

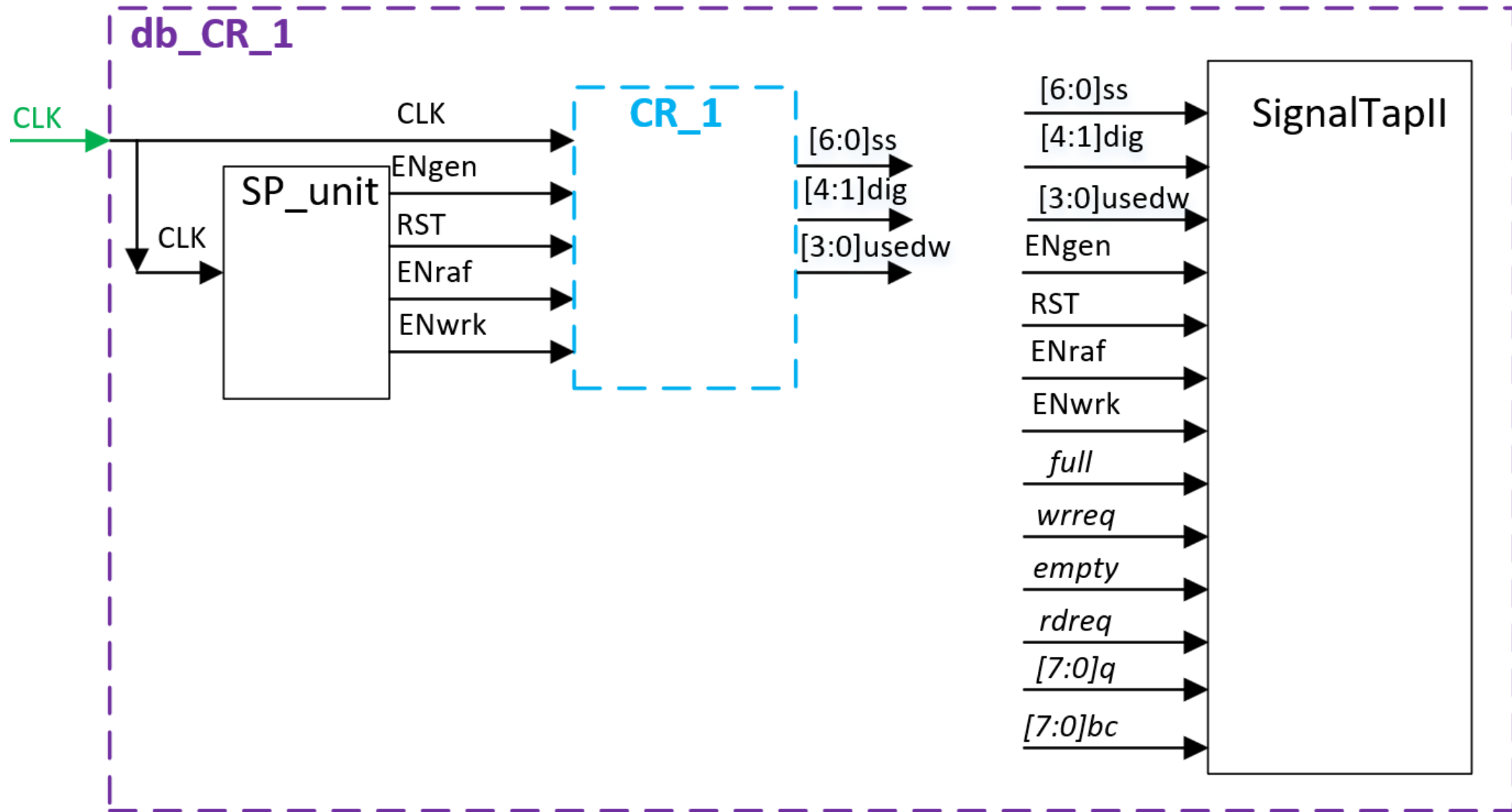
Тест для модуля CR_1



Порядок работы (2)

- > Создать экземпляр SP_unit компонента ISSPE (4 выхода, синхронизируемых тактовым сигналом)
- > Создать отладочный проект db_CR_1
 - >> Структура на следующем слайде.
 - >> Отладочный проект, с использованием SP_unit и встроенного логического анализатора SignalTapII, должен продемонстрировать следующие режимы:
 - Запись в FIFO до появления сигнала full ($ENraf = 0$ $Engen=1$ $Enwrk=1$ $RST = 0$)
 - Чтение из FIFO до появления сигнала empty ($ENraf = 1$ $Engen=0$ $Enwrk=1$ $RST = 0$)
 - Чтение и запись FIFO до появления на выводе [7:0]bc максимального значения для Вашего генератора псевдослучайных чисел ($ENraf = 1$ $Engen=1$ $Enwrk=1$ $RST = 0$)
 - Запрет работы ($ENraf = 1$ $Engen=1$ $Enwrk=0$ $RST = 0$)
 - Сброс максимального значения ($ENraf = x$ $Engen=x$ $Enwrk=x$ $RST = 1$)
 - >> Для выходов [7:0]ss следует использовать мнемоническую таблицу для отображения данных в 10-м коде.

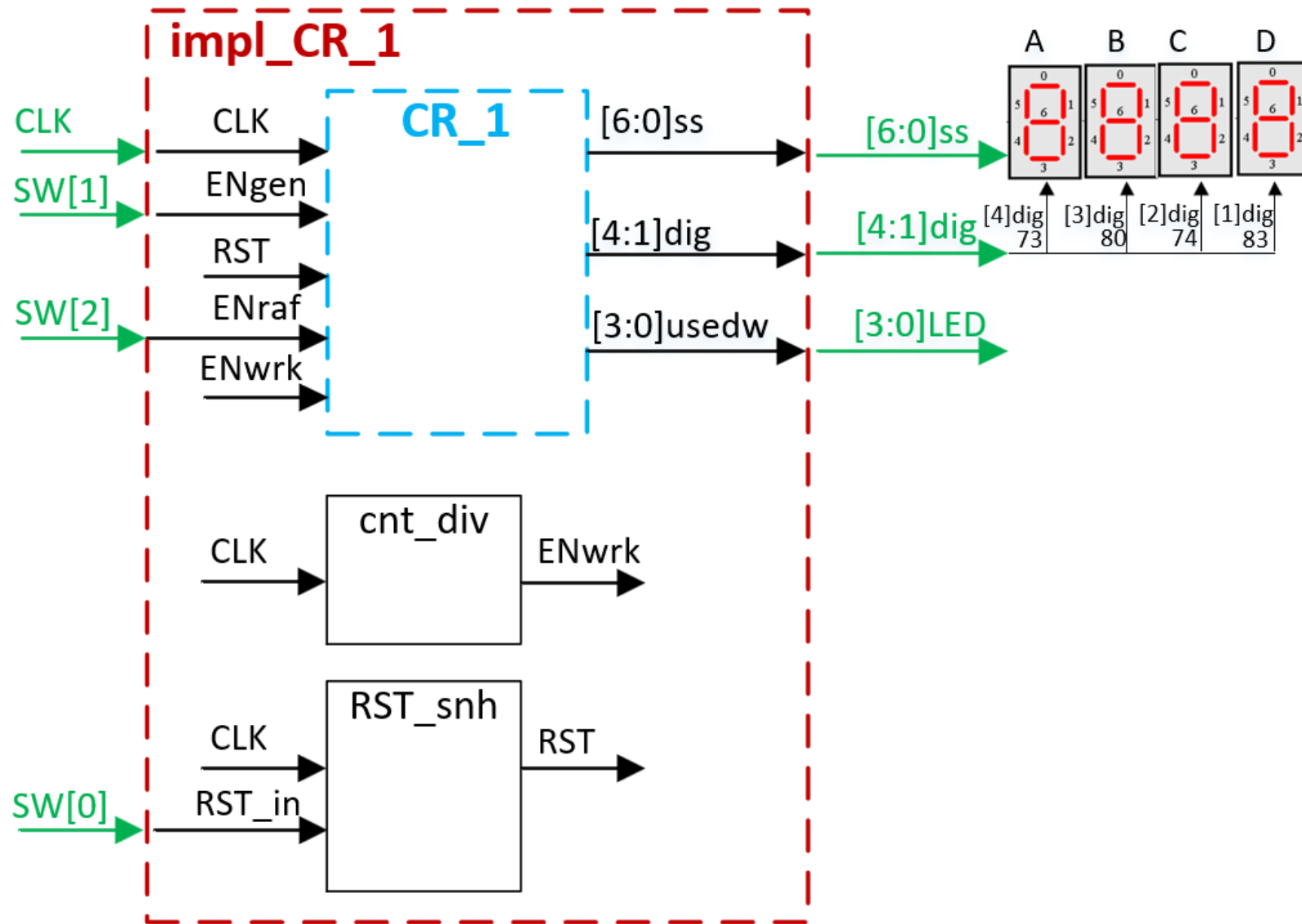
Модуль db_CR_1



Порядок работы (3)

- > Создать финальную реализацию - проект impl_CR_1
 - >> Структура на следующем слайде.
 - >> Модуль cnt_div – счетчик-делитель на 8 000 000 (можете провести эксперименты с другими значениями делителя и подобрать удобный для Вашего проекта коэффициент деления)
 - >> Модуль RST_snh – два последовательно включенных триггера, обеспечивающие привязку сигнала сброса к тактовой частоте проекта.
 - >> Отладочный проект, с использованием переключателей, светодиодов и 7-сегментного индикатора, должен продемонстрировать следующие режимы:
 - Запись в FIFO до появления сигнала full ($ENraf = 0$ $Engen=1$ $Enwrk=1$ $RST = 0$)
 - Чтение из FIFO до появления сигнала empty ($ENraf = 1$ $Engen=0$ $Enwrk=1$ $RST = 0$)
 - Чтение и запись FIFO до появления на выводе [7:0]bc максимального значения для Вашего генератора псевдослучайных чисел ($ENraf = 1$ $Engen=1$ $Enwrk=1$ $RST = 0$)
 - Запрет работы ($ENraf = 1$ $Engen=1$ $Enwrk=0$ $RST = 0$)
 - Сброс максимального значения ($ENraf = x$ $Engen=x$ $Enwrk=x$ $RST = 1$)

Модуль impl_CR_1



Отчет

- > Должен включать
 - >> Описание всех этапов проекта
 - >> Исходные коды, созданных модулей, и описание исходных кодов
 - >> Исходные коды, созданных тестов, и описание исходных кодов
 - >> Снимки экранов структур созданных модулей, полученных в RTLViewer
 - >> Снимки экранов с временными диаграммами пакета ModelSim, доказывающими правильность работы (с пояснениями)
 - >> Снимки экранов с временными диаграммами SignalTapII, доказывающими правильность работы (с пояснениями)
 - >> Выводы
- > На DL следует загрузить:
 - >> Архив в котором будет:
 - Отчет в редактируемом формате
 - Qar архив проекта (не забудьте добавить в архив файлы из lab_2s и lab_3s)
 - >> Имя архива: CR_1_номер_группы_Фамилия (на английском)