

Приложение Platform Designer

Приложение Platform Designer

Часть 2

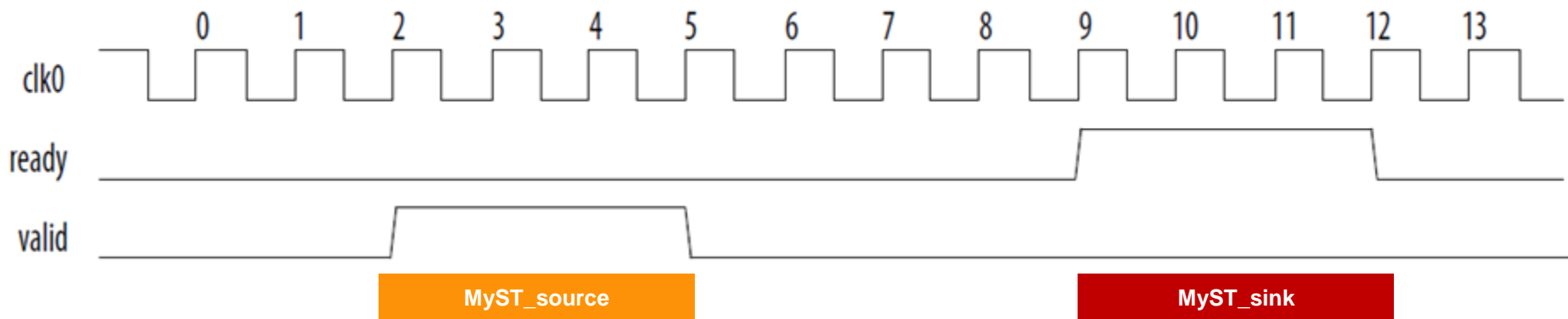
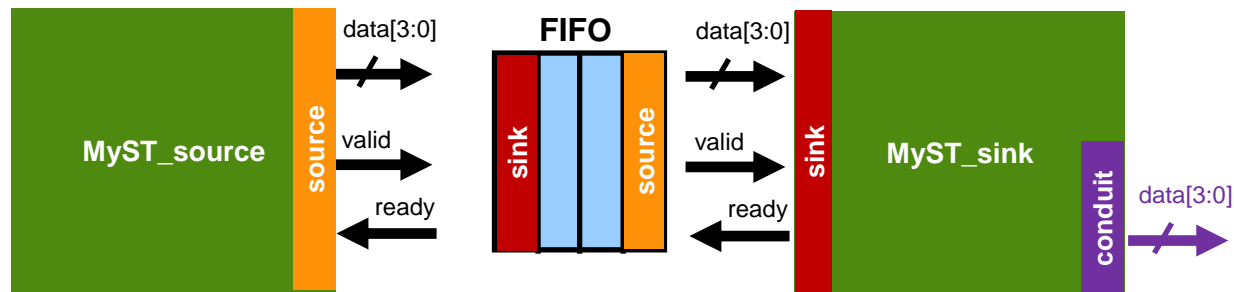
Интерфейсы и компоненты шины Avalon-ST



Лабораторная 2



Структура проекта



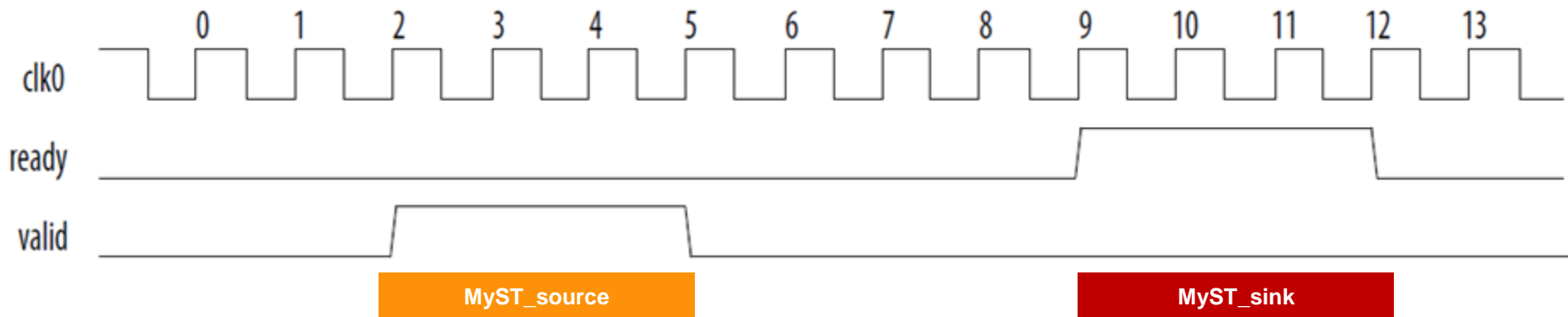


Структура проекта



```
1 `timescale 1 ps / 1 ps
2 module MyST_source (
3     //clk and reset
4     input bit csi_clk,           // clock.clk
5     input bit rsi_reset,        // reset.reset
6     //stream source
7     output bit [3:0] aso_out0_data, // aso_out0.data
8     input bit aso_out0_ready, // .ready
9     output bit aso_out0_valid // .valid
10 );
11 bit [3:0] cnt_int;
12
```

```
13 always_ff @(posedge csi_clk)
14     if(rsi_reset) cnt_int <= 4'd0;
15     else if (aso_out0_ready) cnt_int <= cnt_int + 4'd1;
16
17 assign aso_out0_data = cnt_int;
18
19 always_ff @(posedge csi_clk)
20     if(rsi_reset) aso_out0_valid <= 1'b0;
21     else if ((cnt_int >= 4'd1) & (cnt_int <= 4'd4))
22         aso_out0_valid <= 1'b1;
23     else aso_out0_valid <= 1'b0;
24 endmodule
```



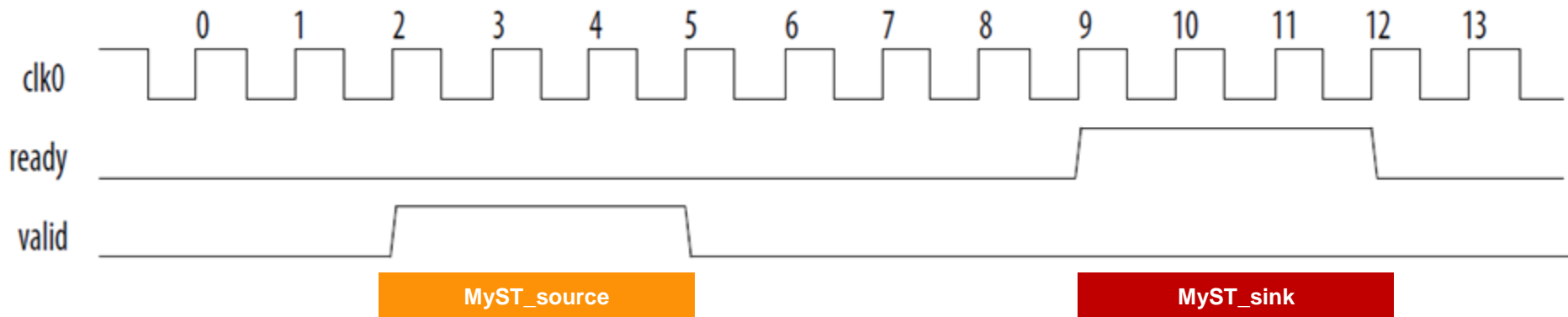


Структура проекта

```
1 `timescale 1 ns / 1 ns
2 module MyST_sink (
3     //clk and reset
4     input bit csi_clk,
5     input bit rsi_reset,
6     //stream sink
7     input bit [3:0] asi_in0_data,
8     input bit asi_in0_valid,
9     output bit asi_in0_ready,
10    //conduit
11    output bit [3:0] coe_c0_Dout );
12 bit [3:0] cnt_int;
```



```
12 bit [3:0] cnt_int;
13 always_ff @(posedge csi_clk)
14     if(rsi_reset) cnt_int <= 4'd0;
15     else cnt_int <= cnt_int + 4'd1;
16 always_ff @(posedge csi_clk)
17     if(rsi_reset) coe_c0_Dout <= 4'd0;
18     else if (asi_in0_ready & asi_in0_valid)
19         coe_c0_Dout <= asi_in0_data;
20 always_ff @(posedge csi_clk)
21     if(rsi_reset) asi_in0_ready <= 1'b0;
22     else if ((cnt_int >= 4'd8) & (cnt_int <= 4'd11))
23         asi_in0_ready <= 1'b1;
24         else asi_in0_ready <= 1'b0;
25 endmodule
```





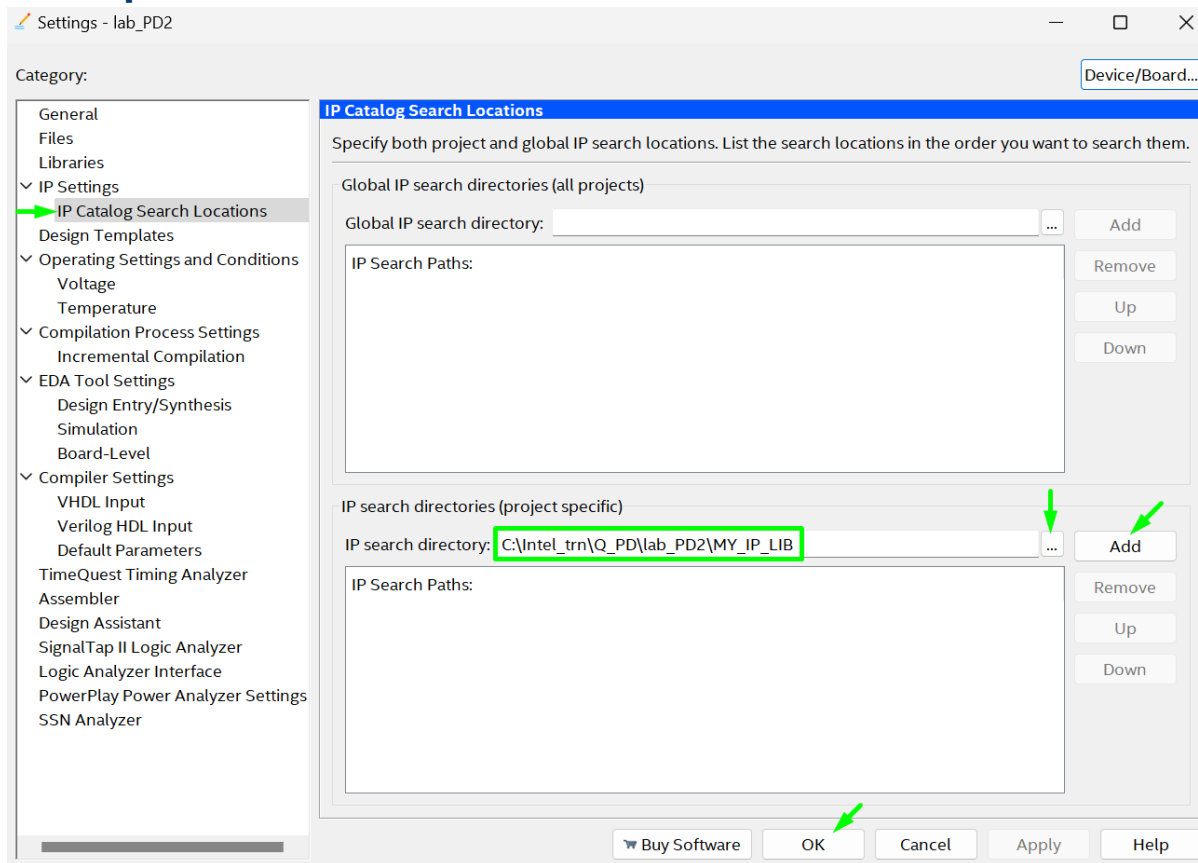
В QP создайте проект

- **Рабочая папка:** C:\Intel_trn\Q_PD\lab_PD2
- **Имя проекта:** lab_PD2
- **Модуль верхнего уровня:** lab_PD2
- **Тип проекта:** Empty Project
- **Файлы не добавляются**
- **Микросхема:** может быть любой
 - Плата DE1-SOC - 5CSEMA5F31C6N
 - Плата SoC Kit - 5CSXFC6D6F31
 - Плата MAX10_NEEK - 10M50DAF484C6G
 - Плата miniDilabCIV (**выбирается по умолчанию**) - EP4CE6E22C8
 - Плата DE0-nano - EP4CE22F17C6
- **EDA Tool Settings:** Simulation => ModelSim Altera Starter Edition




В QR задайте путь к библиотеке IP

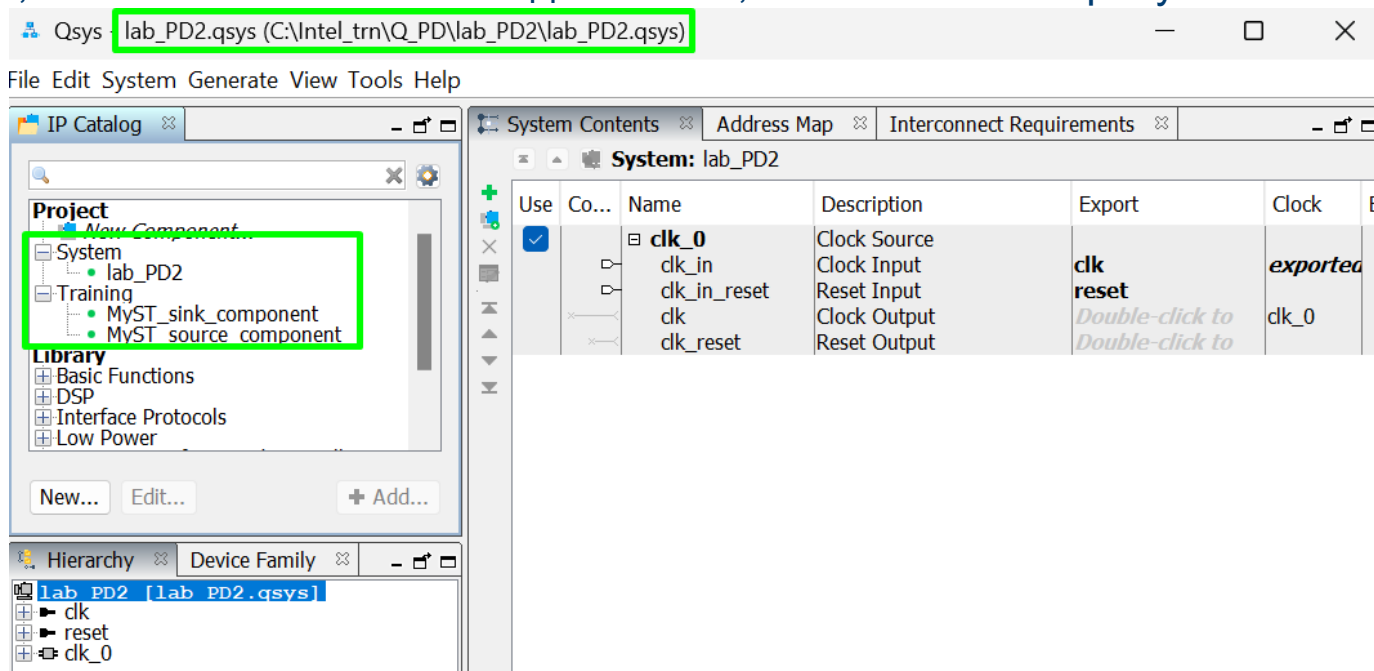
■ Команда: Tools=>Options





В QP запустите приложение PD

- Команда: **Tools => Platform Designer** или иконка 
- В PD: сохраните систему под именем **lab_PD2.qsys** в рабочей папке проекта
- Убедитесь, что Ваша система выглядит так же, как показано на рисунке ниже





Добавьте компоненты к системе

В появляющемся окне настройки каждого компонента нажмите Finish не изменяя настройки компонента - настройка компонентов будет осуществлена после их добавления к системе

- MyST_source_component
- Avalon-ST Single Clock FIFO (в строке поиска наберите ST Single Clock)
- MyST_sink_component

При добавлении компонентов на закладке Messages будут появляться сообщения об ошибках. На данном этапе на них можно не обращать внимание.



Проверьте систему

- Убедитесь в том, что Ваша система выглядит так же, как представленная на рисунке
- Сохраните файл.

Qsys - lab_PD2.qsys* (C:\Intel_trn\Q_PD\lab_PD2\lab_PD2.qsys)

File Edit System Generate View Tools Help

IP Catalog

Project

- New Component...
- System
- Training
 - MyST_sink_component
 - MyST_source_component

Library

- Basic Functions
- DSP
- Interface Protocols
- Low Power
- Memory Interfaces and Controllers
- Processors and Peripherals
- Qsys Interconnect

New... Edit... Add...

Hierarchy Device Family

- lab_PD2 [lab_PD2.qsys*]
 - clk
 - reset
 - MyST_sink_0
 - MyST_source_0
 - clk_0
 - sc_fifo_0

System Contents Address Map Interconnect Requirements

System: lab_PD2 Path: MyST_sink_0

Use	Connectio...	Name	Description	Export	Clock	Base
<input checked="" type="checkbox"/>		clk_0 <ul style="list-style-type: none">clk_inclk_in_resetclkclk_reset	Clock Source Clock Input Reset Input Clock Output Reset Output	clk reset Double-click to Double-click to	exported clk_0	
<input checked="" type="checkbox"/>		MyST_source... <ul style="list-style-type: none">clockresetout0	MyST_source_component Clock Input Reset Input Avalon Streaming Source	Double-click to Double-click to Double-click to	unconnec [clock] [clock]	
<input checked="" type="checkbox"/>		sc_fifo_0 <ul style="list-style-type: none">clkclk_resetinout	Avalon-ST Single Clock F... Clock Input Reset Input Avalon Streaming Sink Avalon Streaming Source	Double-click to Double-click to Double-click to Double-click to	unconnec [clk] [clk] [clk]	
<input checked="" type="checkbox"/>		MyST_sink_0 <ul style="list-style-type: none">clockresetin0conduit_end_0	MyST_sink_component Clock Input Reset Input Avalon Streaming Sink Conduit	Double-click to Double-click to Double-click to Double-click to	unconnec [clock] [clock] [clock]	

Current filter:

Messages


Type	Path	Message
	6 Errors	



Настройка компонента **clk_0**

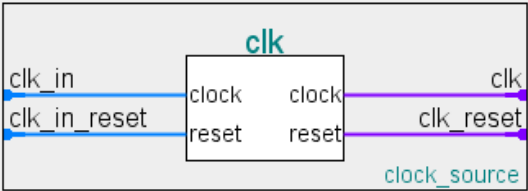
- Щелчком выберите компонент **clk_0**
- Переименуйте его в **clk**
- Выберите команду Edit
- В появившемся окне задайте Reset synchronous edges = Deassert

Clock Source - clk

 Clock Source
clock_source

Block Diagram

☐ Show signals



Parameters

Clock frequency: 50000000 Hz

☒ Clock frequency is known

Reset synchronous edges: Deassert ▾



Настройка компонента **sc_fifo_0**

- Щелчком выберите **sc_fifo_0**
- Переименуйте его в **sc_fifo**
- Выберите команду Edit
- В появившемся окне задайте
 - Bits per symbol = 4
 - Остальные параметры так, как на рисунке
- Сохраните файл

Avalon-ST Single Clock FIFO - sc_fifo

MegaCore[®] Avalon-ST Single Clock FIFO altera_avalon_sc_fifo [Documentation](#)

Block Diagram

☒ Show signals

Parameters

Symbols per beat:	1
Bits per symbol:	4
FIFO depth:	16
Channel width:	0
Error width:	0
<input type="checkbox"/> Use packets	
<input type="checkbox"/> Use fill level	
<input type="checkbox"/> Use store and forward	
<input type="checkbox"/> Use almost full status	
<input type="checkbox"/> Use almost empty status	
<input type="checkbox"/> Enable explicit maxChannel	
Explicit maxChannel:	0



Настройка компонентов

- Щелчком выберите **MyST_source_0**
- Переименуйте его в **MyST_source**
- Щелчком выберите **MyST_sink_0**
- Переименуйте его в **MyST_sink**
- Проверьте полученную структуру
- Сохраните файл

System Contents Address Map Interconnect Requirements					
System: lab_PD2 Path: clk					
Use	Connectio...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clk	Clock Source		
		clk_in	Clock Input	clk	exported
		clk_in_reset	Reset Input	reset	[clk_in]
		clk	Clock Output	<i>Double-click to</i>	clk
		clk_reset	Reset Output	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		MyST_source	MyST_source_component		
		clock	Clock Input	<i>Double-click to</i>	unconnected
		reset	Reset Input	<i>Double-click to</i>	[clock]
		out0	Avalon Streaming Source	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		sc_fifo	Avalon-ST Single Clock F...		
		clk	Clock Input	<i>Double-click to</i>	unconnected
		clk_reset	Reset Input	<i>Double-click to</i>	[clk]
		in	Avalon Streaming Sink	<i>Double-click to</i>	[clk]
		out	Avalon Streaming Source	<i>Double-click to</i>	[clk]
<input checked="" type="checkbox"/>		MyST_sink	MyST_sink_component		
		clock	Clock Input	<i>Double-click to</i>	unconnected
		reset	Reset Input	<i>Double-click to</i>	[clock]
		in0	Avalon Streaming Sink	<i>Double-click to</i>	[clock]
		conduit_end_0	Conduit	<i>Double-click to</i>	[clock]



Подключите тактовый сигнал

- На закладке System Contents щелчком выделите интерфейс **clk.clk** (интерфейс clk компонента clk)
- Выполните команду меню View=>Connections
- В появившемся окне закладки Connections выберите подключение ко всем тактовым входам
- Переключитесь на закладку System Contents
- Нажмите правую клавишу мыши
- Выберите команду Filter=>Clock and Reset Interfaces
- Убедитесь, что соединения выполнены -
Ваша система выглядит так же, как представленная на рисунке

System: lab_PD2 Path: clk.clk	
Connected to: clk.clk	
Connected	Connection
<input checked="" type="checkbox"/>	clk.clk/MyST_sink.clock
<input checked="" type="checkbox"/>	clk.clk/MyST_source.clock
<input checked="" type="checkbox"/>	clk.clk/sc_fifo.clk

System: lab_PD2 Path: clk.clk					
Use	Co...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clk	Clock Source		
		clk_in	Clock Input	clk	exported [clk_in]
		clk_in_reset	Reset Input	reset	
		clk	Clock Output	Double-click to	clk
		clk_reset	Reset Output	Double-click to	clk
<input checked="" type="checkbox"/>		MyST_source	MyST_source_component		
		clock	Clock Input	Double-click to	clk [clock]
		reset	Reset Input	Double-click to	
<input checked="" type="checkbox"/>		sc_fifo	Avalon-ST Single Clock F...		
		clk	Clock Input	Double-click to	clk [clk]
		clk_reset	Reset Input	Double-click to	
<input checked="" type="checkbox"/>		MyST_sink	MyST_sink_component		
		clock	Clock Input	Double-click to	clk [clock]
		reset	Reset Input	Double-click to	

























Подключите сигнал Reset

- На закладке System Contents выполните команду меню System=>Create Global Reset Network
- Убедитесь, что соединения выполнены - Ваша система выглядит так же, как представленная на рисунке
- Сбросьте фильтр  — нажмите на иконку  в нижней части окна System Contents
- Сохраните файл

System: lab_PD2 Path: clk.clk_reset

Use	Co...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clk	Clock Source		
		clk_in	Clock Input	clk	<i>exported</i>
		clk_in_reset	Reset Input		[clk_in]
		clk	Clock Output	<i>Double-click to</i>	clk
		clk_reset	Reset Output	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		MyST_source	MyST_source_component		
		clock	Clock Input	<i>Double-click to</i>	clk
		reset	Reset Input	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		sc_fifo	Avalon-ST Single Clock F...		
		clk	Clock Input	<i>Double-click to</i>	clk
		clk_reset	Reset Input	<i>Double-click to</i>	[clk]
<input checked="" type="checkbox"/>		MyST_sink	MyST_sink_component		
		clock	Clock Input	<i>Double-click to</i>	clk
		reset	Reset Input	<i>Double-click to</i>	[clock]

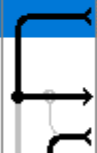
                      **Current filter:** Clock and Reset Interfaces



Подключите Avalon-ST интерфейсы

- На закладке System Contents щелчком выделите интерфейс **MyST_source.out0**
- Нажмите правую клавишу мыши
- Выберите команду **Filter=> Avalon-ST Interfaces**
- В столбце Connections выполните подключения так, как показано на рисунке
- Сбросьте фильтрацию – нажмите на иконку  в нижней части окна System Contents
- Сохраните файл

System: lab_PD2 Path: MyST_source.out0

Use	Co...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		MyST_source	MyST_source_component		[clock]
<input checked="" type="checkbox"/>		out0	Avalon Streaming Source	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		sc_fifo	Avalon-ST Single Clock F...		[clk]
<input checked="" type="checkbox"/>		in	Avalon Streaming Sink	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		out	Avalon Streaming Source	<i>Double-click to</i>	[clk]
<input checked="" type="checkbox"/>		MyST_sink	MyST_sink_component		[clock]
<input checked="" type="checkbox"/>		in0	Avalon Streaming Sink	<i>Double-click to</i>	clk



Экспортируйте выводы

- На закладке System Contents щелчком выделите интерфейс **MyST_sink.conduit_end_0**
- Дважды щелкните в поле Export и задайте имя **dout**
- Сохраните файл

System: lab_PD2 Path: MyST_sink.conduit_end_0

Use	Connectio...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		<div>clk</div> <div>clk_in</div> <div>clk_in_reset</div> <div>clk</div> <div>clk_reset</div>	<div>Clock Source</div> <div>Clock Input</div> <div>Reset Input</div> <div>Clock Output</div> <div>Reset Output</div>	<div>clk</div> <div>reset</div> <div>Double-click to</div> <div>Double-click to</div>	<div><i>exported</i></div> <div>[clk_in]</div> <div>clk</div> <div>clk</div>
<input checked="" type="checkbox"/>		<div>MyST_source</div> <div>clock</div> <div>reset</div> <div>out0</div>	<div>MyST_source_component</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Streaming Source</div>	<div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div>	<div>clk</div> <div>[clock]</div> <div>[clock]</div>
<input checked="" type="checkbox"/>		<div>sc_fifo</div> <div>clk</div> <div>clk_reset</div> <div>in</div> <div>out</div>	<div>Avalon-ST Single Clock F...</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Streaming Sink</div> <div>Avalon Streaming Source</div>	<div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div>	<div>clk</div> <div>[clk]</div> <div>[clk]</div> <div>[clk]</div>
<input checked="" type="checkbox"/>		<div>MyST_sink</div> <div>clock</div> <div>reset</div> <div>in0</div>	<div>MyST_sink_component</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Streaming Sink</div>	<div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div>	<div>clk</div> <div>[clock]</div> <div>[clock]</div>
		conduit_end_0	Conduit	dout	[clock]



Проверьте систему

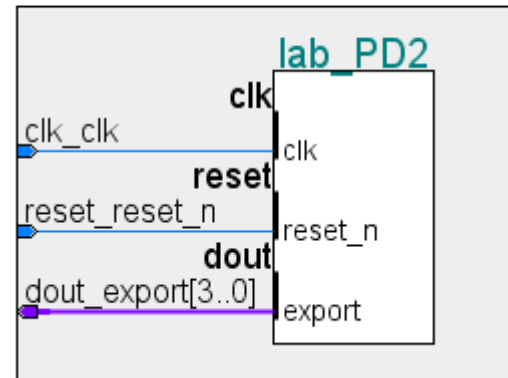
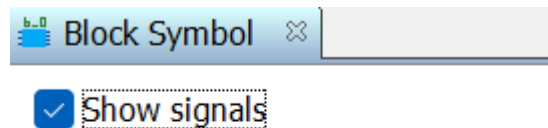
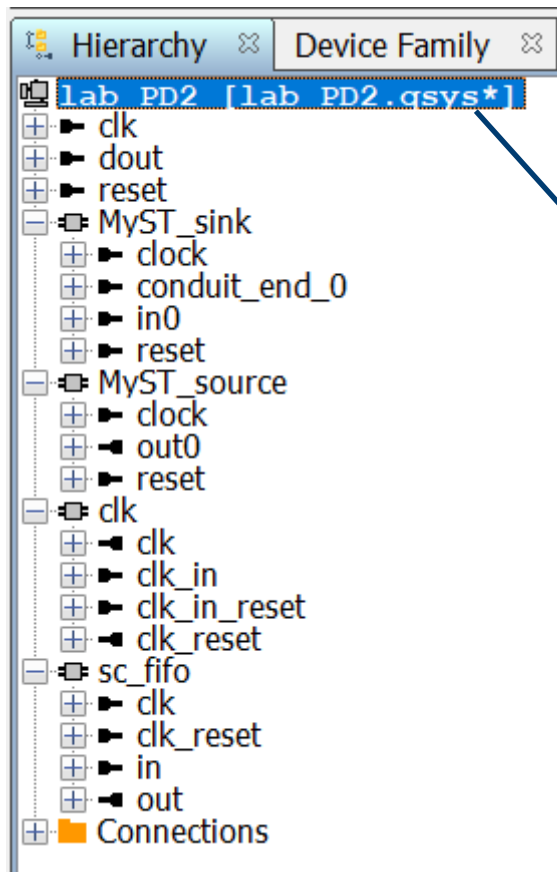
- Убедитесь в том, что
 - Ваша система выглядит так же, как представленная на рисунке
 - Закладка сообщений (Messages) не содержит сообщений.

Use	Connectio...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clk	Clock Source		
	<input type="checkbox"/>	clk_in	Clock Input	clk	exported
	<input type="checkbox"/>	clk_in_reset	Reset Input	reset	[clk_in]
	<input type="checkbox"/>	clk	Clock Output	<i>Double-click to</i>	clk
	<input type="checkbox"/>	clk_reset	Reset Output	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		MyST_source	MyST_source_component		
	<input type="checkbox"/>	clock	Clock Input	<i>Double-click to</i>	clk
	<input type="checkbox"/>	reset	Reset Input	<i>Double-click to</i>	[clock]
	<input type="checkbox"/>	out0	Avalon Streaming Source	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		sc_fifo	Avalon-ST Single Clock F...		
	<input type="checkbox"/>	clk	Clock Input	<i>Double-click to</i>	clk
	<input type="checkbox"/>	clk_reset	Reset Input	<i>Double-click to</i>	[clk]
	<input type="checkbox"/>	in	Avalon Streaming Sink	<i>Double-click to</i>	[clk]
	<input type="checkbox"/>	out	Avalon Streaming Source	<i>Double-click to</i>	[clk]
<input checked="" type="checkbox"/>		MyST_sink	MyST_sink_component		
	<input type="checkbox"/>	clock	Clock Input	<i>Double-click to</i>	clk
	<input type="checkbox"/>	reset	Reset Input	<i>Double-click to</i>	[clock]
	<input type="checkbox"/>	in0	Avalon Streaming Sink	<i>Double-click to</i>	[clock]
	<input type="checkbox"/>	conduit_end_0	Conduit	dout	[clock]



Анализ системы

- Выполните команду: меню View=>Hierarchy
- В окне закладки Hierarchy выделите систему Lab2_sys [Lab2_sys.qsys]
- Выполните команду: меню View=>Block Symbol
- Убедитесь, что Ваш символ системы соответствует представленному на рисунке

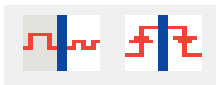




Анализ системы

- Выполните команду: меню View => Clock domains Beta

- Выберите режим отображения Clocks



Clocks Resets

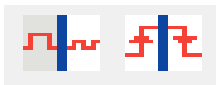
- Убедитесь в том, что в столбце Connections нет красных точек => нет проблем подключения

System: lab_PD2 Path: clk.clk_in					
Use	Connectio...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clk	Clock Source		
<input checked="" type="checkbox"/>		clk_in	Clock Input	clk	exported
<input checked="" type="checkbox"/>		clk_in_reset	Reset Input	reset	[clk_in]
<input checked="" type="checkbox"/>		clk	Clock Output	Double-click to	clk
<input checked="" type="checkbox"/>		clk_reset	Reset Output	Double-click to	clk
<input checked="" type="checkbox"/>		MyST_source	MyST_source_component		
<input checked="" type="checkbox"/>		clock	Clock Input	Double-click to	clk
<input checked="" type="checkbox"/>		reset	Reset Input	Double-click to	[clock]
<input checked="" type="checkbox"/>		out0	Avalon Streaming Source	Double-click to	[clock]
<input checked="" type="checkbox"/>		sc_fifo	Avalon-ST Single Clock F...		
<input checked="" type="checkbox"/>		clk	Clock Input	Double-click to	clk
<input checked="" type="checkbox"/>		clk_reset	Reset Input	Double-click to	[clk]
<input checked="" type="checkbox"/>		in	Avalon Streaming Sink	Double-click to	[clk]
<input checked="" type="checkbox"/>		out	Avalon Streaming Source	Double-click to	[clk]
<input checked="" type="checkbox"/>		MyST_sink	MyST_sink_component		
<input checked="" type="checkbox"/>		clock	Clock Input	Double-click to	clk
<input checked="" type="checkbox"/>		reset	Reset Input	Double-click to	[clock]
<input checked="" type="checkbox"/>		in0	Avalon Streaming Sink	Double-click to	[clock]
<input checked="" type="checkbox"/>		conduit_end_0	Conduit	Double-click to	[clock]



Анализ системы

- Выполните команду: меню View => Clock domains Beta
- Выберите режим отображения Reset
- Убедитесь в том, что в столбце Connections нет красных точек => нет проблем подключения



Clocks **Resets**

System: lab_PD2 Path: clk.clk_in

Use	Connectio...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		<input type="checkbox"/> clk	Clock Source		
<input checked="" type="checkbox"/>		<input type="checkbox"/> clk_in	Clock Input	clk	<i>exported</i>
<input checked="" type="checkbox"/>		<input type="checkbox"/> clk_in_reset	Reset Input	reset	[clk_in]
<input checked="" type="checkbox"/>		<input type="checkbox"/> clk	Clock Output	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		<input type="checkbox"/> clk_reset	Reset Output	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		<input type="checkbox"/> MyST_source	MyST_source_component		
<input checked="" type="checkbox"/>		<input type="checkbox"/> clock	Clock Input	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		<input type="checkbox"/> reset	Reset Input	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		<input type="checkbox"/> out0	Avalon Streaming Source	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		<input type="checkbox"/> sc_fifo	Avalon-ST Single Clock F...		
<input checked="" type="checkbox"/>		<input type="checkbox"/> clk	Clock Input	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		<input type="checkbox"/> clk_reset	Reset Input	<i>Double-click to</i>	[clk]
<input checked="" type="checkbox"/>		<input type="checkbox"/> in	Avalon Streaming Sink	<i>Double-click to</i>	[clk]
<input checked="" type="checkbox"/>		<input type="checkbox"/> out	Avalon Streaming Source	<i>Double-click to</i>	[clk]
<input checked="" type="checkbox"/>		<input type="checkbox"/> MyST_sink	MyST_sink_component		
<input checked="" type="checkbox"/>		<input type="checkbox"/> clock	Clock Input	<i>Double-click to</i>	clk
<input checked="" type="checkbox"/>		<input type="checkbox"/> reset	Reset Input	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		<input type="checkbox"/> in0	Avalon Streaming Sink	<i>Double-click to</i>	[clock]
<input checked="" type="checkbox"/>		<input type="checkbox"/> conduit_end_0	Conduit	<i>Double-click to</i>	dout



Анализ системы

- Выполните команду: меню System => Show System with Platform Designer Interconnect (Show System with Qsys Interconnect)
- сравните созданную Вами систему и систему с модулями добавленными PD:
 - Убедитесь в том, что PD не добавил никаких модулей.

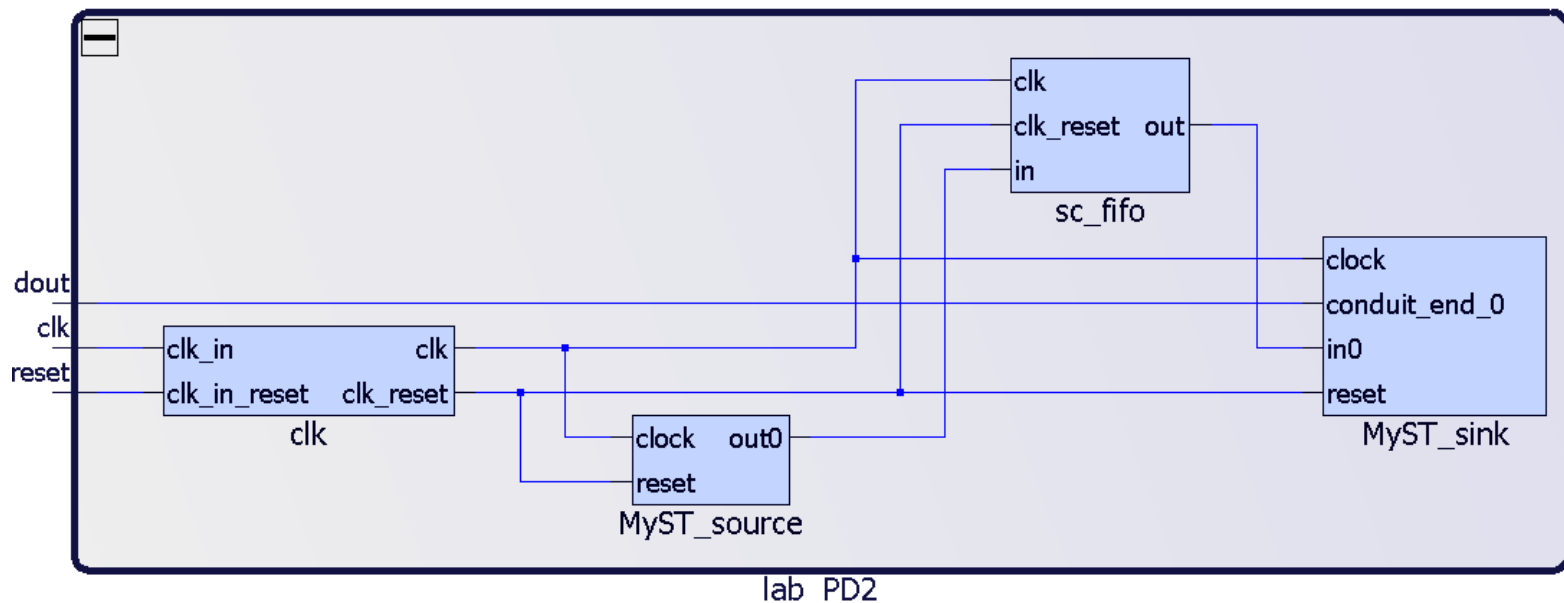
System: lab_PD2

Use	Connectio...	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		<div>clk</div> <div>clk_in</div> <div>clk_in_reset</div> <div>clk</div> <div>clk_reset</div>	<div>Clock Source</div> <div>Clock Input</div> <div>Reset Input</div> <div>Clock Output</div> <div>Reset Output</div>	<div>clk</div> <div>reset</div> <div>Double-click to</div> <div>Double-click to</div>	<div>exported</div> <div>[clk_in]</div> <div>clk</div> <div>clk</div>
<input checked="" type="checkbox"/>		<div>MyST_source</div> <div>clock</div> <div>reset</div> <div>out0</div>	<div>MyST_source_component</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Streaming Source</div>	<div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div>	<div>clk</div> <div>[clock]</div> <div>[clock]</div>
<input checked="" type="checkbox"/>		<div>sc_fifo</div> <div>clk</div> <div>clk_reset</div> <div>in</div> <div>out</div>	<div>Avalon-ST Single Clock F...</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Streaming Sink</div> <div>Avalon Streaming Source</div>	<div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div>	<div>clk</div> <div>[clk]</div> <div>[clk]</div> <div>[clk]</div>
<input checked="" type="checkbox"/>		<div>MyST_sink</div> <div>clock</div> <div>reset</div> <div>in0</div> <div>conduit_end_0</div>	<div>MyST_sink_component</div> <div>Clock Input</div> <div>Reset Input</div> <div>Avalon Streaming Sink</div> <div>Conduit</div>	<div>Double-click to</div> <div>Double-click to</div> <div>Double-click to</div> <div>dout</div>	<div>clk</div> <div>[clock]</div> <div>[clock]</div> <div>[clock]</div>



Анализ системы

- Выполните команду: меню **View=>Schematic**
- Убедитесь в том, что система синхронизации Вашей системы выглядит так же, как представленная на рисунке

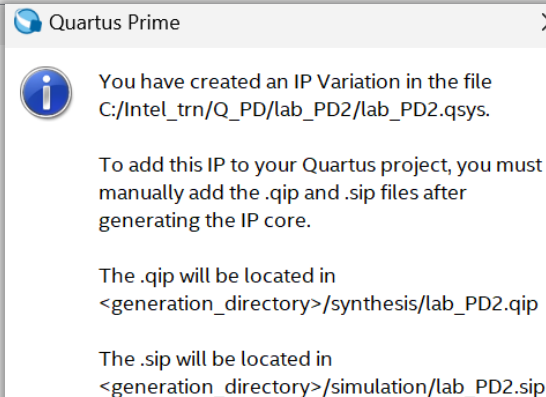
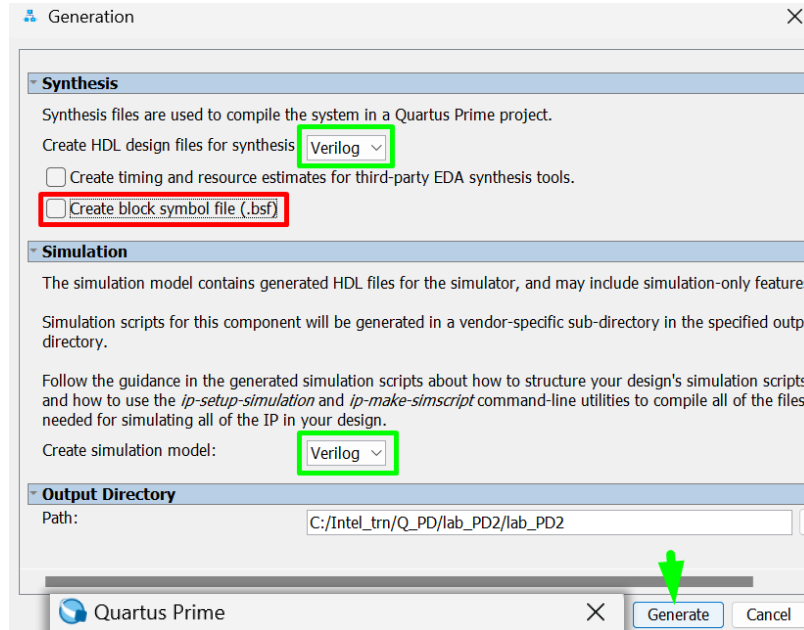




Генерация системы

- В окне PD нажмите кнопку Generate HDL... (правый нижний угол окна)
- Установите режимы так, как показано на рисунке
- Нажмите кнопку Generate
- По окончании процедуры появится сообщение
 - Нажмите кнопку Close
- В окне PD нажмите кнопку Finish (правый нижний угол окна)
- Появится напоминание о необходимости подключить файлы к проекту пакета QP
- Нажмите кнопку ОК.

Generate: completed successfully.





Подключите файлы к проекту в Quartus

- В Quartus
 - Выполните **Project => Add\Remove Files from project**
 - Подключите указанные файлы

Settings - lab_PD2

Category: Device/Board...

General

Files

Libraries

IP Settings

- IP Catalog Search Locations
- Design Templates

Operating Settings and Conditions

- Voltage
- Temperature

Compilation Process Settings

- Incremental Compilation

EDA Tool Settings

Files

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.

File name: ... Add

X Add All

File Name	Type	Library	Design Entry/Syn
lab_PD2_top.sv	SystemVerilog HDL File		<None>
lab_PD2/simulation/lab_PD2.sip	Quartus Prime SIP File		<None>
lab_PD2/synthesis/lab_PD2.qip	IP Variation File (.qip)		<None>

Remove

Up

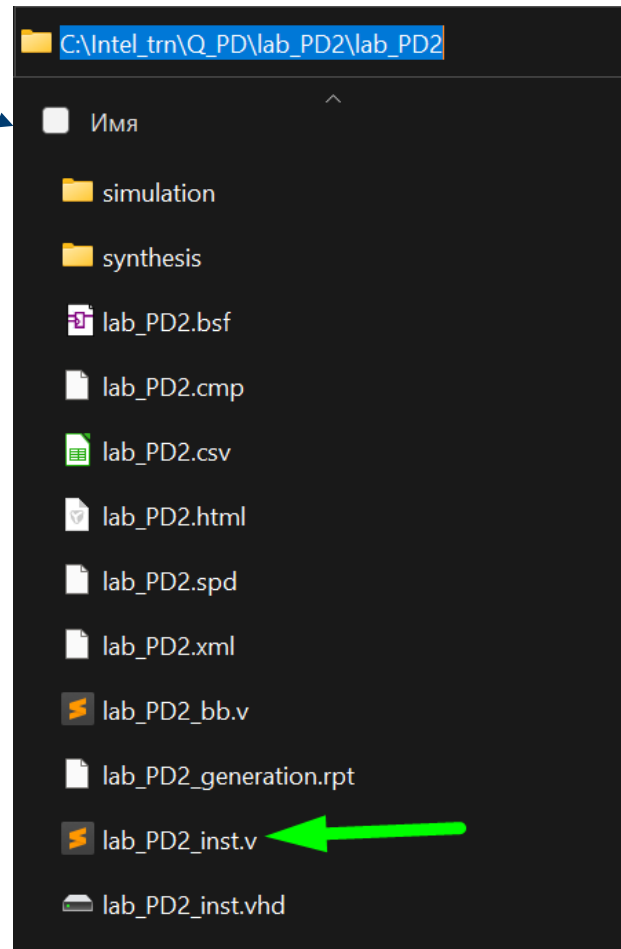
Down



Файл Lab2_top.sv

- Создан с использованием файла lab_PD2_inst.v

```
lab_PD2_top.sv
1  `timescale 1 ns / 1 ns
2  module lab_PD2_top (
3      input bit clk,
4      input bit reset,
5      output bit [3:0] dout
6  );
7  Lab_PD2 UUT (
8      .clk_clk      (clk),
9      .reset_reset_n (reset),
10     .dout_export   (dout)
11  );
12 endmodule
```

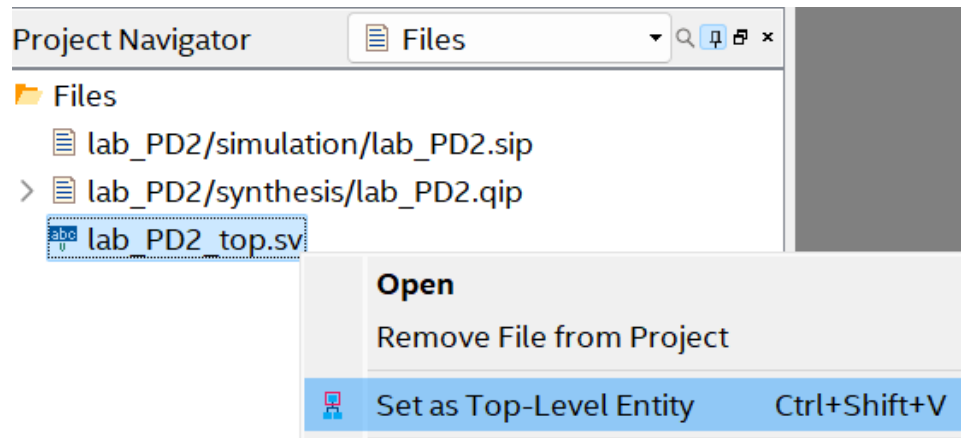




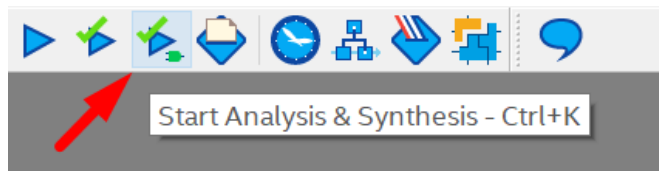
Анализ и синтез в QP

■ В QP

- Файл lab_PD2_top.sv объявите файлом верхнего уровня



- Выполните команду **Start Analysis and Synthesis**

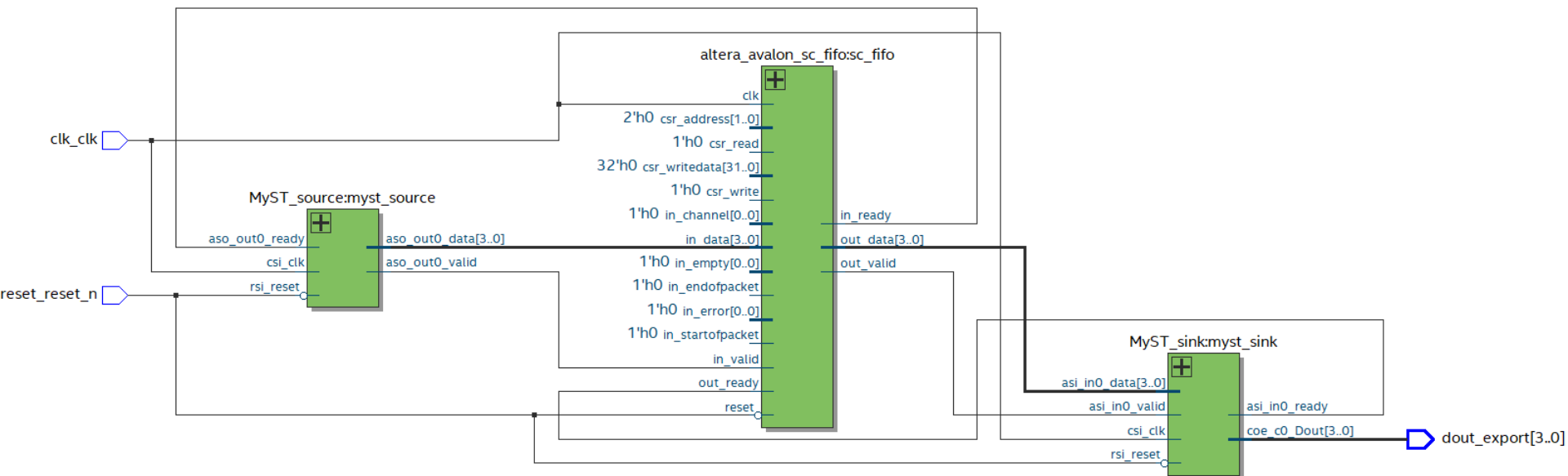


Убедитесь в том, что компиляция завершилась без ошибок и предупреждений



Анализ RTL Viewer

- Выполните: меню Tools=>Netlist Viewers => RTL viewer
- Убедитесь в том, что Ваша схема похожа на схему, приведенную на рисунке

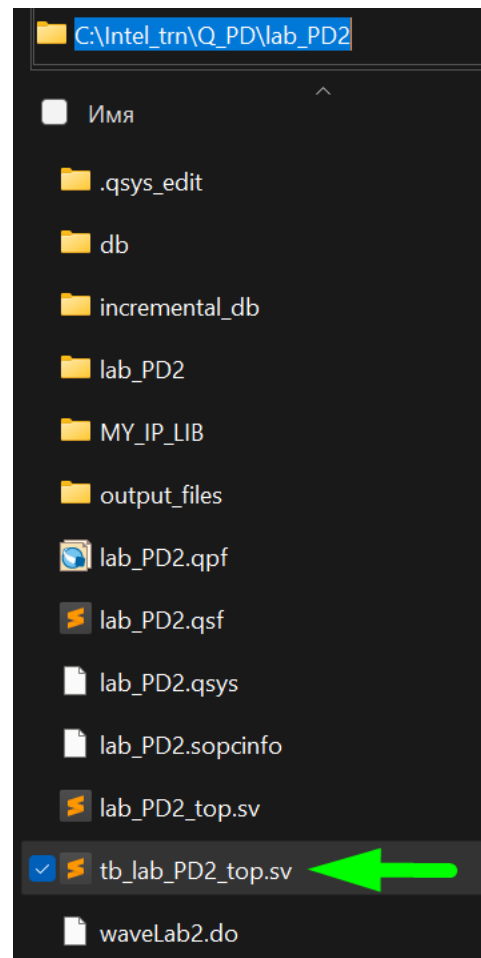




Файл tb_lab_PD2_top.sv

- Тест для проверки системы

```
tb_lab_PD2_top.sv x
1  `timescale 1 ns / 1 ns
2  module tb_lab_PD2_top ();
3      bit clk;
4      bit reset ;
5      bit[3:0] dout;
6
7      always
8          #50 clk = ~ clk;
9      initial
10     begin
11         clk      = 1'b0;
12         reset    = 1'b0;
13         #500;
14         reset    = 1'b1;
15         #4000;
16         $stop;
17     end
18
19     Lab_PD2_top UUT (.*) ;
20 endmodule
```





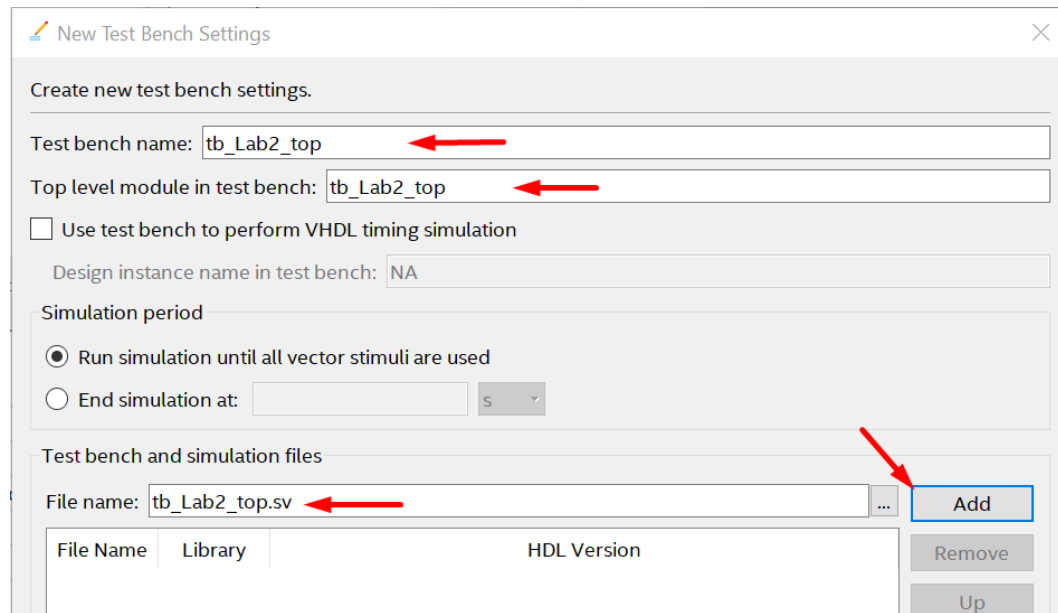
Настройка QP для NativeLink

- Выполните команду : **меню Assignment=>Settings=>Simulation =>NativeLink settings=>кнопка Test Benches**



- Нажмите кнопку **New**

- Выполните назначения, показанные на рисунке.

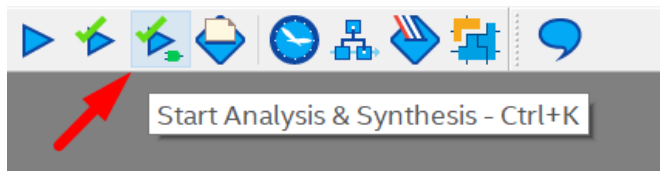




Синтез в QP

- В QP

- Выполните команду **Start Analysis and Synthesis**

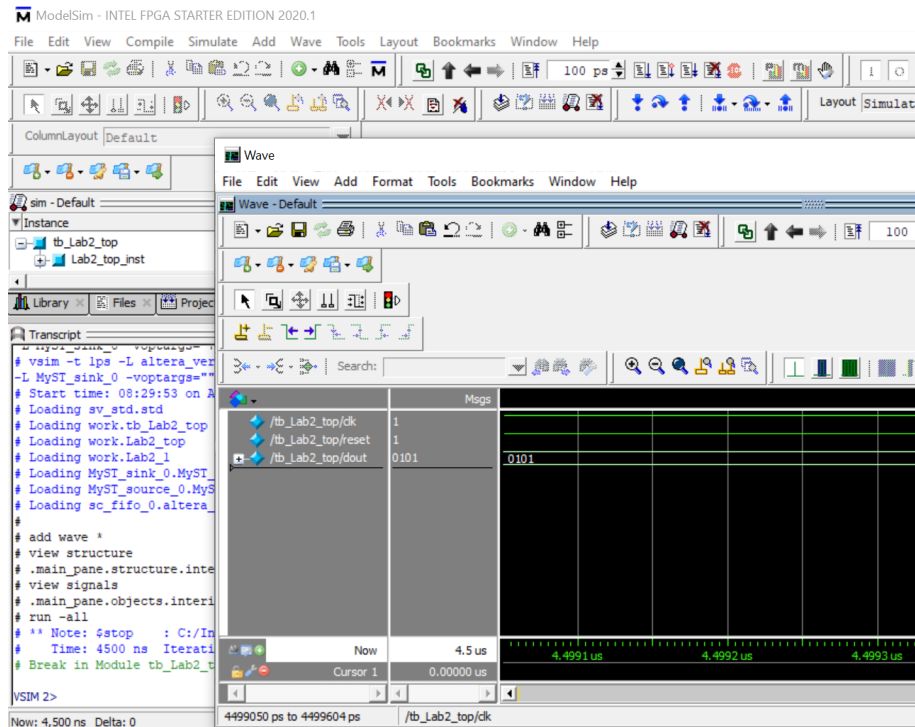
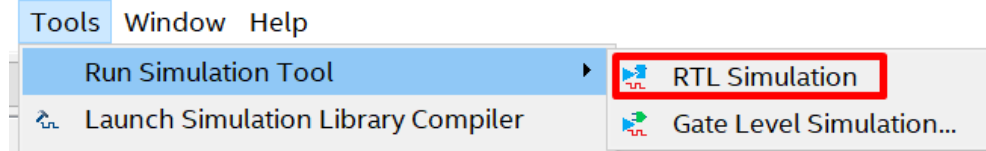


Убедитесь в том, что компиляция завершилась без ошибок и предупреждений



Запуск моделирования с NativeLink

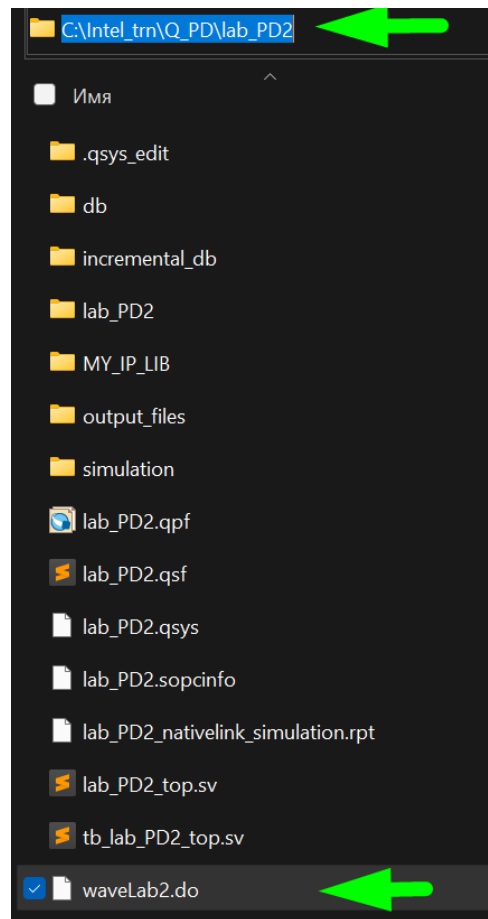
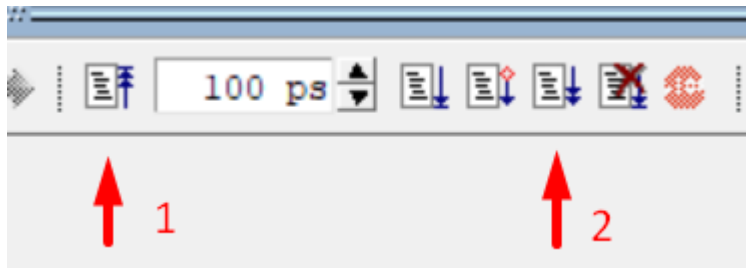
- Выполните команду : меню **Tools=>Run Simulation Tool=>RTL Simulation**
- Откроется окно (окна) пакета ModelSim






Загрузка формата временной диаграммы

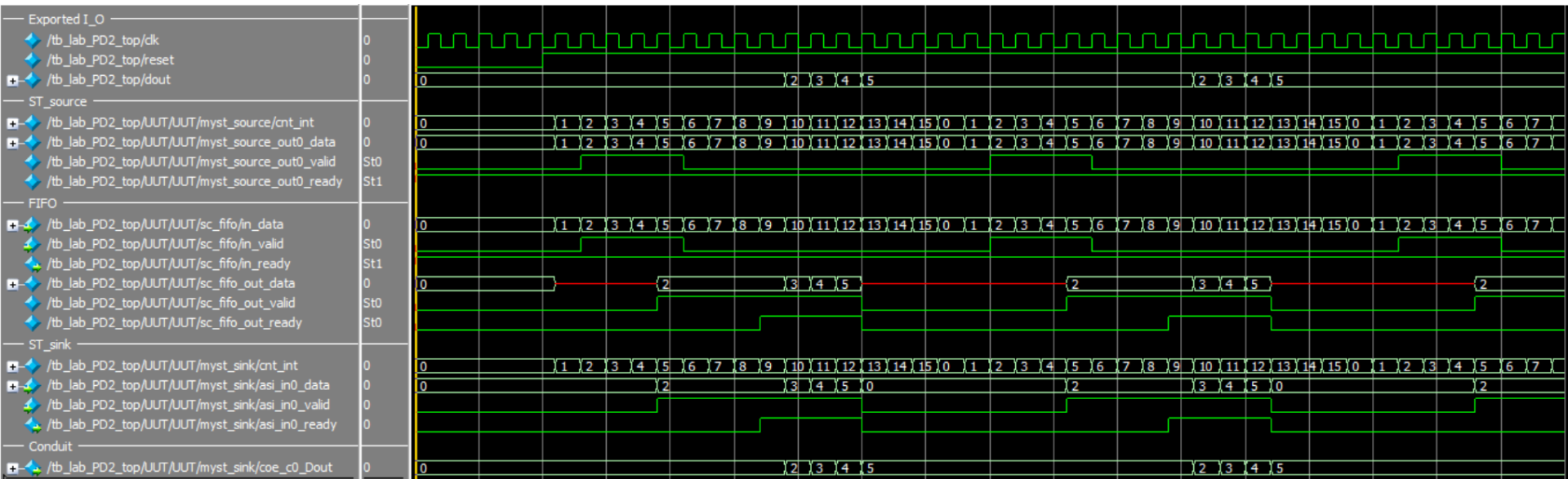
- В окне Wave пакета ModelSim
 - Удалите все временные диаграммы
 - выполните команду: File=>Load и выберите файл waveLab2.do
- В окне Wave пакета ModelSim нажмите кнопку Restart а затем Run -All





Загрузка формата временной диаграммы

- В окне Wave пакета ModelSim выполните команду Zoom Full 
- Проведите анализ полученной временной диаграммы и убедитесь в правильности работы системы.
- Для чего используется FIFO? Можно ли было обойтись без него?



Создание модуля ISSPE

- В пакете Quartus создайте экземпляр модуля ISSPE

The image shows the Quartus IP Catalog on the left and the 'New IP Variation' dialog on the right. An arrow points from the 'Altera In-System Sources & Probes' entry in the catalog to the dialog.

IP Catalog:

- IP Catalog
- Search: sour
- Installed IP
 - Library
 - Basic Functions
 - Simulation; Debug and Verification
 - Debug and Performance
 - Altera In-System Sources & Probes**
 - Simulation

New IP Variation Dialog:

Your IP settings will be saved in a .qsys file.

Create IP Variation

Entity name: SP_unit

Save in folder: C:\Intel_trn\Q_PD\lab_PD2

Parameters

System: SP_unit Path: in_system_sources_probes_0

Altera In-System Sources & Probes
altera_in_system_sources_probes

Instance Info

- ☒ Automatic Instance Index Assignment
- Instance Index: 0
- The 'Instance ID' of this instance (optional): SP_0

Probe Parameters

- Probe Port Width [0..512]: 0

Source Parameters

- Source Port Width [0..512]: 1
- Hexadecimal initial value for the Source Port: 0
- ☒ Use Source Clock
- ☐ Use Source Clock Enable

файл SP_unit.qip

- Добавьте в пакете Quartus к текущему проекту файл **SP_unit.qip**

Settings - lab_PD2

Category: Device/Board...

Files

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.

File name: ... Add

X

File Name	Type	Library	Design Entry/Synthes
SP_unit/synthesis/SP_unit.qip	IP Variation File (.qip)		<None>
lab_PD2/simulation/lab_PD2.sip	Quartus Prime SIP File		<None>
> lab_PD2/synthesis/lab_PD2.qip	IP Variation File (.qip)		<None>
lab_PD2_top.sv	SystemVerilog HDL File		<None>

Remove Up Down Properties

Файл для отладки db_lab2_PD2_top.sv

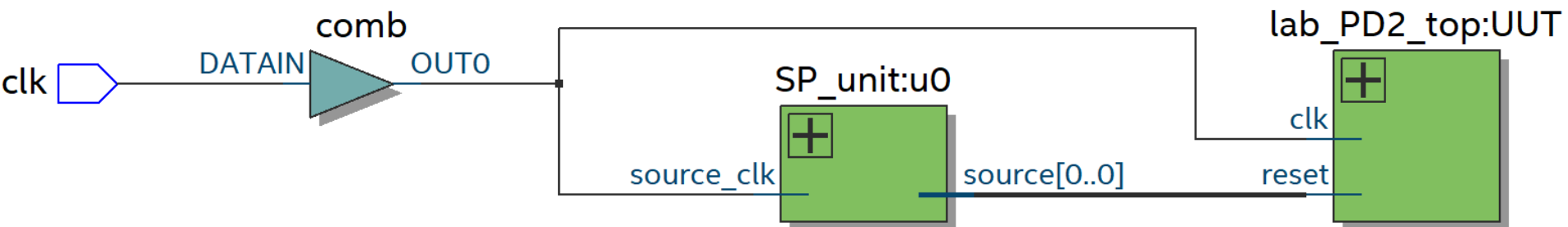
- В пакете Quartus создайте файл для отладки модуля lab2_PD2_top

Пример приведен ниже.

```
1  module db_lab_PD2_top (
2      (* altera_attribute = "-name IO_STANDARD \"3.3-V LVCMOS\"", chip_pin = "R8" *)
3      //"23" for miniDilab-CIV
4      //"R8" for DE0_nano
5      //"N5" for MAX10 NEEK
6      input bit clk
7  );
8      bit reset ;
9      bit[3:0] dout;
10  SP_unit u0 (
11      .source      (reset),    // sources.source
12      .source_clk  (clk)      // source_clk.clk
13  );
14  Lab_PD2_top UUT (.*);
15  endmodule
```

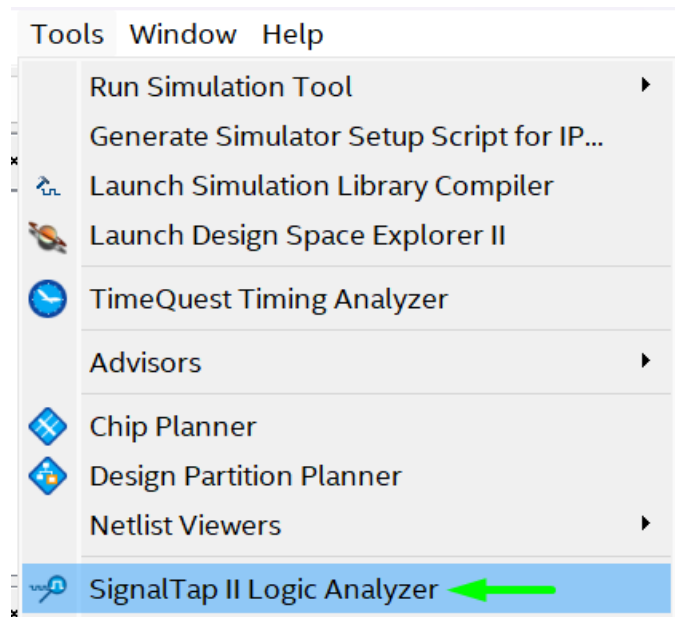
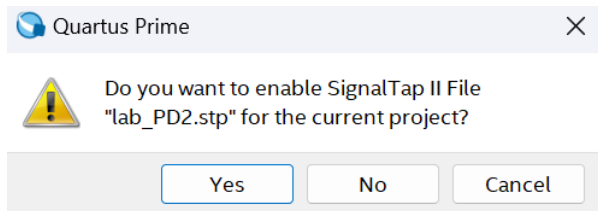
RTL Viewer db_lab_PD2.sv

- В пакете Quartus задайте файл db_lab_PD2.sv файлом верхнего уровня
- Осуществите анализ и синтез
- Проверьте структуру, полученную RTL Viewer – она должна соответствовать приведенной ниже структуре.



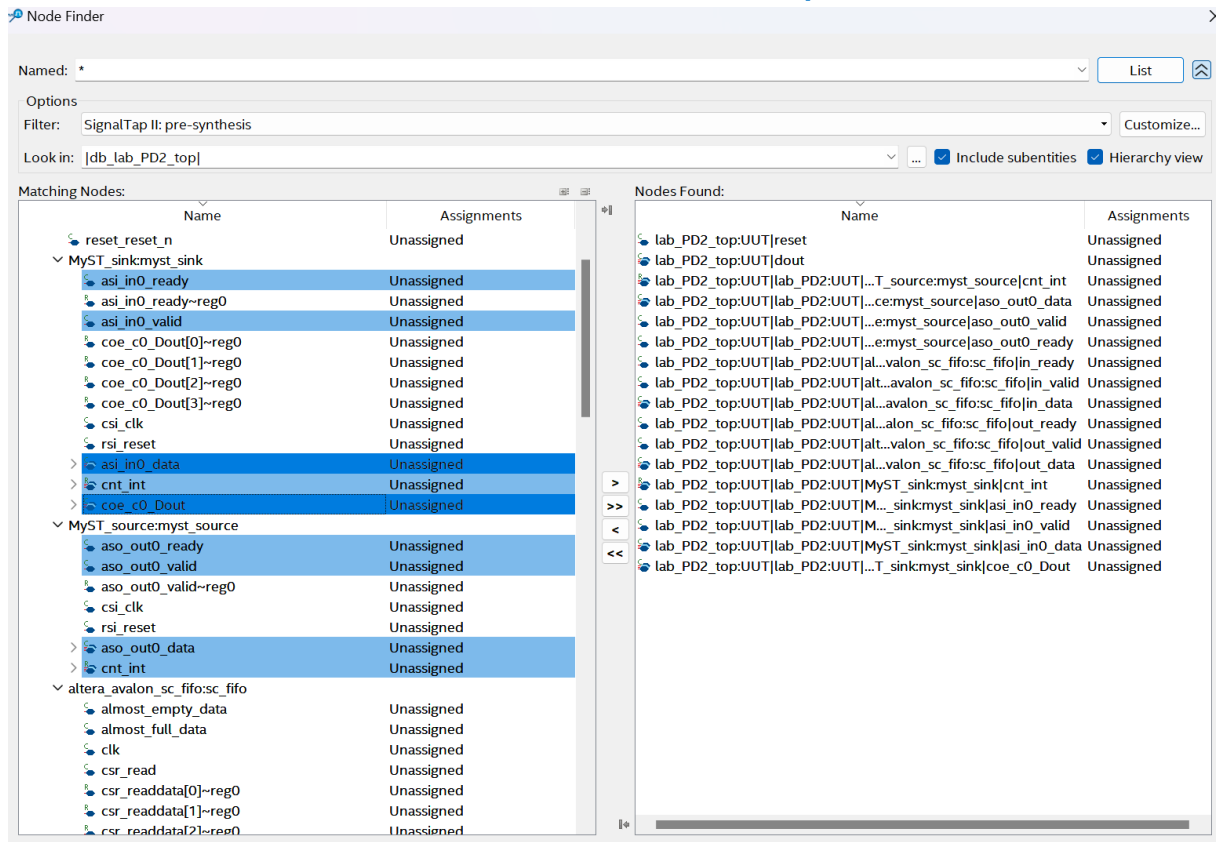
lab_PD2.stp

- Создайте новый файл логического анализатора
- Сохраните его под именем **lab_PD2.stp**
- Разрешите его использование в текущем проекте



lab_PD2.stp сигналы для анализа

- Выберите сигналы для логического анализатора



lab_PD2.stp настройка

- Задайте настройки логического анализатора
 - Синхронизация по фронту сигнала **reset**

auto_sigaltap_0		Lock mode: Allow all changes			
Node		Data Enable	Trigger Enable	Trigger Condition	
Type	Alias	Name	41	41	1 Basic AI
		lab_PD2 top:UUT reset			
		+ ...2 top:UUT dout[3..0]			Xh
		+ ...st source cnt int[3..0]			Xh
		+ ...e aso out0 data[3..0]			Xh
		...t source aso out0 valid			
		... source aso out0 ready			
		... sc fifo:sc fifo in ready			
		...n sc fifo:sc fifo in valid			
		+ ...fo:sc fifo in data[3..0]			Xh
		...sc fifo:sc fifo out ready			
		... sc fifo:sc fifo out valid			
		+ ...:sc fifo out data[3..0]			Xh
		+ ...yst sink cnt int[3..0]			Xh
		...:myst sink asi in0 ready			
		...k:myst sink asi in0 valid			
		+ ...sink asi in0 data[3..0]			Xh

Signal Configuration:

Clock: clk

Data

Sample depth: 64

☐ Segmented: 2 32 sample segments

Nodes Allocated: Auto

Pipeline Factor: 0

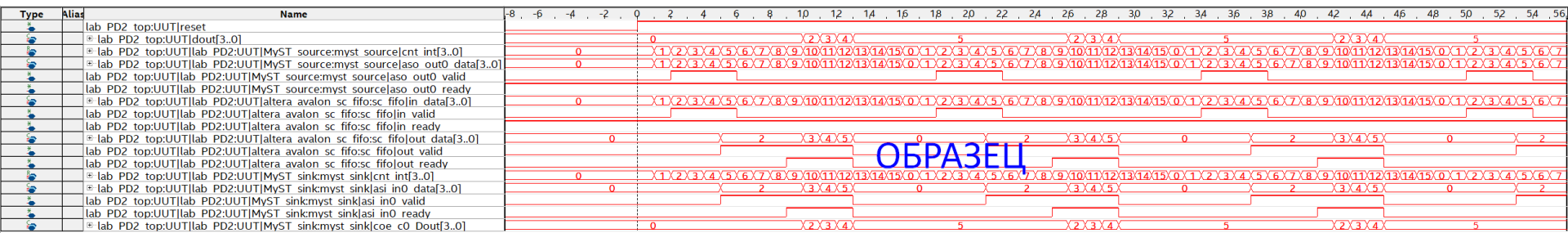
Storage qualifier:

Type: Continuous

Input port:

lab_PD2.str ожидаемые результаты

- Используя ISSPE для управления сигналом reset получите в логическом анализаторе временную диаграмму, аналогичную приведённой ниже



- Сравните с результатами моделирования



Лабораторная 2
ЗАВЕРШЕНА!