



第四章 存贮体系

本章内容要点

- | 存贮体系的概念和并行主存系统；
- | 虚拟存储器；
- | 高速缓冲存贮器；
- | 主存保护。



存贮体系的概念 和并行主存系统

- | 存贮体系的基本要求
- | 并行主存系统
- | 存贮体系的概念
- | 存贮体系的透明性
- | 存储体系的性能



虚拟存储器

- | 虚拟存储器管理方式
- | 页式虚拟存储器的地址映像与变换
- | 页式虚拟存储器的页面替换算法
- | 堆栈型替换算法
- | 页面失效的处理
- | 加快虚拟存储器的内部地址变换
- | 页面虚拟存储器的性能分析



高速缓冲存储器

- | **Cache存储器与虚拟存储器的对比;**
- | **地址的映像和变换;**
- | **LRU替换算法的硬件实现**
- | **Cache存储器的一致性问题**
- | **提高Cache命中率的取算法**
- | **Cache存储器的性能分析**



第

二

题

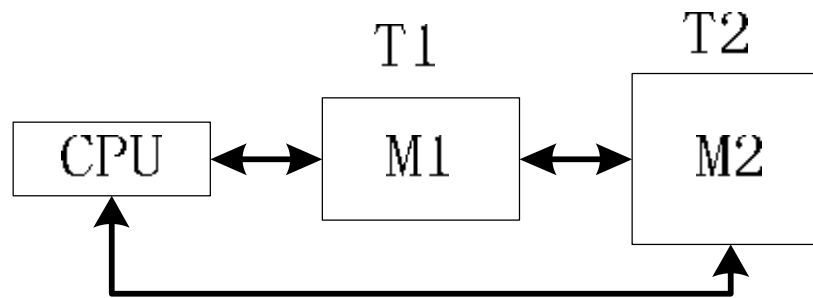
一个二级虚拟存储器CPU访问主存M1和辅存M2的平均时间分别为 $1\mu\text{s}$ 和 1ms 。经实测，此虚存平均访问时间为 $100\mu\text{s}$ 。试定性提出使虚存平均访问时间能从 $100\mu\text{s}$ 下降到 $10\mu\text{s}$ 的几种方法，并分析这些方法在硬件和软件上的代价。



第二题解答

习题分析

z 存储体系的结构

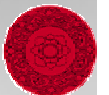


$$T_1 = 1\mu s, T_2 = 1ms = 1000\mu s, T = 100\mu s$$

$$T = H \cdot T_1 + (1 - H)T_2$$

$$H = \frac{T - T_2}{T_1 - T_2}$$

$$H = 0.901$$



第二题解答

1.在命中率不变的情况下,提高主存速度,设主存的访问时间为0,则:

$$T = (1-H)T_2 = (1-0.901) \cdot 1000 = 99ms$$

因此,提高主存速度不能满足题目要求!

2.提高命中率

若 $T=10\mu s$, 则命中率应为:

$$H = \frac{T - T_2}{T_1 - T_2} = \frac{10 - 1000}{1 - 1000} = 0.991$$

- a.改进替换算法
- b.改进调度策略
- c.调整页面大小
- d.提高主存容量



第二题解答

3.在命中率不变的条件下，采用更高速的辅存，提高M2的速度。

$$T_2 = \frac{T - HT_1}{1 - H} = \frac{10 - 0.901}{1 - 0.901} = 91.91ms$$

因此, 将M2的速度提高到91.91μs也可以满足用户需求



第八题

某虚拟存储器共八个页面，每页为1024个字，实际主存为4096个字，采用页表法进行地址映象。映象表的内容如表中所示。

实页号	装入位
3	1
1	1
2	0
3	0
2	1
1	0
0	1
0	0

(1) 列出会发生页面失效的全部虚页。

(2) 按以下虚地址计算主存实地址。

0, 3728, 1023, 1024,
2055, 7800, 4096,
6800



第八题解答

虚地址	虚页号	页内位移	装入位	实页号	实地址
0	0	0	1	3	3072
3728	3	656	0	无	无
1023	0	1023	1	3	4095
1024	1	0	1	1	1024
2055	2	7	0	无	无
7800	7	632	0	无	无
4096	4	0	1	2	2048
6800	6	656	1	0	656



第

十

题

| 设某程序包含5个虚页，其页面地址流4, 5, 3, 2, 5, 1, 3, 2, 2, 5, 1, 3。当使用LRU算法，为获得最高命中率，至少应分配给该程序多少个实页？其可能的最高命中率为多少？

z 随着主存页面数的增加, 命中率不减



第十题解答

五个虚页时，分配给该程序5个页面一定命中率最高，当分配给该程序五个页面时，命中情况如下：

4	5	3	2	5	1	3	2	2	5	1	3
4	4	4	4	4	4	4	4	4	4	4	4
	5	5	5	5*	5	5	5	5	5*	5	5
		3	3	3	3	3*	3	3	3	3	3*
			2	2	2	2	2*	2*	2	2	2
					1	1	1	1	1	1*	1

最高命中率为7/12



第十题解答

当分配该程序四个实页时，命中情况如图所示：

4	5	3	2	5	1	3	2	2	5	1	3
4	4	4	4	4	1	1	1	1	1	1 [*]	1
	5	5	5	5 [*]	5	5	5	5	5 [*]	5	5
		3	3	3	3	3 [*]	3	3	3	3	3 [*]
			2	2	2	2	2 [*]	2 [*]	2	2	2

命中率无区别



第十题解答

同理验证分配给该道程序三个实页的时候命中率为 $2/12$.

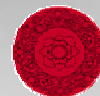
所以至少分配给该程序4个实页，其可能达到最高命中率，最高命中率为 $7/12$ 。



第十四题

- | 程序大小920个字
- | 主存容量400个字，页面大小200个字、100个字、400个字
- | 主存访问地址：20，22，208，214，146，618，370，490，492，868，916，728。
- | 主存容量改为800个字，，页面大小200个字。

针对上面的几种情况计算主存命中率



主存容量	页面大小	主存页面数	20	22	208	214	146	618	370	490	492	868	916	728
			页面地址流											
400	100	4	0	0	2	2	1	6	3	4	4	8	9	7
	200	2	0	0	1	1	0	3	1	2	2	4	4	3
	400	1	0	0	0	0	0	1	0	1	1	2	2	1
800	200	4	0	0	1	1	0	3	1	2	2	4	4	3

页面地址流	0 0 2 2 1 6 3 4 4 8 9 7											
主存400	0	0 *	0	0	0	0	3	3	3	3	3	7
页面100			2	2 *	2	2	2	4	4 *	4	4	4
页面数					1	1	1	1	1	8	8	8
n=4						6	6	6	6	6	9	9
命中3次		H		H					H			



第十四题解答

页面地址流	0 0 1 1 0 3 1 2 2 4 4 3											
主存400 页面200 n=2	0	0*	0	0	0*	3	3	3	3	4	4*	4
			1	1*	1	1	1*	2	2*	2	2	3
命中6次		H		H	H		H		H		H	

页面地址流	0 0 0 0 0 1 0 1 1 2 2 1											
n=1	0	0*	0*	0*	0*	1	0	1	1*	2	2*	1
命中6次		H	H	H	H				H		H	



第十四题解答

页面地址流	0 0 1 1 0 3 1 2 2 4 4 3											
主存800	0	0*	0	0	0*	0	0	0	0	4	4*	4
页面200			1	1*	1	1	1*	1	1	1	1	1
页面数						3	3	3	3	3	3	3*
n=4								2	2*	2	2	2
命中3次		H		H	H		H		H		H	H

主存容量提高，不一定能使命中率提高



第十七题

采用组相联映象的Cache存储器，Cache为1KB，要求Cache的每一块在一个主存周期内能从主存取得。主存采用模4交叉，每个分体宽度为32位，总容量为256KB。采用按地址访问存储器构成的相联目录表，实现主存地址到Cache地址的变换，并约定采用4个外相等比较电路。请设计此相联目录表，求出该表之行数、总位数及每个比较电路的位数。



第十七题

| Cache采用组相联

Cache地址的
长度为10位

块内偏移
地址4位

| Cache容量1KB;

| 一个周期能够获得的数据量
 $32\text{bit}/8*4=16\text{B}$;

主存地址的
长度为18位

| 主存的容量为256KB;

| 相联目录表由按地址访问的存贮器构成
4个外相等比较电路。

1.求出目录表的行数?

2.目录表的总位数?

3.每个比较电路的位数?

每组由4块构成，因此组
内块号为2位



第十七题解答

因此，Cache地址和内存地址的格式分别为：

		块内偏	
组号	块号	移地址	
4位	2位	4位	Cache地址

			块内偏	
区号	组号	块号	移地址	
8位	4位	2位	4位	主存地址

1.映象表的行数为16行

2.映象表的总位数为 $12 * 4 * 16 = 768$

3.每个比较电路的位数为10位



第

十

八

题

有一个“Cache—主存”存储层次。主存共分8个块（0—7），Cache为4个块（0—3），采用组相联映象，组内块数为2块，替换算法为近期最少使用法（LRU）。

- （1）画出主存、Cache存储器地址的各字段对应关系（标出位数）；
- （2）画出主存、Cache存储器空间块的映象关系之示意图；
- （3）对于如下主存块地址流：1、2、4、1、3、7、0、1、2、5、4、6、4、7、2，如主存中内容一开始未装入Cache中，请列出随时间Cache中各块的使用状况；
- （4）对于（3），指出块失效又发生块争用的时刻；
- （5）对于（3），求出此期间Cache之命中率。



第十八题

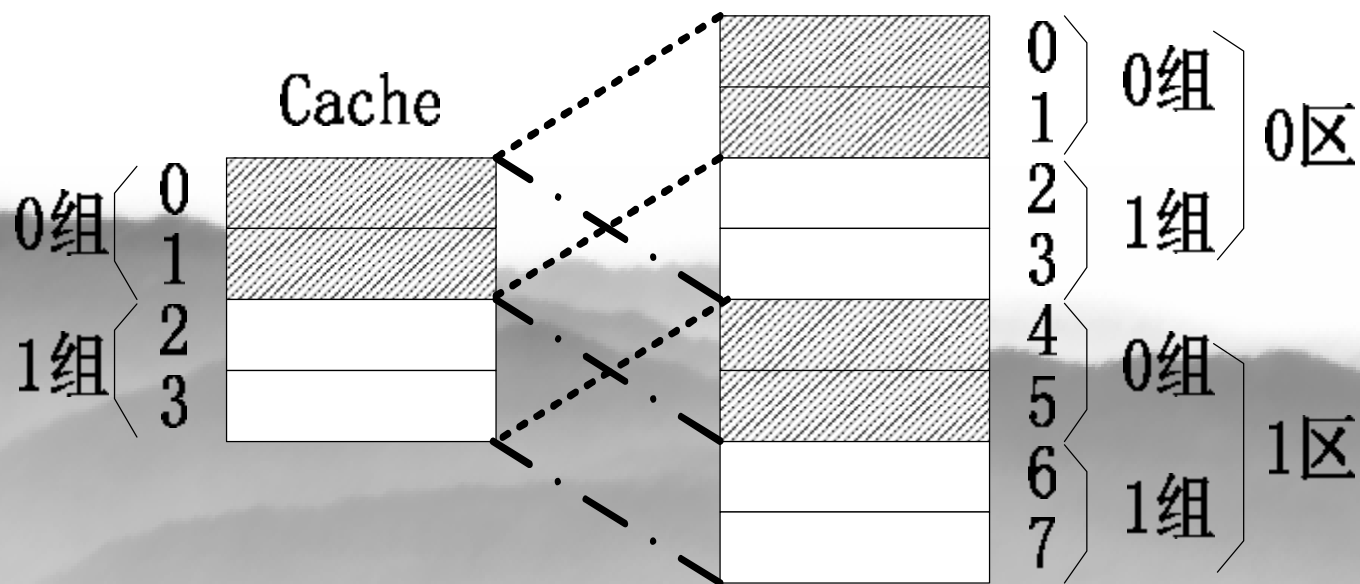
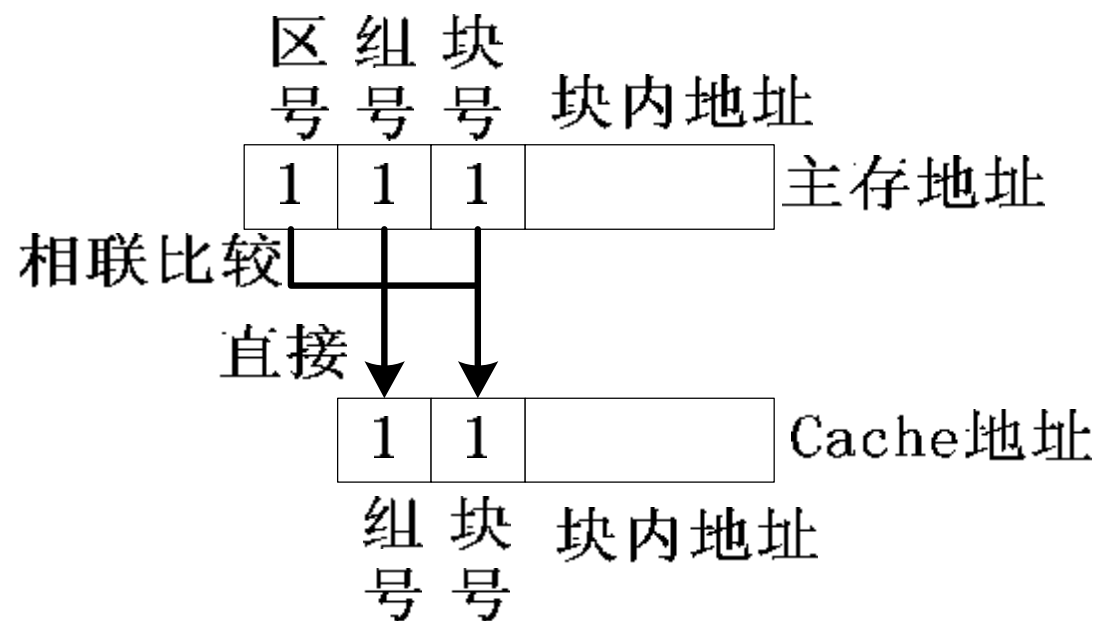
- | **Cache-主存存贮结构**
- | **主存共分8块，Cache分4块**
- | **组相联，组内块数为2块**

区号1位

共两组，每组2块，因此组号1位，组内块号1位



第十八题解答



第十八题解答

- | 0, 1, 4, 5 占用 Cache 0,1 块
- | 2, 3, 6, 7 占用 Cache 2,3 块

时间t		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
主存地址块		1	2	4	1	3	7	0	1	2	5	4	6	4	7	2
Cache 块	0	1	1	1	1*	1	1	1	1*	1	1	4	4	4*	4	4
	1			4	4	4	4	0	0	0	5	5	5	5	5	5
	2		2	2	2	2	7	7	7	7	7	7	6	6	6	2
	3					3	3	3	3	2	2	2	2	2	7	7
命中情况		失	失	失	H	失	替	替	H	替	替	替	替	H	替	替

块失效又争用的时刻：6, 7, 9, 10, 11, 12, 14, 15

命中率： $3/15=1/5$



口答

第十五、十九题



补 充 题

- | 设cache采用组相联映象。要求cache在一个主存周期内读/写一块；主存采用4个存储体低位交叉方式，每个存储体的字长为4个字节，容量为1MB，cache容量为1KB；每组内有4块采用按地址访问存储器构成相联目录表；为实现主存地址到cache地址的变换采用4个相联比较电路。
- 1) 设计主存地址格式，并标出各字段长度
 - 2) 设计cache地址格式，并标出各字段长度
 - 3) 设计相联目录表结构，并求该表的行数和每一行的格式
 - 4) 比较电路的位数是多少



补
充
题
解
答

(1) 主存有4个存储体，每个字长为4个字节,共 $4*4=16\text{B}$ 。所以块内位移应该用4位来表示。

(2) 每组内有4块，则块号用2位既可以表示

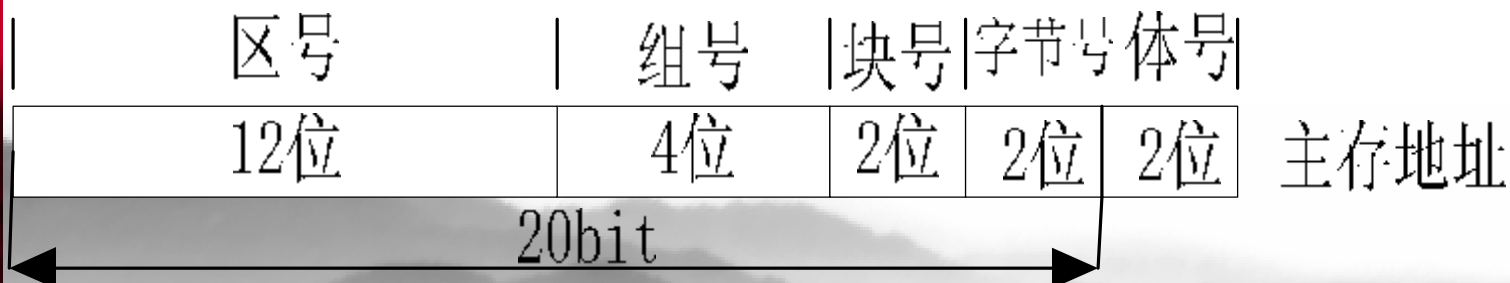
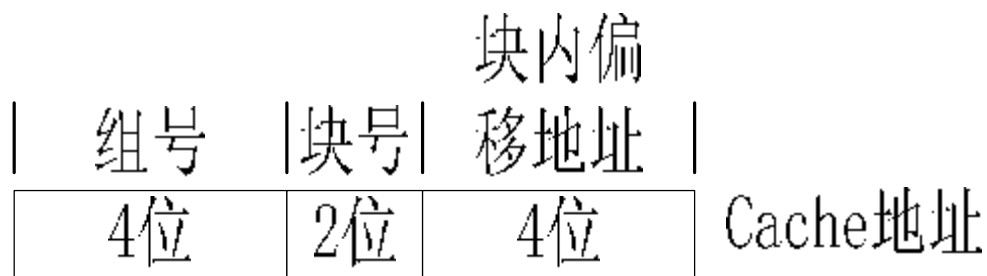
(3) Cache容量为1KB (2^{10})

(4) 主存容量为1MB(2^{20})



补充题解答

因此，Cache地址和内存地址的格式分别为：



相联目录表结构

Nd+S	'	S						
⋮			⋮		⋮		⋮	

16行

共16*4=64位

相联比较位数为14位（12+2）

