#### POLITECHNIKA CZĘSTOCHOWSKA Katedra Inteligentnych Systemów Informatycznych

# ĆWICZENIE nr 7 UKŁADY ARYTMETYCZNE cz. II

Dokument służy wyłącznie do celów indywidualnego kształcenia. Zabrania się utrwalania, przekazywania osobom trzecim oraz rozpowszechniania.

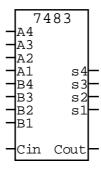
# Katedra Inteligentnych Systemów Informatycznych

#### 1.1 Cel ćwiczenia.

Celem ćwiczenia jest zapoznanie się z budową i działaniem scalonych układów realizujących funkcje arytmetyczne.

#### 1.2 Wprowadzenie.

Najbardziej rozpowszechnionym sumatorem jest układ typu 7483. Monolityczny układ scalony 7483 jest czterobitowym sumatorem dwójkowym równoległym z przeniesieniem równoległym. Sumator ma wyjścia sumy z każdego bitu oraz wyjście przeniesienia (Cout) z ostatniego bitu. Posiada również wejście (Cin) przeniesienia z poprzedniej pozycji na pierwszy bit sumatora. Symbol sumatora 7483 przedstawiono na Rys. 1.



Rys. 1. Symbol sumatora 7483

Układ typu 7485 jest scalonym komparatorem. Układ ten jest komparatorem wielkości dwóch liczb dwójkowych czterobitowych z możliwością określania, która z liczb jest większa. Ten uniwersalny komparator ma wejścia liczb porównywanych A3,A2,A1,A0 i B3,B2,B1,B0 oraz wejścia i wyjścia kaskadowe A<B, A=B, A>B (IA<B, IA=B, IA>B), umożliwiające tworzenie układów porównujących liczby o większej liczbie bitów niż cztery.

	7	485	
_	А3	IA <b< td=""><td>_</td></b<>	_
_	A2	IA=B	_
_	Α1	IA>B	_
_	Α0		
_	В3		
_	В2	A <b< td=""><td>_</td></b<>	_
_	В1	A=B	_
_	в0	A>B	_
	-	•	

Rys. 2. Symbol komparatora 7485.

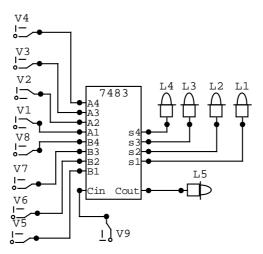
#### 1.3 Pytania sprawdzające.

1. Sklasyfikować scalone sumatory i komparatory.

#### 1.4 Program ćwiczenia.

#### 1.4.1 Sumator równoległy typu 7483.

Zbudować układ według Rys. 3, wyzerować symulator (RESET). Ustawić na zadajnikach A=1100 (V1 do V4) i B=1010 (V5 do V8) oraz Cin=0. Wyniki należy wpisać do Tabela 1. Następnie powtórzyć badanie dla Cin=1. Powtórzyć całość dla własnych czterech liczb A i B.



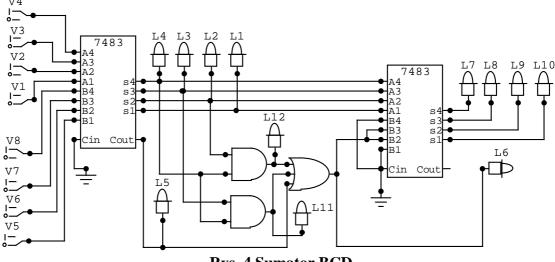
Rys. 3. Sumator równoległy typu 7483.

#### Tabela 1.

A	В	Cin	S4	S3	S2	S1	Cout
1100	1010	0					

#### 1.4.2 Sumator BCD.

Zbudować układ według rysunku 4, zresetować symulator. Ustawić na zadajnikach A=0100 i B=0111. Wyniki należy wpisać do tabeli 2. Powtórzyć całość dla własnych czterech liczb A i B.



Rys. 4 Sumator BCD

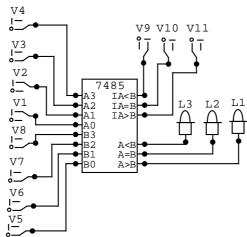
### Katedra Inteligentnych Systemów Informatycznych

Tabela 2.

Α	В	L4	L3	L2	L1	L5	L11	L12	S4	S3	S2	S1	Cout
									L7	L8	L9	L10	L6
0100	0111												

#### 1.4.3 Komparator równoległy typu 7485.

Zaznajomić się z układem według rysunku 5, wyzerować układ, ustawić binarnie przełącznikami "Wybór grupy" numer 2 (na wyświetlaczu W3). Ustawić na zadajnikach A=0110 i B=0111. Zadajnikiem V9 do V11 należy ustawić przeniesienie z poprzedniej sekcji komparatora np. 000. Wyniki należy wpisać do Tabela 3. Powtórzyć całość dla własnych pięciu liczb A i B oraz różnych przeniesień.



Rys. 5. Komparator równoległy typu 7485.

Tabela 3.

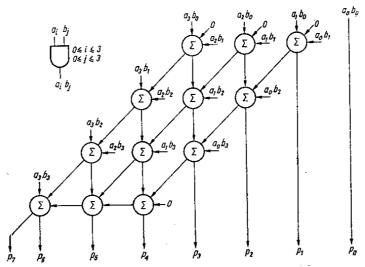
A	В	V9	V10	V11	A <b< th=""><th>A=B</th><th>A&gt;B</th></b<>	A=B	A>B
0110	0111						

#### 1.4.4 Mnożarka 4bity\*4bity.

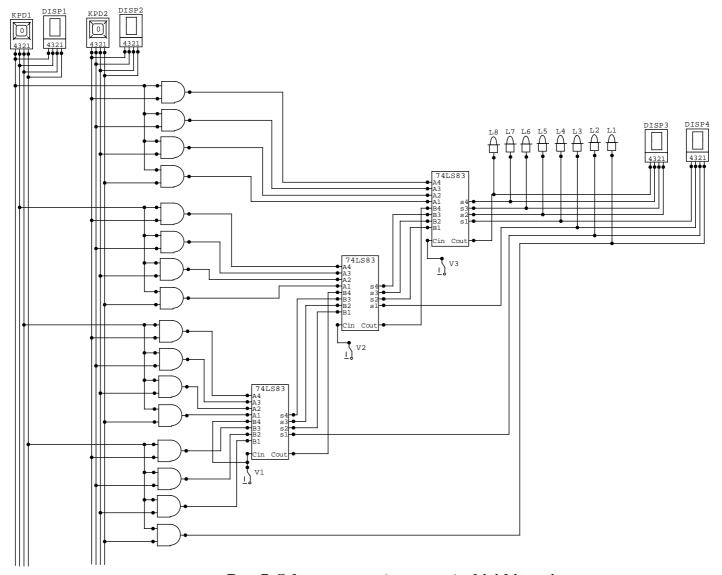
Zaznajomić się z układem mnożarki przestawionej na rysunku 6, a następnie Zbudować układ z rysunku 7, wyzerować układ, Ustawić wartości liczb na zadajnikach KPD1=0110, KPD2=0111. Wyniki należy wpisać do **Błąd! Nie można odnaleźć źródła odsyłacza.** Powtórzyć całość dla własnych pięciu par liczb.

Tabela 4.

KPD1	KPD2	L8	L7	L6	L5	L4	L3	L2	L1
0100	0111								



Rys. 6. Schemat logiczny mnożarki 4-bitowej.



Rys. 7. Schemat montażowy mnożarki 4-bitowej.

#### POLITECHNIKA CZĘSTOCHOWSKA

Katedra Inteligentnych Systemów Informatycznych

## 1.5 Opracowanie ćwiczenia.

Przeanalizować otrzymane w tabelach wyniki. Ocenić poprawność wykonywanych działań. Przeanalizować działanie sumatora-subtraktora oraz komparatora szeregowego.