

CAPÍTULO

2

Física básica del dispositivo MOS

Al estudiar el diseño de circuitos integrados (CI), se puede tomar uno de dos enfoques extremos: (1) comenzar con la mecánica cuántica y comprender la física del estado sólido, la física de los dispositivos semiconductores, el modelado de dispositivos y finalmente el diseño de circuitos; o (2) tratar cada dispositivo semiconductor como una caja negra cuyo comportamiento se describe en términos de sus tensiones y corrientes terminales y diseñar circuitos con poca atención al funcionamiento interno del dispositivo. La experiencia muestra que ninguno de los enfoques es óptimo. En el primer caso, el lector no puede ver la relevancia de toda la física para diseñar circuitos, y en el segundo, está constantemente desconcertado por el contenido de la caja negra.

En la industria de circuitos integrados actual, es esencial tener un conocimiento sólido de los dispositivos semiconductores, más en el diseño analógico que en el diseño digital, porque en el primero, los transistores no se consideran interruptores simples y muchos de sus efectos de segundo orden impactan directamente en el rendimiento. . Además, a medida que cada nueva generación de tecnologías de circuitos integrados escala los dispositivos, estos efectos se vuelven más significativos. Dado que el diseñador a menudo debe decidir qué efectos pueden descuidarse en un circuito dado, la comprensión del funcionamiento del dispositivo resulta invaluable.

En este capítulo, estudiamos la física de los MOSFET a un nivel elemental, cubriendo el mínimo indispensable para el diseño analógico básico. El objetivo final sigue siendo desarrollar un modelo de circuito para cada dispositivo mediante la formulación de su funcionamiento, pero esto se logra mediante una buena comprensión de los principios subyacentes. Después de estudiar muchos circuitos analógicos en los capítulos 3 al 14 y ganar motivación para una comprensión más profunda de los dispositivos, volvemos al tema en el capítulo 17 y nos ocupamos de otros aspectos del funcionamiento de MOS.

Comenzamos nuestro estudio con la estructura de los transistores MOS y derivamos sus características I/V . A continuación, describimos los efectos de segundo orden, como el efecto corporal, la modulación de la longitud del canal y la conducción por debajo del umbral. Luego identificamos las capacitancias parásitas de los MOSFET, derivamos un modelo de pequeña señal y presentamos un modelo SPICE simple. Suponemos que el lector está familiarizado con conceptos básicos como dopaje, movilidad y pn empalmes.

2.1 Consideraciones generales

2.1.1 MOSFET como conmutador

Antes de profundizar en el funcionamiento real del MOSFET, consideramos un modelo simplista del dispositivo para tener una idea de lo que se espera que sea el transistor y qué aspectos de su comportamiento son importantes.

En la figura 2.1 se muestra el símbolo de una *norte*-tipo MOSFET, que revela tres terminales: puerta (G), fuente (S) y desagüe (D). Los dos últimos son intercambiables porque el dispositivo es simétrico. Al operar

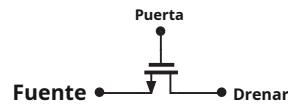


Figura 2.1 Vista simple de un dispositivo MOS.

como un interruptor, el transistor "conecta" la fuente y el drenaje juntos si el voltaje de la puerta, V_{GRAMO} , es "alto" y aísla la fuente y el drenaje si V_{GRAMO} es bajo."

Incluso con esta vista simplificada, debemos responder varias preguntas. Por que valor de V_{GRAMO} ¿Se enciende el dispositivo? En otras palabras, ¿cuál es el voltaje "umbral"? ¿Cuál es la resistencia entre S y D cuando el dispositivo está encendido (o apagado)? ¿Cómo depende esta resistencia de los voltajes terminales? ¿Podemos siempre modelar la ruta entre S y D mediante una resistencia lineal simple? ¿Qué limita la velocidad del dispositivo?

Si bien todas estas preguntas surgen a nivel de circuito, solo se pueden responder analizando la estructura y la física del transistor.

2.1.2 Estructura MOSFET

La figura 2.2 muestra una estructura simplificada de un *norte*Dispositivo tipo MOS (NMOS). Fabricado en un *pagde* tipo sustrato (también llamado "a granel" o "cuerpo"), el dispositivo consta de dos *norte* regiones que forman la fuente y los terminales de drenaje, una pieza de polisilicio fuertemente dopada (conductora)¹ (simplemente llamado "poli") operando como la puerta, y una capa delgada de dióxido de silicio (SiO_2) (simplemente llamado "óxido") aislando la puerta del sustrato. La acción útil del dispositivo se produce en la región del sustrato debajo del óxido de puerta. Tenga en cuenta que la estructura es simétrica con respecto a S y D.

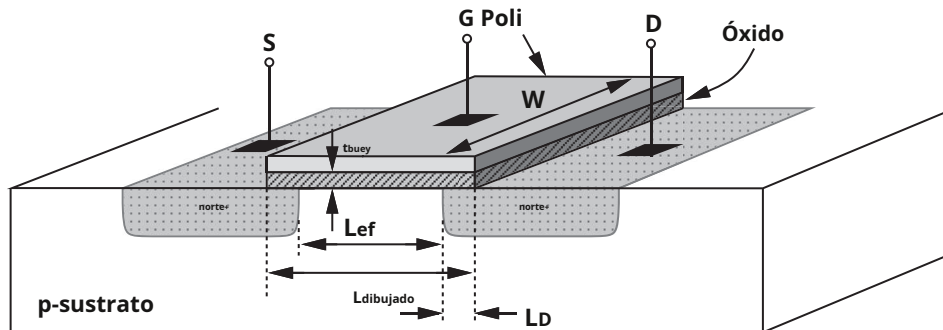


Figura 2.2 Estructura de un dispositivo MOS.

La dimensión lateral de la compuerta a lo largo de la ruta fuente-drenaje se llama longitud, L , y esa perpendicular a la longitud se llama ancho, W . Dado que las uniones S / D se "difunden lateralmente" durante la fabricación, la distancia real entre la fuente y el drenaje es ligeramente menor que L . Para evitar confusiones, escribimos, $L_{ef} = L_{dibujado} - 2L_D$, donde L_{ef} es la longitud "efectiva", $L_{dibujado}$ es la longitud total,² y L_D es la cantidad de difusión lateral. Como veremos más adelante, L_{ef} y el espesor del óxido de la puerta, t_{buey} , juegan un papel importante en el rendimiento de los circuitos MOS. En consecuencia, el impulso principal en el desarrollo de la tecnología MOS es reducir estas dos dimensiones de una generación a la siguiente sin degradar otros parámetros del dispositivo. Los valores típicos en el momento de escribir este artículo son $L_{ef} \approx 10 \text{ nm}$ y $t_{buey} \approx 15 \text{ \AA}$. En el resto de este libro, denotamos la longitud efectiva por L a menos que se indique lo contrario.

¹El polisilicio es silicio en forma amorfa (no cristalina). Como se explicó en el Capítulo 18, cuando el silicio de la puerta crece sobre el óxido, no puede formar un cristal. La puerta estaba originalmente hecha de metal [de ahí el término "semiconductor de óxido de metal" (MOS)] y está volviendo al metal en las últimas generaciones.

²El subíndice "dibujado" se usa porque esta es la dimensión que dibujamos en el diseño del transistor (sección 2.4.1).

Si la estructura MOS es simétrica, ¿por qué llamamos a uno? *norte*? La región es la fuente y la otra el desagüe? Esto queda claro si la fuente se define como el terminal que proporciona los portadores de carga (electrones en el caso de los dispositivos NMOS) y el drenaje como el terminal que los recolecta. Por lo tanto, a medida que varían los voltajes en los tres terminales del dispositivo, la fuente y el drenaje pueden intercambiar roles. Estos conceptos se practican en los problemas al final del capítulo.

Hasta ahora hemos ignorado el sustrato sobre el que se fabrica el dispositivo. En realidad, el potencial del sustrato influye mucho en las características del dispositivo. Es decir, el MOSFET es un *cuatro*-dispositivo terminal. Dado que en el funcionamiento típico de MOS, los diodos de unión S / D deben tener polarización inversa, asumimos que el sustrato de los transistores NMOS está conectado a la fuente más negativa del sistema. Por ejemplo, si un circuito opera entre cero y 1.2 voltios, $V_{sub, NMOS} = 0$. La conexión real generalmente se proporciona a través de un ohmic *pag*-región, como se muestra en la vista lateral del dispositivo en la Fig. 2.3.

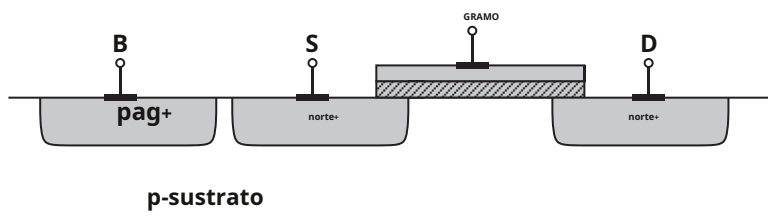


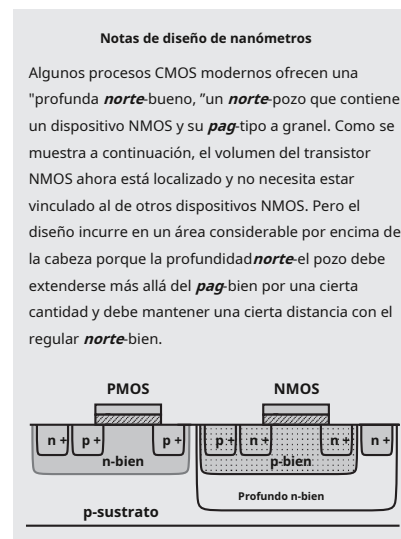
Figura 2.3 Conexión de sustrato.

En las tecnologías complementarias MOS (CMOS), están disponibles tanto transistores NMOS como PMOS. Desde un punto de vista simplista, el dispositivo PMOS se obtiene negando todos los tipos de dopaje (incluido el sustrato) [Fig. 2.4 (a)], pero en la práctica, los dispositivos NMOS y PMOS deben fabricarse en la misma oblea, es decir, en el mismo sustrato. Por esta razón, un tipo de dispositivo se puede colocar en un "sustrato local", generalmente llamado "pozo". En los procesos CMOS actuales, el dispositivo PMOS se fabrica en un *norte*-bueno [Fig. 2.4 (b)]. Tenga en cuenta que el *norte*-el pozo debe estar conectado a un potencial tal que los diodos de unión S / D del transistor PMOS permanezcan con polarización inversa en todas las condiciones. En la mayoría de los circuitos, el *norte*-el pozo está ligado a la tensión de alimentación más positiva. En aras de la brevedad, a veces llamamos a los dispositivos NMOS y PMOS "NFET" y "PFET", respectivamente.

La figura 2.4 (b) indica una diferencia interesante entre los transistores NMOS y PMOS: mientras que todos los NFET comparten el mismo sustrato, cada PFET puede tener un *norte*-bien. Esta flexibilidad de los PFET se aprovecha en algunos circuitos analógicos.

2.1.3 Símbolos MOS

Los símbolos de circuito utilizados para representar los transistores NMOS y PMOS se muestran en la Fig. 2.5. Los símbolos de la Fig. 2.5 (a) contienen los cuatro terminales, y el sustrato se indica con "B" (a granel) en lugar de "S" para evitar confusiones con la fuente. La fuente del dispositivo PMOS se coloca en la parte superior como ayuda visual porque tiene un potencial más alto que su puerta. Dado que en la mayoría de los circuitos, los terminales a granel de los dispositivos NMOS y PMOS están conectados a tierra y V_{DD} , respectivamente, generalmente omitimos estas conexiones en el dibujo [Fig. 2.5 (b)]. En los circuitos digitales, se acostumbra utilizar los símbolos de "interruptor" representados en la figura 2.5 (c) para los dos tipos, pero preferimos los de la figura 2.5 (b) porque la distinción visual entre S y D resulta útil para comprender el funcionamiento de los circuitos.



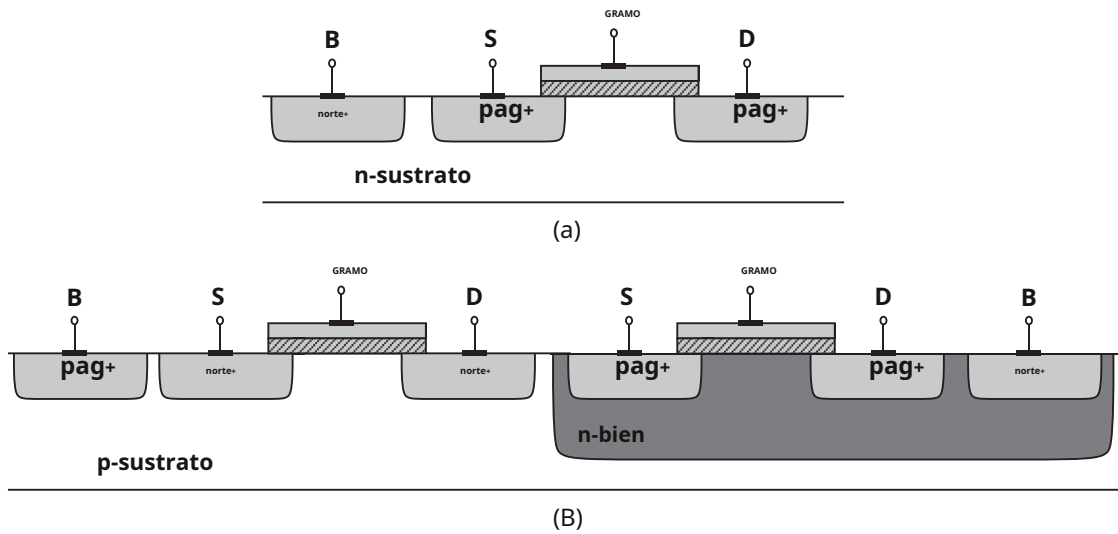


Figura 2.4 (a) Dispositivo PMOS simple; (b) PMOS dentro de un nortebien.

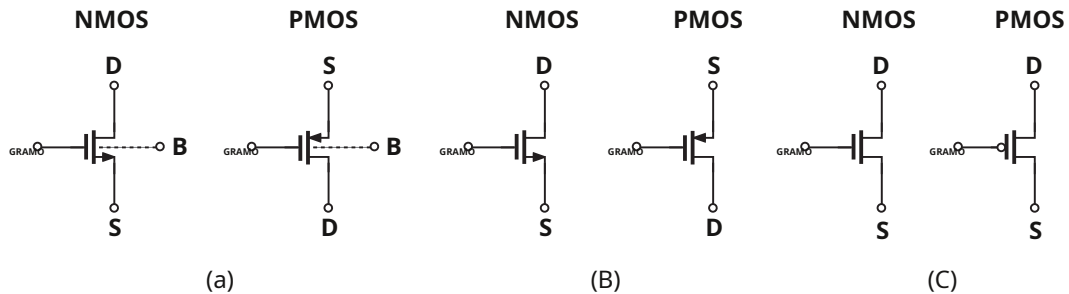


Figura 2.5 Símbolos MOS.

2.2 Características de MOS I / V

En esta sección, analizamos la generación y transporte de carga en MOSFET en función de los voltajes terminales. Nuestro objetivo es derivar ecuaciones para las características de I / V de modo que podamos elevar nuestra abstracción del nivel de la física del dispositivo al nivel del circuito.

2.2.1 Voltaje de umbral

Considere un NFET conectado a voltajes externos como se muestra en la figura 2.6 (a). ¿Qué sucede cuando el voltaje de la puerta, V_{GRAMO} , aumenta desde cero? Dado que la puerta, el dieléctrico y el sustrato forman un condensador, como V_{GRAMO} se vuelve más positivo, los agujeros en el pag-sustrato son repelidos del área de la puerta, dejando iones negativos detrás para reflejar la carga en la puerta. En otras palabras, se crea una región de agotamiento [Fig. 2.6 (b)]. Bajo esta condición, no fluye corriente porque no hay portadores de carga disponibles.

Como V_{GRAMO} aumenta, también lo hace el ancho de la región de agotamiento y el potencial en la interfaz óxido-silicio. En cierto sentido, la estructura se asemeja a un divisor de voltaje que consta de dos condensadores en serie: el condensador de óxido de puerta y el condensador de la región de agotamiento [Fig. 2.6 (c)]. Cuando el potencial de la interfaz alcanza un valor suficientemente positivo, los electrones fluyen desde la fuente a la interfaz y finalmente al drenaje.

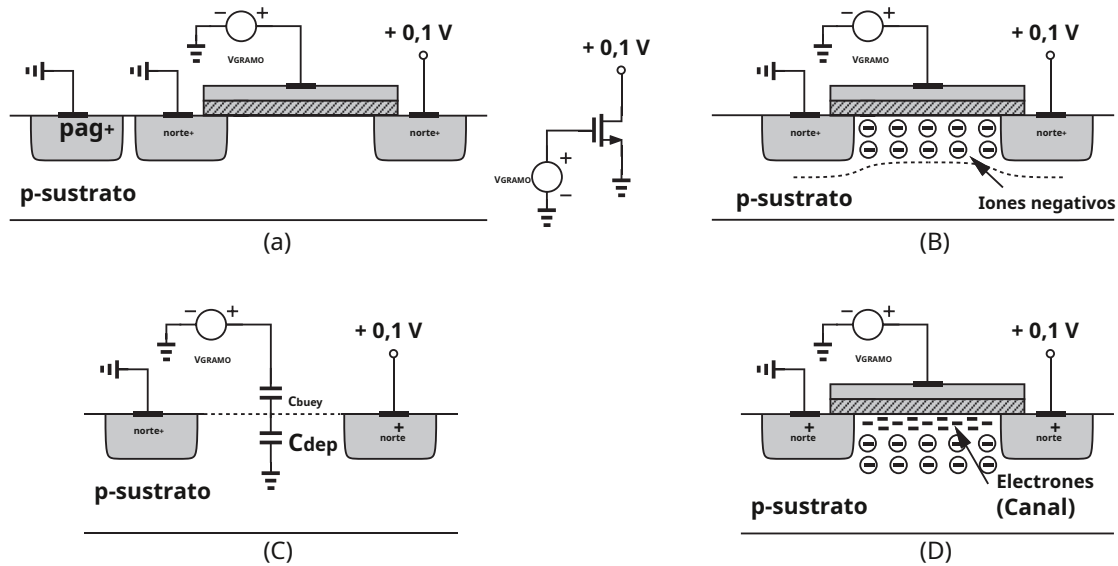


Figura 2.6 (a) Un MOSFET impulsado por un voltaje de puerta; (b) formación de una región de agotamiento; (c) inicio de la inversión; (d) formación de una capa de inversión.

Por lo tanto, se forma un "canal" de portadores de carga debajo de la puerta de óxido entre S y D, y el transistor se "enciende". Decimos que la interfaz está "invertida". Por esta razón, el canal también se denomina "capa de inversión". El valor de V_{GRAMO} para lo cual esto ocurre se llama "voltaje umbral", V_{TH} . Si V_{GRAMO} aumenta aún más, la carga en la región de agotamiento permanece relativamente constante mientras que la densidad de carga del canal continúa aumentando, proporcionando una mayor corriente de S a D.

En realidad, el fenómeno de encendido es una función gradual del voltaje de la puerta, lo que dificulta la definición V_{TH} inequívocamente. En física de semiconductores, el V_{TH} de un NFET generalmente se define como el voltaje de puerta para el cual la interfaz es "tanto *norte*-tipo como el sustrato es *pag*-escribe." Se puede probar [1] que³

$$V_{TH} = -SRA + 2 \cdot F + \frac{Q_{dep}}{C_{buey}} \quad (2,1)$$

dónde $-SRA$ es la diferencia entre las funciones de trabajo de la puerta de polisilicio y el sustrato de silicio, $-F = (kT/q) \ln(n_{ORTEsub}/n_{ORTEi})$, k es la constante de Boltzmann, q es la carga de electrones, $n_{ORTESub}$ es la densidad de dopaje del sustrato, n_{ORTEi} es la densidad de electrones en silicio sin dopar, Q_{dep} es la carga en el ^{región de agotamiento,} y C_{buey} es la capacitancia de óxido de puerta por unidad de área. ^{Depn} teoría de la unión, $Q_{dep} = 4q\epsilon_{Si} | -F | n_{ORTESub}$, donde ϵ_{Si} denota la constante dieléctrica del silicio. Ya que C_{buey} aparece con mucha frecuencia en los cálculos de dispositivos y circuitos, es útil recordar que para $t_{buey} \approx 20 \text{ \AA}$, $C_{buey} \approx 17.25 \text{ fF}/\mu\text{metro}^2$. El valor de C_{buey} luego se puede escalar proporcionalmente para otros espesores de óxido.

En la práctica, el valor de umbral "nativo" obtenido de la ecuación anterior puede no ser adecuado para el diseño de circuitos, por ejemplo, $V_{TH} = 0$ y el dispositivo no se apaga durante $V_{GRAMO} \geq 0.4$. Por esta razón, el voltaje umbral se ajusta típicamente mediante la implantación de dopantes en el área del canal durante la fabricación del dispositivo, en esencia alterando el nivel de dopaje del sustrato cerca de la interfaz de óxido. Por ejemplo, como se muestra en la figura 2.7, si una hoja delgada de *pag*+ Se crea, el voltaje de puerta requerido para agotar esta región aumenta.

³Aquí se descuida el atrapamiento de carga en el óxido.

⁴Este dispositivo, denominado FET de "modo de agotamiento", se utilizaba en tecnologías antiguas. Los NFET con un umbral positivo se denominan dispositivos en "modo de mejora".

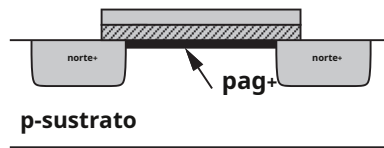


Figura 2.7 Implantación de *pag+* dopantes para alterar el umbral.

La definición anterior no es directamente aplicable a la *medición* de V_{TH} . En la Fig. 2.6 (a), solo la corriente de drenaje puede indicar si el dispositivo está "encendido" o "apagado", sin revelar en qué V_{GS} la interfaz es tanto *norte*-tipo como el grueso es *pag*-escribe. Como resultado, el cálculo de V_{TH} de las mediciones de I/V es algo ambiguo. Regresaremos a este punto más adelante, pero supongamos por ahora que el dispositivo se enciende *abruptamente* por $V_{GS} \geq V_{TH}$.

El fenómeno de encendido en un dispositivo PMOS es similar al de los NFET, pero con todas las polaridades invertidas. Como se muestra en la figura 2.8, si el voltaje de la fuente de puerta se vuelve lo suficientemente *negativo*, se forma una capa de inversión que consta de orificios en la interfaz óxido-silicio, proporcionando un camino de conducción entre la fuente y el drenaje. Es decir, el voltaje umbral de un dispositivo PMOS es típicamente negativo.

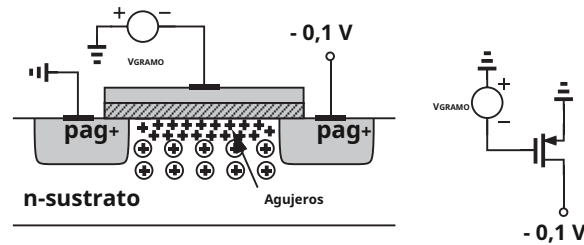


Figura 2.8 Formación de capa de inversión en un PFET.

2.2.2 Derivación de características I/V

Para obtener la relación entre la corriente de drenaje de un MOSFET y sus voltajes terminales, hacemos dos observaciones.

Primero, considere una barra semiconductora que lleva una corriente I [Fig. 2.9 (a)]. Si la densidad de carga móvil a lo largo de la dirección de la corriente es Q_D culombios por metro y la velocidad de la carga es v metros por segundo, luego

$$I = Q_D \cdot v \quad (2,2)$$

Para entender por qué, medimos la carga total que pasa a través de una sección transversal de la barra en unidad de tiempo. Con una velocidad v , toda la carga incluida en v metros de la barra deben fluir a través de la sección transversal en

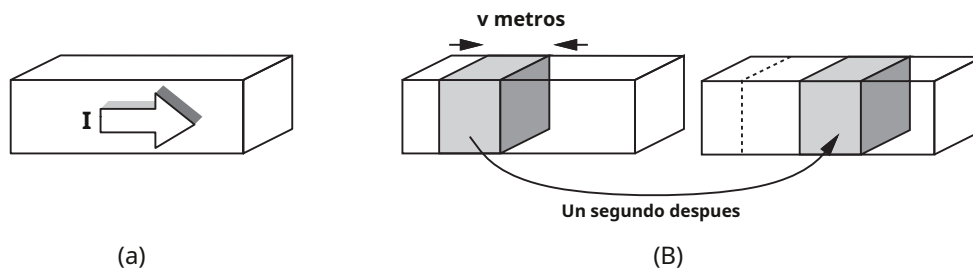


Figura 2.9 (a) Una barra semiconductora que lleva una corriente I ; (b) instantáneas de los portadores con un segundo de diferencia.

un segundo [Fig. 2.9 (b)]. Dado que la densidad de carga es Q_D , la carga total en v metros es igual a $Q_D \cdot v$. Este lema resulta útil para analizar dispositivos semiconductores.

En segundo lugar, para utilizar el lema anterior, debemos determinar la densidad de carga móvil en un MOSFET. Con este fin, considere un NFET cuya fuente y drenaje están conectados a tierra [Fig. 2.10 (a)]. ¿Cuál es la densidad de carga en la capa de inversión? Dado que asumimos que el inicio de la inversión ocurre en $V_{GS} = V_{TH}$, la densidad de carga de inversión producida por la capacitancia del óxido de puerta es proporcional a $V_{GS} - V_{TH}$. Para $V_{GS} \geq V_{TH}$, cualquier carga colocada en la puerta debe ser reflejada por la carga en el canal, produciendo una densidad de carga de canal uniforme (carga por unidad de longitud a lo largo de la ruta fuente-drenaje) igual a

$$Q_D = WC_{buey}(V_{GS} - V_{TH}) \quad (2,3)$$

dónde C_{buey} se multiplica por W para representar la capacitancia total por unidad de longitud.

Ahora suponga, como se muestra en la figura 2.10 (b), que el voltaje de drenaje es mayor que cero. Dado que el potencial del canal varía de cero en la fuente a V_D en el desagüe, el voltaje local *diferencia* entre la puerta y el canal varía de V_{GRAMO} (cerca de la fuente) para $V_{GRAMO} - V_D$ (cerca del desagüe). Por tanto, la densidad de carga en un punto X a lo largo del canal se puede escribir como

$$Q_D(X) = WC_{buey}[V_{GS} - V(X) - V_{TH}] \quad (2,4)$$

dónde $V(X)$ es el potencial del canal en X . De (2.2), la corriente está dada por

$$I_D = -WC_{buey}[V_{GS} - V(X) - V_{TH}]V \quad (2,5)$$

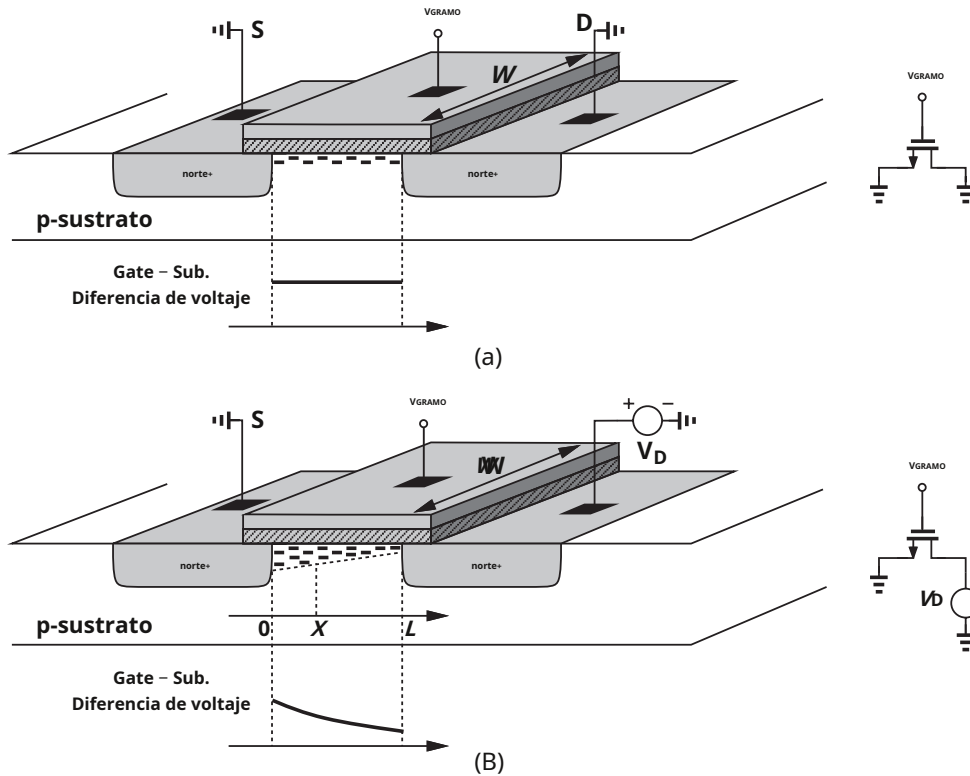


Figura 2.10 Carga de canal con (a) tensiones de fuente y drenaje iguales y (b) tensiones de fuente y drenaje desiguales.

donde se inserta el signo negativo porque los portadores de carga son negativos. Tenga en cuenta que v denota la velocidad de los electrones en el canal. Para semiconductores, $v = \mu m_i$, donde μ es la movilidad de los portadores de carga y m_i es el campo eléctrico. Señalando que $E_x = -dV/dx$ y representando la movilidad de los electrones por μ_{norte} , tenemos

$$I_D = WC_{buey} [V_{GS} - V(x) - V_{TH}] \mu_{norte} \frac{dV(x)}{dx} \quad (2,6)$$

sujeto a condiciones de contorno $V(0) = 0$ y $V(L) = V_{DS}$. Tiempo $V(x)$ se puede encontrar fácilmente a partir de esta ecuación, la cantidad de interés es de hecho I_D . Multiplicando ambos lados por dx y realizando la integración, obtenemos

$$\int_{x=0}^L I_D dx = \int_{V=0}^{V_{DS}} WC_{buey} \mu_{norte} [V_{GS} - V(x) - V_{TH}] dV \quad (2,7)$$

Ya que I_D es constante a lo largo del canal,

$$I_D = \mu_{norte} C_{buey} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2.8)$$

Tenga en cuenta que L es la longitud efectiva del canal.

La figura 2.11 traza las parábolas dadas por (2.8) para diferentes valores de V_{GS} , lo que indica que la "capacidad actual" del dispositivo aumenta con V_{GS} . Calculador $\partial I_D / \partial V_{DS}$, el lector puede mostrar que el pico de cada parábola ocurre en $V_{DS} = V_{GS} - V_{TH}$ la corriente máxima es

$$I_{D, \text{máx.}} = \frac{1}{2} \mu_{norte} C_{buey} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2,9)$$

Llamamos $V_{GS} - V_{TH}$ el "voltaje de sobremarcha" y W/L la "relación de aspecto". Si $V_{DS} \leq V_{GS} - V_{TH}$, decimos que el dispositivo funciona en la "región de triodo".⁵

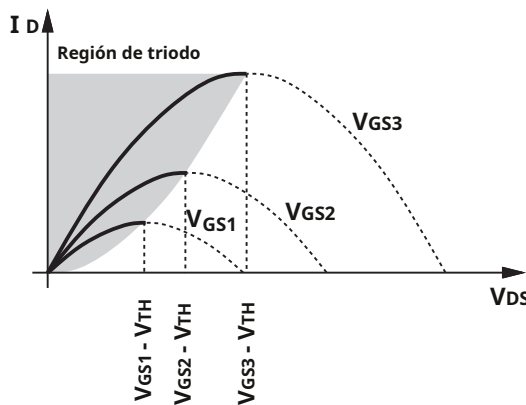


Figura 2.11 Corriente de drenaje versus voltaje de fuente de drenaje en la región del triodo.

Las ecuaciones (2.8) y (2.9) sirven como nuestro primer paso hacia el diseño de circuitos CMOS, describiendo la dependencia de I_D sobre la constante de la tecnología, $\mu_{norte} C_{buey}$, las dimensiones del dispositivo, W y L , y los potenciales de compuerta y drenaje con respecto a la fuente. Tenga en cuenta que la integración en (2.7) supone que μ_{norte} y V_{TH} son independientes de x y los voltajes de compuerta y drenaje, una aproximación que revisaremos en el Capítulo 17.

⁵También llamada "región lineal".

Si en (2.8), $V_{DS} = 2(V_{GS} - V_{TH})$, tenemos

$$I_D \approx \mu_{norte} C_{buey} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2,10)$$

es decir, la corriente de drenaje es una *lineal* función de V_{DS} . Esto también es evidente a partir de las características de la figura 2.11 para pequeños V_{DS} : como se muestra en la figura 2.12, cada parábola se puede aproximar mediante una línea recta. La relación lineal implica que el camino desde la fuente hasta el drenaje se puede representar mediante una resistencia lineal igual a

$$R_{sobre} = \frac{1}{\mu_{norte} C_{buey} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2,11)$$

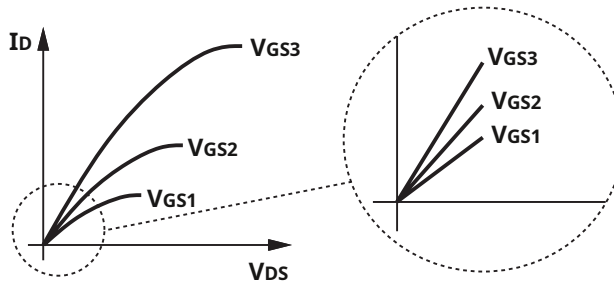


Figura 2.12 Operación lineal en región de triodo profundo.

Por lo tanto, un MOSFET puede funcionar como una resistencia cuyo valor está controlado por el voltaje de sobremarcha [siempre que $V_{DS} = 2(V_{GS} - V_{TH})$]. Esto se ilustra conceptualmente en la figura 2.13. Tenga en cuenta que en contraste con bipolar transistores, un dispositivo MOS puede estar encendido incluso si no lleva corriente. Con la condición $V_{DS} = 2(V_{GS} - V_{TH})$, decimos que el dispositivo opera en la región del triodo profundo.



Figura 2.13 MOSFET como resistencia lineal controlada.

Ejemplo 2.1

Para la disposición de la figura 2.14 (a), grafique la resistencia de encendido de METRO1 como una función de V_{GRAMO} . Asumir que $\mu_{norte} C_{buey} = 50 \mu A/V^2$, $W/L = 10$, y $V_{TH} = 0.3 V$. Tenga en cuenta que el terminal de drenaje está abierto.

Solución

Dado que el terminal de drenaje está abierto, $I_D = 0$ y $V_{DS} = 0$. Por lo tanto, si el dispositivo está encendido, opera en la región del triodo profundo. Para $V_{GRAMO} < 1 V + V_{TH}$, METRO1 está apagado y $R_{sobre} = \infty$. Para $V_{GRAMO} > 1 V + V_{TH}$, tenemos

$$R_{sobre} = \frac{1}{50 \mu A/V^2 \times 10 (V_{GRAMO} - 1 V - 0.3 V)} \quad (2,12)$$

El resultado se representa en la figura 2.14 (b).

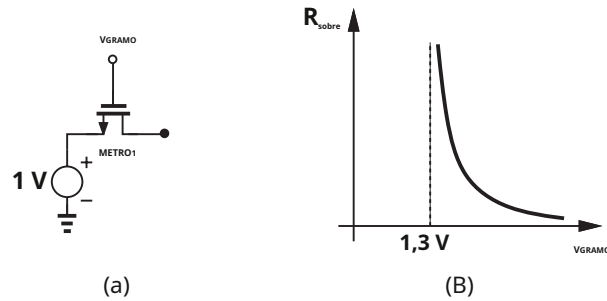


Figura 2.14

Los MOSFET que funcionan como resistencias controlables juegan un papel crucial en muchos circuitos analógicos. Por ejemplo, se puede usar una resistencia controlada por voltaje para ajustar la frecuencia del generador de reloj en una computadora portátil si el sistema debe entrar en un modo de ahorro de energía. Como se estudió en el Capítulo 13, los MOSFET también sirven como conmutadores.

¿Qué sucede si el voltaje de la fuente de drenaje en la figura 2.11 excede $V_{GS} - V_{TH}$? En realidad, la corriente de drenaje no sigue el comportamiento parabólico para $V_{DS} > V_{GS} - V_{TH}$. De hecho, como se muestra en la figura 2.15, I_D se vuelve relativamente constante y decimos que el dispositivo funciona en la región de "saturación".⁶ Para comprender este fenómeno, recuerde de (2.4) que la densidad local de la carga de la capa de inversión es proporcional a $V_{GS} - V(x) - V_{TH}$. Por tanto, si $V(x)$ enfoques $V_{GS} - V_{TH}$, luego $Q_D(x)$ cae a cero. En otras palabras, como se muestra en la figura 2.16, si V_{DS} es ligeramente mayor que $V_{GS} - V_{TH}$, entonces la capa de inversión se detiene en $X \leq L_y$ decimos que el canal está "pellizcado". Como V_{DS} aumenta aún más, el punto en el que Q_D igual a cero se mueve gradualmente hacia la fuente. Por tanto, en algún punto a lo largo del canal, la diferencia de potencial local entre la puerta y la interfaz óxido-silicio no es suficiente para soportar una capa de inversión.

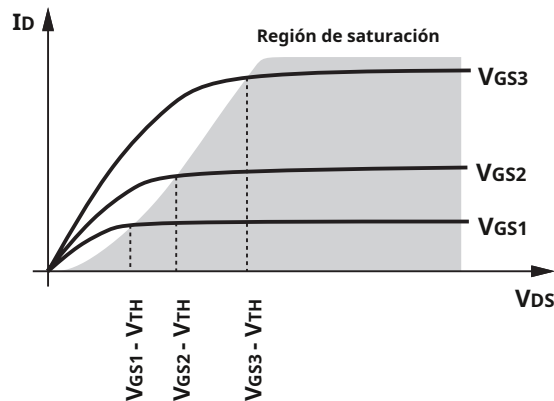


Figura 2.15 Saturación de la corriente de drenaje.

¿Cómo conduce el dispositivo la corriente en presencia de pellizco? A medida que los electrones se acercan al punto de pellizco (donde $Q_D \rightarrow 0$), su velocidad aumenta enormemente ($v = I / Q_D$). Al pasar el punto de pellizco, los electrones simplemente se disparan a través de la región de agotamiento cerca de la unión de drenaje y llegan a la terminal de drenaje.

⁶Tenga en cuenta la diferencia entre la saturación en dispositivos bipolares y MOS.

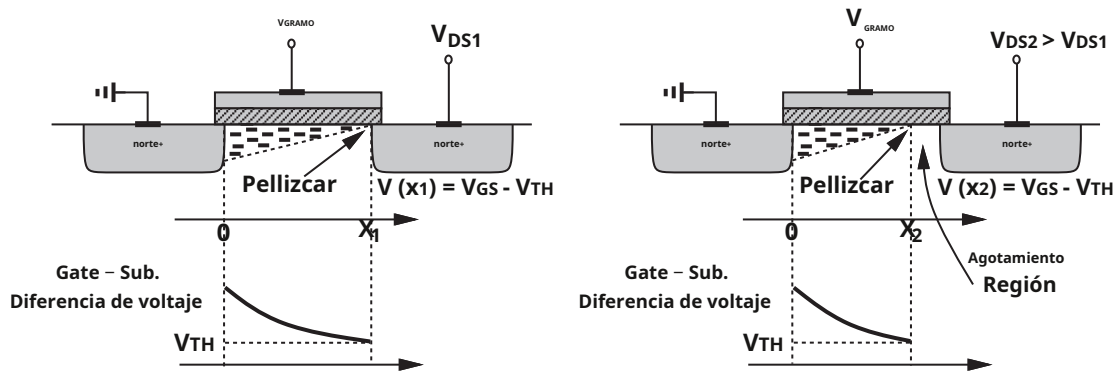


Figura 2.16 Comportamiento de pellizco.

Con las observaciones anteriores, reexaminamos (2.7) para un dispositivo saturado. Ya que Q_D es la densidad de *móvil* carga, la integral en el lado izquierdo de (2.7) debe tomarse de $X = 0$ a $X = L'$, donde L' es el punto en el que Q_D cae a cero (p. ej., X_2 en la figura 2.16), y el de la derecha de $V(x) = 0$ a $V(x) = V_{GS} - V_{TH}$. Como resultado,

$$I_D = \frac{1}{2} \mu_{n\text{eff}} C_{\text{buey}} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2,13)$$

Indicando que I_D es relativamente independiente de V_{DS} si L' permanece cerca de L . Decimos que el dispositivo exhibe un comportamiento de "ley cuadrada". Si I_D es conocido, entonces V_{GS} se obtiene como

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_{n\text{eff}} C_{\text{buey}} \frac{W}{L}}} + V_{TH} \quad (2,14)$$

Debemos enfatizar que para que el transistor permanezca en saturación (como es el caso en muchos circuitos analógicos), el voltaje de la fuente de drenaje debe ser igual o mayor que el voltaje de sobremarcha. Por esta razón, algunos libros escriben $V_{D, \text{sentado}} = V_{GS} - V_{TH}$, donde $V_{D, \text{sentado}}$ denota el mínimo V_{DS} necesario para el funcionamiento en saturación. Como se verá más adelante en este libro, si la señal oscila en el desagüe o en la puerta V_{DS} caer debajo $V_{GS} - V_{TH}$, entonces ocurren una serie de efectos indeseables. Por esta razón, la elección del overdrive y por lo tanto $V_{D, \text{sentado}}$ se traduce en un cierto "margen libre" de voltaje para los cambios de señal en el circuito: cuanto mayor es el $V_{D, \text{sentado}}$, menor margen de maniobra está disponible para las señales.

Las ecuaciones (2.8) y (2.13) representan el comportamiento de "señal grande" de los dispositivos NMOS; es decir, pueden predecir la corriente de drenaje para voltajes arbitrarios aplicados a la puerta, la fuente y el drenaje (pero solo si el dispositivo está encendido). Dado que la naturaleza no lineal de estas ecuaciones dificulta el análisis, a menudo recurrimos a aproximaciones lineales (modelos de "señales pequeñas") para desarrollar cierta comprensión de un circuito dado. Este punto se aclara en la Sec. 2.4.3.

Para dispositivos PMOS, Eqs. (2.8) y (2.13) se escriben respectivamente como

$$I_D = -\mu_{p\text{eff}} C_{\text{buey}} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2,15)$$

y

$$I_D = -\frac{1}{2} \mu_{p\text{eff}} C_{\text{buey}} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2,16)$$

El signo negativo aparece aquí porque asumimos que I_D fluye desde el drenaje a la fuente, mientras que los agujeros fluyen en la dirección inversa. Tenga en cuenta que V_{GS} , V_{DS} , V_{TH} , y $V_{GS} - V_{TH}$ son negativos para un transistor PMOS que está encendido. Dado que la movilidad de los huecos es aproximadamente la mitad de la movilidad de los electrones, los dispositivos PMOS sufren de una menor capacidad de "impulsión de corriente".

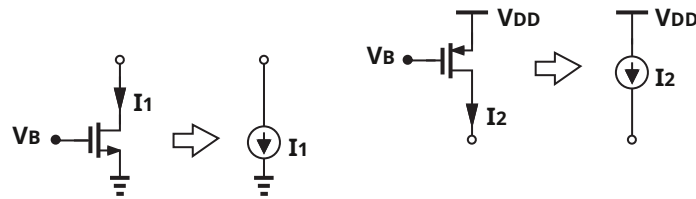


Figura 2.17 MOSFET saturados que funcionan como fuentes de corriente.

Con L asumiendo constante, un MOSFET saturado se puede utilizar como una fuente de corriente conectada entre el drenaje y la fuente (Fig. 2.17), un componente importante en el diseño analógico. Tenga en cuenta que la fuente de corriente NMOS inyecta corriente a tierra y la fuente de corriente PMOS extrae corriente de V_{DD} . En otras palabras, solo una terminal de cada fuente de corriente es "flotante". (Es difícil diseñar una fuente de corriente que fluya entre dos nodos arbitrarios de un circuito).

Ejemplo 2.2

En un V_{DS} - V_{GS} plano, muestra las regiones de funcionamiento de un transistor NMOS.

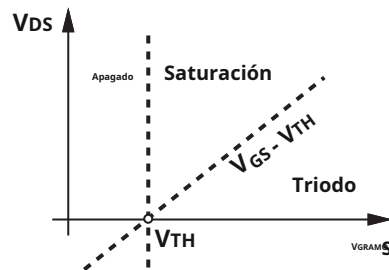


Figura 2.18 V_{DS} - V_{GS} avión mostrando regiones de operación.

Solución

Dado que el valor de V_{DS} con respecto a $V_{GS} - V_{TH}$ determina la región de operación, trazamos la línea $V_{DS} = V_{GS} - V_{TH}$ en el plano, como se muestra en la Fig. 2.18. Si $V_{GS} > V_{TH}$, entonces la región por encima de la línea corresponde a la saturación, y la que está debajo de la línea corresponde a la región del triodo. Tenga en cuenta que para un V_{DS} , el dispositivo finalmente deja la saturación como V_{GS} aumenta. El mínimo permitido V_{DS} para el funcionamiento en saturación también se llama $V_{D, sentado}$. Es importante tener en cuenta que $V_{D, sentado} = V_{GS} - V_{TH}$.

La distinción entre regiones de saturación y triodo puede resultar confusa, especialmente para los dispositivos PMOS. Intuitivamente, notamos que el canal se pellizca si la diferencia entre los voltajes de puerta y drenaje no es suficiente para crear una capa de inversión. Como se muestra conceptualmente en la figura 2.19, como $V_{GRAMO} - V_D$ de un NFET cae por debajo V_{TH} , se produce un pellizco. Del mismo modo, si $V_D - V_{GRAMO}$ de un PFET no es lo suficientemente grande ($< |V_{THP}|$), el dispositivo está saturado. Tenga en cuenta que esta vista no requiere el conocimiento de la fuente de voltaje. Esto significa que debemos saber a priori qué terminal funciona como desagüe. El drenaje se define como el terminal con un voltaje más alto (más bajo) que la fuente para un NFET (PFET).

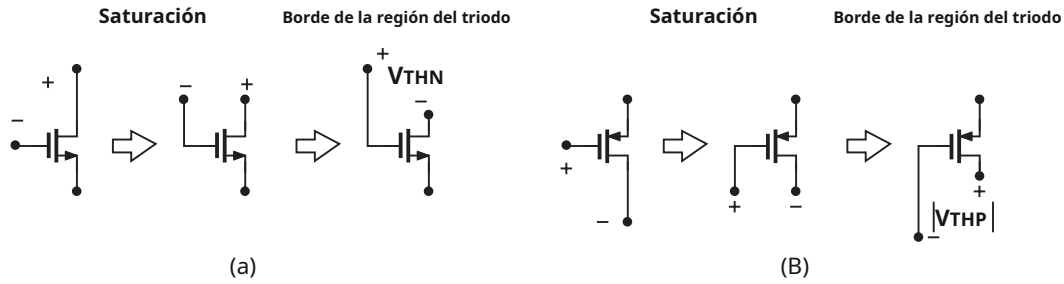


Figura 2.19 Visualización conceptual de regiones de saturación y triodo.

2.2.3 Transconductancia MOS

Dado que un MOSFET que opera en saturación produce una corriente en respuesta a su voltaje de sobremarcha de fuente de puerta, podemos definir una figura de mérito que indique qué tan bien un dispositivo convierte un voltaje en una corriente. Más concretamente, dado que en el procesamiento de señales nos ocupamos de *cambios* en voltajes y corrientes, definimos la figura de mérito como el cambio en la corriente de drenaje dividido por el cambio en el voltaje puerta-fuente. Llamado "transconductancia" (y generalmente definido en la región de saturación) y denotado por *gramometro*, esta cantidad se expresa como

$$gramometro = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} \text{ constante.}} \quad (2,17)$$

$$= \mu_{norte} C_{buey} \frac{W}{L} (V_{GS} - V_{TH}) \quad (2,18)$$

En un sentido, *gramometro* representa la sensibilidad del dispositivo: para un alto *gramometro*, un pequeño cambio en V_{GS} resulta en un gran cambio en I_D . Expresamos *gramometro* en 1/o en siemens (S); p.ej, $gramometro = 1/(100) = 0.01$ S. En diseño analógico, a veces decimos que un MOSFET funciona como un "transconductor" o un " V/I convertidor" para indicar que convierte un cambio de voltaje en un cambio de corriente. Curiosamente *gramometro* en la región de saturación es igual a la inversa de R_{sobre} en la región del triodo profundo.

El lector puede probar que *gramometro* también se puede expresar como

$$gramometro = \frac{\sqrt{\frac{W}{2\mu_{norte}C_{buey}L}}}{I_D} \quad (2,19)$$

$$= \frac{2I_D}{V_{GS} - V_{TH}} \quad (2,20)$$

Representadas en la figura 2.20, cada una de las expresiones anteriores resulta útil para estudiar el comportamiento de *gramometro* en función de un parámetro, mientras que otros parámetros permanecen constantes. Por ejemplo, (2.18) sugiere que

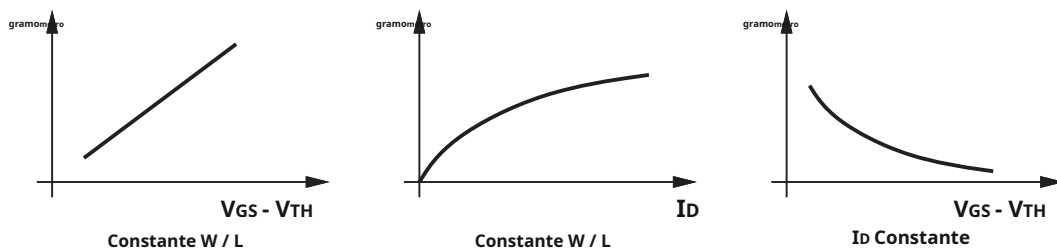


Figura 2.20 Transconductancia MOS aproximada en función de la sobremarcha y la corriente de drenaje.

$g_{mOmetro}$ aumenta con la sobremarcha si W/L es constante, mientras que (2.20) implica que $g_{mOmetro}$ disminuye con la sobremarcha si I_D es constante.

los I_D y $V_{GS} - V_{TH}$ términos en lo anterior $g_{mOmetro}$ las ecuaciones son *parcialidad* valores. Por ejemplo, un transistor con $W/L = 5 \mu\text{metro}/0.1 \mu\text{m}$ y sesgado en $I_D = 0.5 \text{ mA}$ pueden exhibir una transconductancia de $(1/200)$. Si se aplica una señal al dispositivo, entonces I_D y $V_{GS} - V_{TH}$ por lo tanto $g_{mOmetro}$ *variar*, pero en el análisis de señales pequeñas, asumimos que la amplitud de la señal es lo suficientemente pequeña como para que esta variación sea insignificante.

La ecuación (2.19) implica que la transconductancia puede elevarse arbitrariamente si aumentamos W/L y mantener I_D constante. Este resultado es incorrecto y se revisará en la Sec. 2.3.

El concepto de transconductancia también se puede aplicar a un dispositivo que opera en la región del triodo, como se ilustra en el siguiente ejemplo.

Ejemplo 2.3

Para la disposición que se muestra en la figura 2.21, grafique la transconductancia en función de V_{DS} .

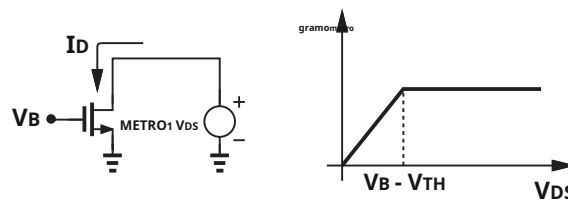


Figura 2.21

Solución

Es mas sencillo estudiar $g_{mOmetro}$ como V_{DS} disminuye desde el infinito. Siempre y cuando $V_{DS} \geq V_B - V_{TH}$, $METRO1$ está en saturación, I_D es relativamente constante y, de (2.19), también lo es $g_{mOmetro}$. Si el voltaje de drenaje cae por debajo del voltaje de la puerta en más de un umbral, $METRO1$ entra en la región del triodo, y

$$g_{mOmetro} = \frac{\partial}{\partial V_{GS}} \left\{ \frac{1}{2} \mu_{norte} C_{buey} \frac{W}{L} \left[2(V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 \right] \right\} \quad (2.21)$$

$$= \mu_{norte} C_{buey} \frac{W}{L} V_{DS} \quad (2.22)$$

Por tanto, como se muestra en la figura 2.21, la transconductancia cae en la región del triodo. Para la amplificación, por lo tanto, generalmente empleamos MOSFET en saturación.

Para un PFET, la transconductancia en la región de saturación se expresa como $g_{mOmetro} = -\mu_{pag} C_{buey} (W/L) (V_{GS} - V_{TH}) = -2I_D / (V_{GS} - V_{TH}) = 2\mu_{pag} C_{buey} (W/L) y_{OD}$.

2.3 Efectos de segundo orden

Nuestro análisis de la estructura de MOS hasta ahora ha implicado varios supuestos simplificadores, algunos de los cuales no son válidos en muchos circuitos analógicos. En esta sección, describimos tres efectos de segundo orden que son esenciales en nuestros análisis de circuitos posteriores. Otros fenómenos que aparecen en los dispositivos nanométricos se estudian en el capítulo 17.

Efecto corporal En el análisis de la figura 2.10, supusimos tácitamente que el volumen y la fuente del transistor estaban conectados a tierra. ¿Qué sucede si el voltaje general de un NFET cae por debajo del voltaje de la fuente (figura 2.22)? Dado que las uniones S y D permanecen con polarización inversa, suponemos que el dispositivo continúa funcionando correctamente, pero algunas de sus características pueden cambiar. Para entender el efecto, suponga

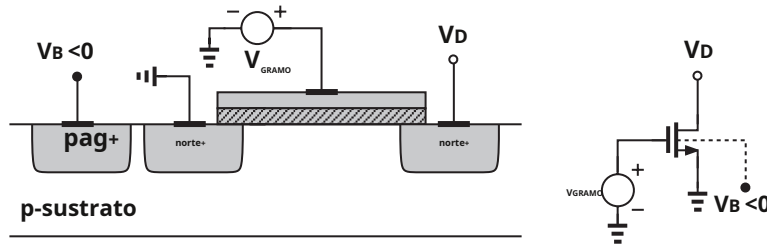


Figura 2.22 Dispositivo NMOS con voltaje a granel negativo.

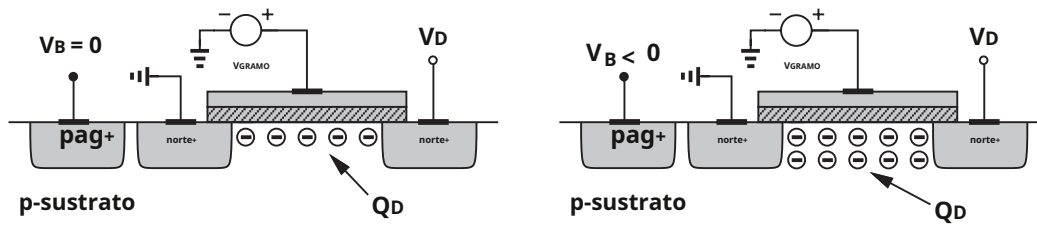


Figura 2.23 Variación de la carga de la región de agotamiento con el voltaje a granel.

$V_S = V_D = 0$, y V_{GRAMO} es algo menos que V_{TH} , de modo que se forma una región de agotamiento debajo de la puerta pero no existe una capa de inversión. Como V_B se vuelve más negativo, se atraen más agujeros a la conexión del sustrato, dejando una carga negativa más grande detrás; es decir, como se muestra en la figura 2.23, la región de agotamiento se ensancha. Ahora recuerde de la Ec. (2.1) que el voltaje de umbral es una función de la carga total en la región de agotamiento porque la carga de la puerta debe reflejar Q_D antes de que se forme una capa de inversión. Así, como V_B gotas y Q_D aumenta, V_{TH} también aumenta. Este fenómeno se denomina "efecto corporal" o "efecto de puerta trasera".

Se puede demostrar que con efecto corporal,

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{\frac{2-F}{2-F} + V_{SB}} - \sqrt{\frac{2-F}{2-F}} \right) \quad (2,23)$$

dónde V_{TH0} viene dado por (2.1), $\gamma = 2q\epsilon_{Si} \text{ norte}_{sub}/C_{buey}$ denota el coeficiente de efecto corporal, y V_{SB} es el diferencia de potencial fuente-volumen [1]. El valor de γ normalmente se encuentra en el rango de 0,3 a 0,4 $V^{1/2}$.

◀ Ejemplo 2.4

En la figura 2.24 (a), grafique la corriente de drenaje si V_X varía de $-\infty$ a 0. Suponga $V_{TH0} = 0.3$ V, $\gamma = 0.4$ $V^{1/2}$, y $2-F = 0.7$ V.

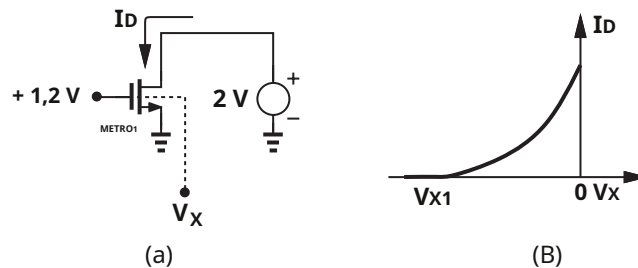


Figura 2.24

Solución

Si V_X es suficientemente negativo, el voltaje umbral de $METRO_1$ supera los 1,2 V y el dispositivo está apagado. Es decir,

$$1.2 \text{ V} = 0.3 + 0.4 \sqrt{0.7 - V_{X1} - 0.7} \quad (2,24)$$

y por lo tanto $V_{X1} = -8.83 \text{ V}$. Para $V_{X1} < V_X < 0$, I_D aumenta según

$$I_D = \frac{1}{2} \mu_{nm} C_{buey} \frac{W}{L} (V_{GS} - V_{TH0} - \gamma \sqrt{\frac{2-F}{2-F-V_X}} - \sqrt{\frac{2-F}{2-F}})^2 \quad (2,25)$$

La figura 2.24 (b) muestra el comportamiento resultante.

Para que el efecto corporal se manifieste, el potencial de volumen, V_{sub} , no es necesario cambiar: si el voltaje de la fuente varía con respecto a V_{sub} , ocurre el mismo fenómeno. Por ejemplo, considere el circuito de la figura 2.25 (a), ignorando primero el efecto corporal. Notamos que como V_{en} varía, V_{fuera} sigue de cerca la entrada porque la corriente de drenaje permanece igual a I_1 . De hecho, podemos escribir

$$I_1 = \frac{1}{2} \mu_{nm} C_{buey} \frac{W}{L} (V_{en} - V_{fuera} - V_{TH})^2 \quad (2,26)$$

concluyendo que $V_{en} - V_{fuera}$ es constante si I_1 es constante [Fig. 2.25 (b)].

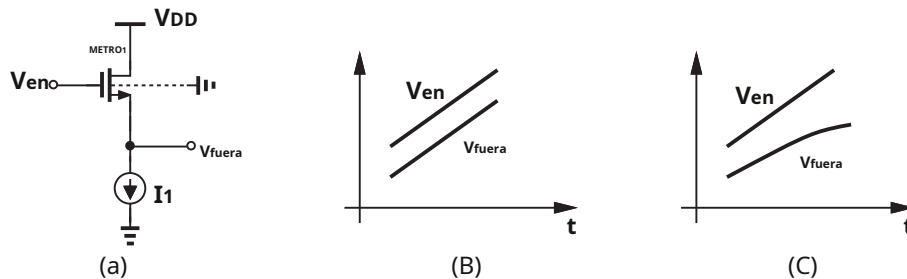


Figura 2.25 (a) Un circuito en el que el voltaje de la fuente a granel varía con el nivel de entrada; (b) voltajes de entrada y salida sin efecto corporal; (c) Voltajes de entrada y salida con efecto corporal.

Ahora suponga que el sustrato está ligado al suelo y el efecto corporal es significativo. Entonces como V_{en} y por lo tanto V_{fuera} volverse más positivo, la diferencia de potencial entre la fuente y el volumen aumenta, elevando el valor de V_{TH} . La ecuación (2.26) implica que $V_{en} - V_{fuera}$ debe aumentar para mantener I_D constante [Fig. 2.25 (c)].

El efecto corporal suele ser indeseable. El cambio en el voltaje umbral, por ejemplo, como en la figura 2.25 (a), a menudo complica el diseño de circuitos analógicos (e incluso digitales). Equilibrio de los tecnólogos de dispositivos *nortesub* C_{buey} para obtener un valor razonable por γ .

Ejemplo 2.5

La ecuación (2.23) sugiere que si V_{SB} se convierte en *negativo*, luego V_{TH} *disminuye*. ¿Es esto correcto?

Solución

Sí lo es. Si el voltaje general de un dispositivo NMOS se eleva por encima de su voltaje de fuente, V_{TH} cae por debajo V_{TH0} . Esta observación resulta útil en el diseño de bajo voltaje, donde el rendimiento de un circuito puede verse afectado debido a un voltaje de umbral alto; uno puede sesgar el grueso para reducir V_{TH} . Desafortunadamente, esto no es sencillo para los NFET porque generalmente comparten un sustrato, pero se puede aplicar fácilmente a PFET individuales.

Modulación de longitud de canal En el análisis del pellizco del canal en la Sec. 2.2, notamos que la longitud real del canal disminuye gradualmente a medida que disminuye la diferencia de potencial entre la puerta y el drenaje. En otras palabras, en (2.13), L' es de hecho una función de V_{DS} . Este efecto se denomina "modulación de longitud de canal". Escribiendo $L' = L - \text{Entre } L/L \text{ y } V_{DS}$, es decir $1/L' \approx (1 + L/L)/L$, y asumiendo una relación de primer orden

$L/L = \lambda V_{DS}$, tenemos, en saturación,

$$I_D \approx \frac{1}{2} \mu_{n\text{orte}} C_{\text{buey}} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2,27)$$

dónde λ es el "coeficiente de modulación de la longitud del canal". Ilustrado en la figura 2.26, este fenómeno da como resultado una pendiente distinta de cero en la I_D/V_{DS} característica y, por tanto, una fuente de corriente no ideal entre D y S en saturación. El parámetro λ representa el *relativo* variación en la longitud para un incremento dado en V_{DS} . Por lo tanto, para canales más largos, λ es más pequeño.

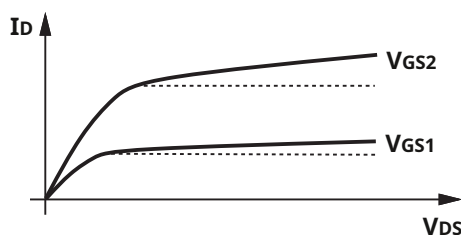


Figura 2.26 Pendiente de la región de saturación finita resultante de la modulación de la longitud del canal.

Ejemplo 2.6

¿Hay modulación de la longitud del canal en la región del triodo?

Solución

No no hay. En la región del triodo, el canal se extiende continuamente desde la fuente hasta el drenaje, sin experimentar pellizcos. Por tanto, la tensión de drenaje no modula la longitud del canal.

El lector puede observar una discontinuidad en las ecuaciones a medida que el dispositivo pasa de la región del triodo a la saturación:

$$I_{D, \text{tri}} = \frac{1}{2} \mu_{n\text{orte}} C_{\text{buey}} \frac{W}{L} [2(V_{GS} - V_{TH}) V_{DS} - V_{DS}^2] \quad (2,28)$$

$$I_{D, \text{saturado}} = \frac{1}{2} \mu_{n\text{orte}} C_{\text{buey}} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2,29)$$

El primero cede $(1/2) \mu_{n\text{orte}} C_{\text{buey}} W/L (V_{GS} - V_{TH})^2$ en el borde de la región del triodo, mientras que este último presenta un factor adicional de $1 + \lambda V_{DS}$. Esta discrepancia se elimina en modelos más complejos de MOSFET (Capítulo 17).

Con modulación de longitud de canal, algunas de las expresiones derivadas de *gramOmetro* debe ser modificado. Las ecuaciones (2.18) y (2.19) se reescriben respectivamente como

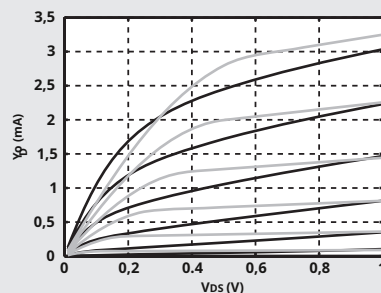
$$\text{gramOmetro} = \frac{W}{L} \mu_{n\text{orte}} C_{\text{buey}} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2.30)$$

$$= \frac{\sqrt{2 \mu_{n\text{orte}} C_{\text{buey}} (W/L) y_{OD} (1 + \lambda V_{DS})}}{\quad} \quad (2.31)$$

mientras que Eq. (2.20) permanece sin cambios.

Notas de diseño de nanómetros

Los transistores nanométricos adolecen de varias imperfecciones y se apartan notablemente del comportamiento de la ley cuadrática. A continuación se muestran las características IV reales de un NFET con $W/L = 5 \mu\text{m} / 40 \text{ nm}$ para $V_{GS} = 0.3 \text{ V} \dots 0.8 \text{ V}$. También se grafican las características de un dispositivo de ley cuadrada de las mismas dimensiones. A pesar de nuestros mejores esfuerzos para hacer coincidir el último dispositivo con el primero, todavía observamos diferencias significativas.



Ejemplo 2.7

Manteniendo todos los demás parámetros constantes, trace el I_D/V_{DS} característica de un MOSFET para $L = L_1$ y $L = 2L_1$.

Solución

Escribiendo

$$I_D = \frac{1}{2} \mu_n C_{\text{bu}} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2,32)$$

y $\lambda \propto 1/L$, observamos que si la longitud se duplica, la pendiente de I_D vs. V_{DS} está dividido por *cuatro* porque $\partial I_D / \partial V_{DS} \propto \lambda / L \propto 1/L^2$ (Figura 2.27). (Esto es cierto solo si $V_{GS} - V_{TH}$ es constante.) Para un overdrive de fuente de puerta dada, un mayor L proporciona una fuente de corriente más ideal al tiempo que degrada la capacidad actual del dispositivo. Por lo tanto, W puede ser necesario aumentar proporcionalmente. De hecho, si duplicamos W restaurar I_D a su valor original, la pendiente también se duplica. En otras palabras, para una corriente de drenaje requerida y una sobremarcha dada, duplicar la longitud reduce la pendiente en un factor de 2.

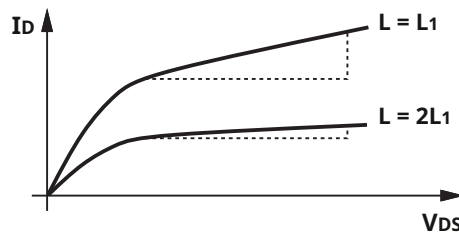


Figura 2.27 Efecto de duplicar la longitud del canal.

La aproximación lineal $L/L \propto V_{DS}$ se vuelve menos preciso en transistores de canal corto, lo que resulta en una *variable* pendiente en el saturado I_D/V_{DS} características. Volvemos a este tema en el capítulo 17.

La dependencia de I_D sobre V_{DS} en saturación puede sugerir que la corriente de polarización de un MOSFET puede definirse mediante la elección adecuada del voltaje de drenaje-fuente, lo que permite la libertad de elección de $V_{GS} - V_{TH}$. Sin embargo, dado que la dependencia de V_{DS} es mucho más débil, el voltaje de la fuente de drenaje no se usa para establecer la corriente. Es decir, siempre consideramos $V_{GS} - V_{TH}$ como parámetro que define la corriente. El efecto de V_{DS} sobre I_D generalmente se considera un *error*, y se estudia en el Capítulo 5.

Conducción subumbral En nuestro análisis del MOSFET, asumimos que el dispositivo se apaga abruptamente cuando V_{GS} cae por debajo V_{TH} . En realidad, para $V_{GS} \approx V_{TH}$, todavía existe una capa de inversión "débil" y algo de corriente fluye de D a S. Incluso para $V_{GS} < V_{TH}$, I_D es finito, pero exhibe un *exponencial* dependencia en V_{GS} [2, 3]. Llamado "conducción subumbral", este efecto se puede formular para V_{DS} mayor que aproximadamente 100 mV como

$$I_D = I_0 \exp \frac{V_{GS}}{\xi V_T} \quad (2,33)$$

dónde I_0 es proporcional a W/L , $\xi > 1$ es un factor de no idealidad, y $V_T = kT/q$. También decimos que el dispositivo funciona en "inversión débil". (Del mismo modo, para $V_{GS} > V_{TH}$, decimos que el dispositivo funciona en "inversión fuerte"). ξ , (2.33) es similar a la exponencial I_C/V_{SER} relación de un transistor bipolar. El punto clave aquí es que, como V_{GS} cae por debajo V_{TH} , la corriente de drenaje cae a un ritmo finito. Con valores típicos de ξ , a temperatura ambiente V_{GS} debe disminuir en aproximadamente 80 mV para I_D disminuir en una década (Fig. 2.28). Por ejemplo, si se elige un umbral de 0,3 V en un proceso para permitir la operación de bajo voltaje, entonces cuando V_{GS} se reduce a cero, la corriente de drenaje disminuye solo en un factor de $10^{0.3 \text{ V}/80 \text{ mV}} = 10^{3.75} \approx 5.62 \times 10^3$. Por ejemplo, si el transistor lleva alrededor de $1 \mu\text{A}$ para $V_{GS} = V_{TH}$ y tenemos 100 millones de dispositivos de este tipo,

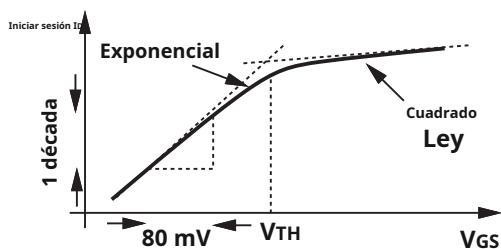


Figura 2.28 Características del subumbral MOS.

consumen 18 mA cuando están nominalmente apagados. Especialmente problemático en circuitos grandes como las memorias, la conducción subumbral puede resultar en una disipación de potencia significativa (o pérdida de información analógica).

Si un dispositivo MOS conduce $V_{GS} < V_{TH}$, entonces, ¿cómo definimos el voltaje umbral? De hecho, se han propuesto numerosas definiciones. Una posibilidad es extrapolar, en una escala vertical logarítmica, las características de inversión débil y fuerte y considerar su voltaje de intersección como el umbral (Fig. 2.28).

Ahora volvemos a examinar la ecuación (2.19) para la transconductancia de un dispositivo MOS que opera en la región de subumbral. ¿Es posible lograr una transconductancia arbitrariamente alta aumentando W mientras se mantiene I_D constante? ¿Es posible obtener una *más alta* transconductancia que la de un transistor bipolar (I_C / V_T) sesgado a la misma corriente? La ecuación (2.19) se derivó de la característica de ley cuadrada $I_D = (1/2) \mu_{n\text{orte}} C_{\text{buey}} (W/L) (V_{GS} - V_{TH})^2$. Sin embargo, si W aumenta mientras I_D permanece constante, entonces $V_{GS} \rightarrow V_{TH}$ y el dispositivo entra en la región de subumbral. Como resultado, la transconductancia se calcula a partir de (2.33) para ser $g_{\text{ramometro}} = I_D / (\xi V_T)$, revelando que los MOSFET siguen siendo inferiores a los transistores bipolares a este respecto.

¿A qué voltaje de sobremarcha podemos decir que el transistor pasa de una inversión fuerte a una inversión débil? Si bien es algo arbitrario, este punto de transición se puede definir como el voltaje de sobremarcha, $(V_{GS} - V_{TH})_1$, en el que las transconductancias correspondientes serían iguales para la misma corriente de drenaje:

$$\frac{I_D}{\xi V_T} = \frac{2I_D}{(V_{GS} - V_{TH})_1} \quad (2,34)$$

y por lo tanto

$$(V_{GS} - V_{TH})_1 = 2\xi V_T \quad (2,35)$$

Para $\xi \approx 1.5$, esto equivale a aproximadamente 80 mV.

La dependencia exponencial de I_D sobre V_{GS} en funcionamiento por debajo del umbral puede sugerir el uso de dispositivos MOS en este régimen para lograr una mayor ganancia. Sin embargo, dado que tales condiciones solo se cumplen con un dispositivo de gran ancho o baja corriente de drenaje, la velocidad de los circuitos subumbrales está severamente limitada.

◀ Ejemplo 2.8

Examine el comportamiento de un MOSFET como el drenaje "densidad de corriente", I_D / W , varía.

Solución

Para una corriente de drenaje y un ancho de dispositivo dados, ¿cómo determinamos la región de operación? Debemos considerar las ecuaciones para inversión fuerte y débil:

$$I_D = \frac{1}{2} \mu_{n\text{orte}} C_{\text{buey}} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2,36)$$

$$I_D = \alpha \frac{W}{L} \text{Exp} \frac{V_{GS}}{\xi V_T} \quad (2,37)$$

donde se desprecia la modulación de la longitud del canal y I_0 en Eq. (2.33) se ha expresado como un factor de proporcionalidad, α , multiplicado por W/L . ¿Qué sucede si el dispositivo está en fuerte inversión y seguimos reduciendo I_D tiempo W/L es constante? Poder V_{GS} simplemente acercarse V_{TH} para producir un valor arbitrariamente pequeño para $(V_{GS} - V_{TH})$? ¿Por qué la ecuación de la ley del cuadrado no se mantiene como V_{GS} enfoques V_{TH} ?

Para responder a estas preguntas, volvemos al gráfico de la figura 2.28 y observamos que solo las corrientes más allá de un cierto nivel pueden soportar una fuerte inversión. En otras palabras, para una corriente dada y W/L , debemos obtener V_{GS} de las ecuaciones de ley cuadrada y exponencial y seleccione el valor más bajo:

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} W/L}} + V_{TH} \quad (2,38)$$

$$V_{GS} = \xi V_{TH} \ln \frac{I_D}{aW/L} \quad (2,39)$$

Si I_D permanece constante y W aumenta, V_{GS} cae y el dispositivo pasa de una inversión fuerte a una inversión débil.

Limitaciones de voltaje Un MOSFET experimenta varios efectos indeseables si las diferencias de voltaje de sus terminales exceden ciertos límites (si el dispositivo está "estresado"). A altos voltajes de fuente de puerta, el óxido de puerta se descompone irreversiblemente, dañando el transistor. En los dispositivos de canal corto, un voltaje de fuente de drenaje excesivamente grande ensancha la región de agotamiento alrededor del drenaje tanto que toca alrededor de la fuente, creando una corriente de drenaje muy grande. (Este efecto se denomina "punchthrough"). Incluso sin avería, las características de los MOSFET pueden cambiar de forma permanente si las diferencias de voltaje de los terminales superan un valor especificado. Estos efectos se describen en el Capítulo 17.

2.4 Modelos de dispositivos MOS

2.4.1 Disposición del dispositivo MOS

Para los desarrollos en las secciones posteriores, es beneficioso tener cierta comprensión del diseño de un MOSFET. Aquí describimos solo una vista simple, postergando los detalles de fabricación y las sutilezas estructurales a los Capítulos 18 y 19.

El diseño de un MOSFET está determinado tanto por las propiedades eléctricas requeridas del dispositivo en el circuito como por las "reglas de diseño" impuestas por la tecnología. Por ejemplo, W/L se elige para establecer la transconductancia u otros parámetros del circuito mientras que el mínimo L es dictado por el proceso. Además de la puerta, las áreas de fuente y drenaje también deben definirse adecuadamente.

En la Fig. 2.29 se muestran la "vista de pájaro" y la vista superior de un MOSFET. La compuerta de polisilicio y los terminales de fuente y drenaje deben estar atados a cables de metal (aluminio) que sirven como interconexiones con baja resistencia y capacitancia. Para lograr esto, se deben abrir una o más "ventanas de contacto" en cada región, rellenarlas con metal y conectarlas a los alambres de metal superiores. Tenga en cuenta que la puerta poli se extiende más allá del área del canal en cierta cantidad para garantizar una definición confiable del "borde" del transistor.

Las uniones de fuente y drenaje juegan un papel importante en el rendimiento. Para minimizar la capacitancia de S y D , el área total de cada unión debe minimizarse. Vemos en la figura 2.29 que una dimensión de las uniones es igual a W . La otra dimensión debe ser lo suficientemente grande para acomodar las ventanas de contacto y está especificada por las reglas de diseño de tecnología.⁷

⁷Esta dimensión es típicamente de tres a cuatro veces la longitud mínima permitida del canal.