Curso de Sistemas Digitales.

Instructor: Dr.Ing. Sergio A. Abreo C.

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones



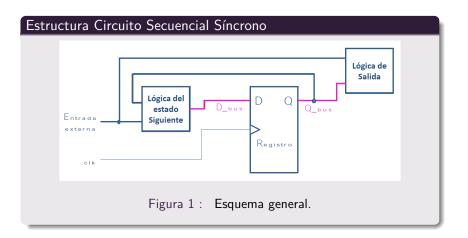


Universidad Industrial de Santander

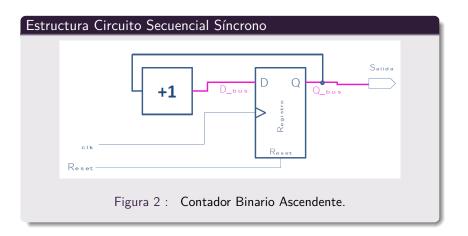
Semana: 10

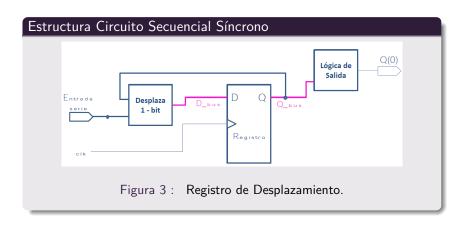
- Sesión 10
 - Máquinas de Estado
- 2 Consulta
- Agradecimientos
- Referencias

Repaso: ¿Qué hemos visto?



Repaso: ¿Qué hemos visto?





Circuitos

- Secuenciales regulares: La lógica del estado siguiente tiene un patrón definido (un contador, desplazar un bit, etc..)
- FSM: La lógica del estado siguiente NO tiene un patrón definido.

- Son circuitos síncronos.
- El circuito va cambiando de estado con cada flanco de reloj.

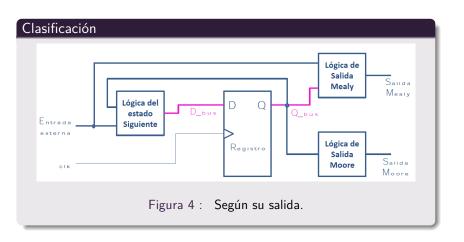
Circuitos

Sesión 10

- Secuenciales regulares: La lógica del estado siguiente tiene un patrón definido (un contador, desplazar un bit, etc..)
- FSM: La lógica del estado siguiente NO tiene un patrón definido.

Generalidades FSM

- Son circuitos síncronos.
- El circuito va cambiando de estado con cada flanco de reloj.
- El estado siguiente está determinado por la lógica del estado siguiente.



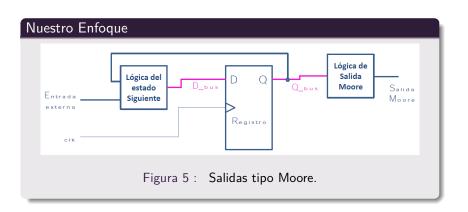


Diagrama de Estados

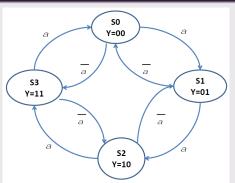
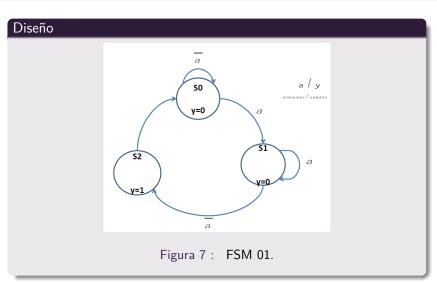
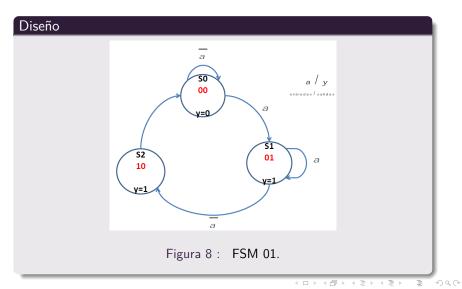


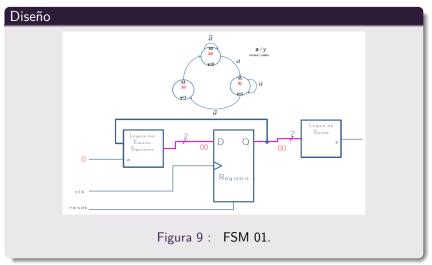
Figura 6: Contador Ascendente, Descendente. Entradas (a), salidas (y).

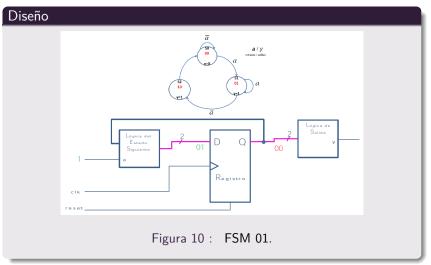
Diagrama de Estados

- Cada estado tiene un nombre único.
- Un arco representa la condición de salto de un estado a otro estado.
- Cada arco tiene una condición lógica para que se dé el salto.
- Ocurre un salto cuando la condición es 1.
- La salida depende del estado actual.

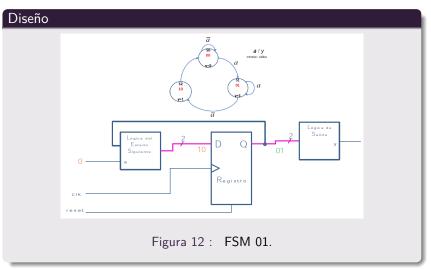


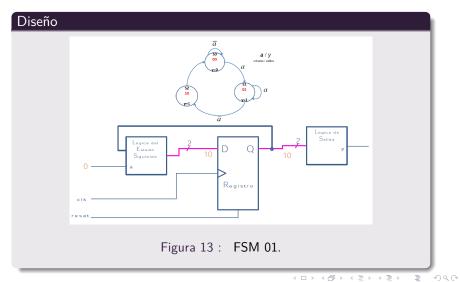


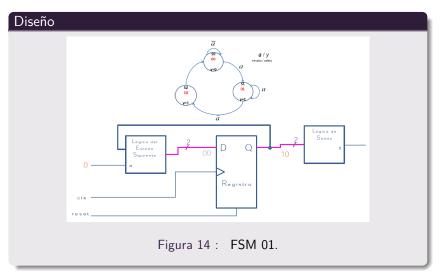


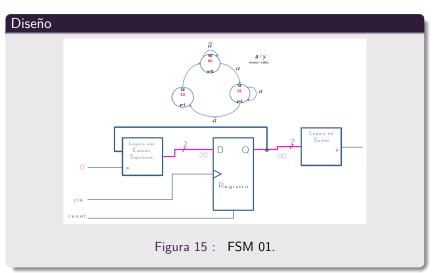


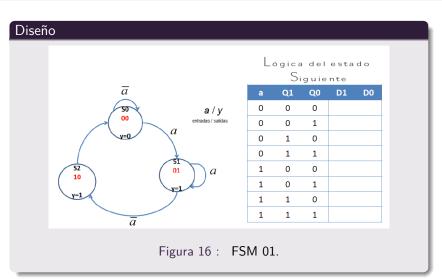
Diseño a / y erendas / salidas Registro Figura 11: FSM 01.

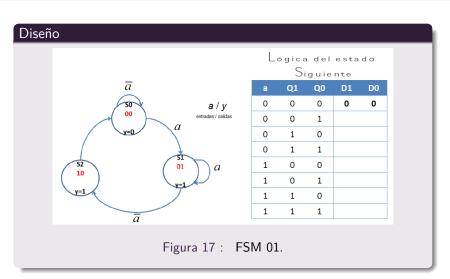


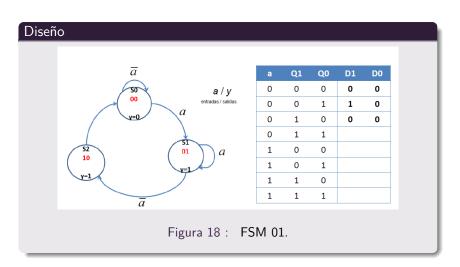


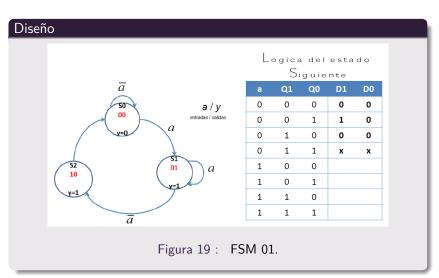


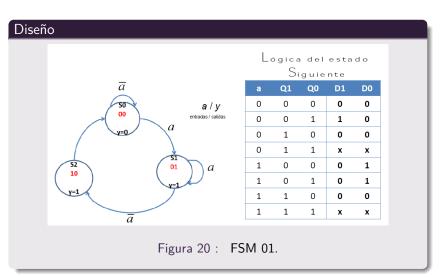




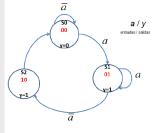










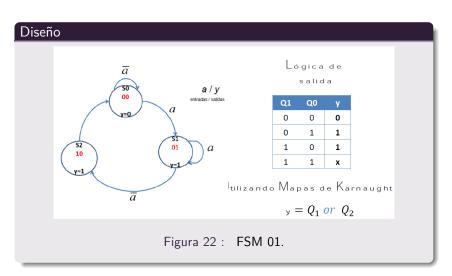


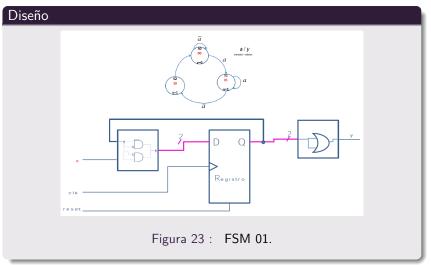
а	Q1	Q0	D1	D0
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	x	x
1	0	0	0	1
1	0	1	0	1
1	1	0	0	0
1	1	1	х	х

Utilizando Mapas de Karnaught

$$D_1 = \overline{a} \cdot Q_0$$
$$D_0 = a \cdot \overline{Q_1}$$

Figura 21: FSM 01.





Actividad

- Describir en Verilog la FSM discutida.
- Crear un testbench que permita verificar su funcionamiento.
- Simular usando las herramienta Icarus.

Resumen

000000000000000000000000000

- Identificar las entradas y las salidas.
- Oibujar el diagrama de estados.
- Codificar cada estado.
- Realizar la tabla del estado siguiente.
- Realizar la tabla de la salida.
- 6 Encontrar las expresiones Booleanas.
- O Dibujar el circuito final.
- Objectible Describing Describing Objective
- Verificar su correcto funcionamiento.

Textos de Referencia.

- [Tocci and Widmer, 2003].
- [Harris and Harris, 2010].

Agradecimientos

Sesión 10

Grupo CPS: Línea Sistemas Digitales.

La información presentada en estas diapositivas intenta recopilar los elementos pedagógicos desarrollados por los profesores Carlos Fajardo y Carlos Angulo en sus cursos de Sistemas Digitales I durante los últimos años de trabajo en esta línea.



Harris, D. and Harris, S. (2010).

Digital design and computer architecture. Morgan Kaufmann.



Tocci, R. J. and Widmer, N. S. (2003). Sistemas digitales: principios y aplicaciones.

Pearson Educación.