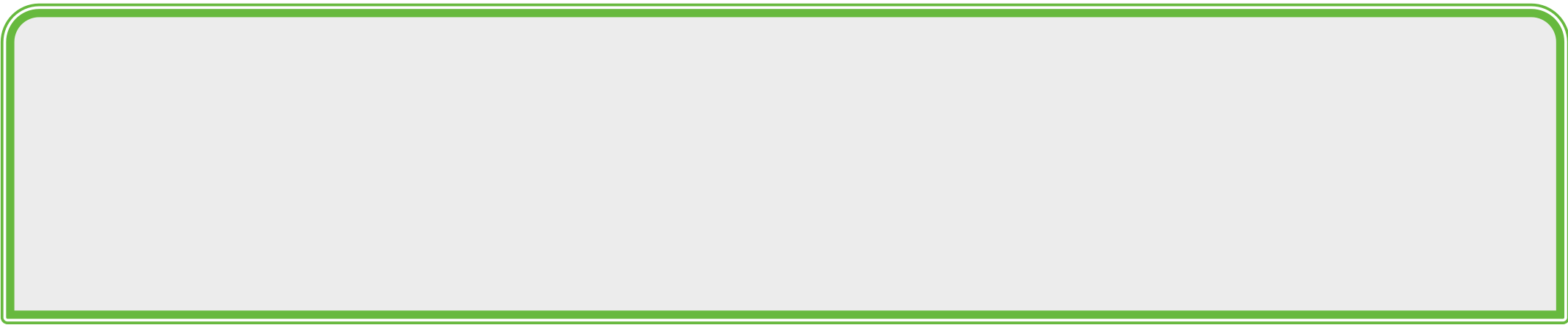




Universidad
Industrial de
Santander



case

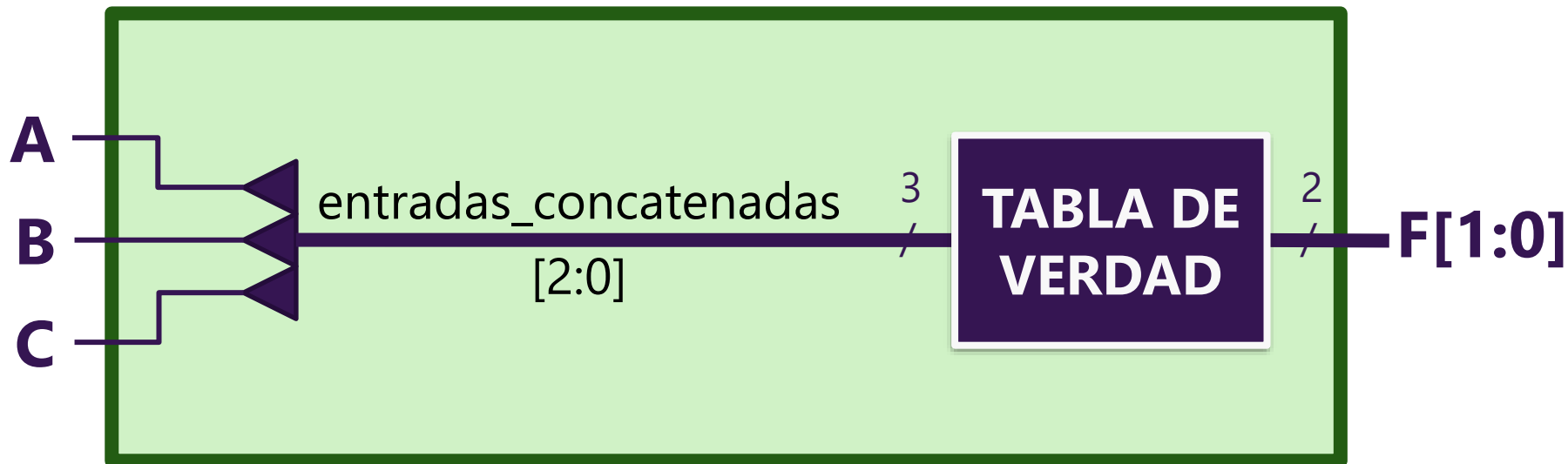


concatenación





ejemplo_case



$$F[1] = \sum_{A,B,C} (1,2,5,6)$$

$$F[0] = \sum_{A,B,C} (0,1)$$

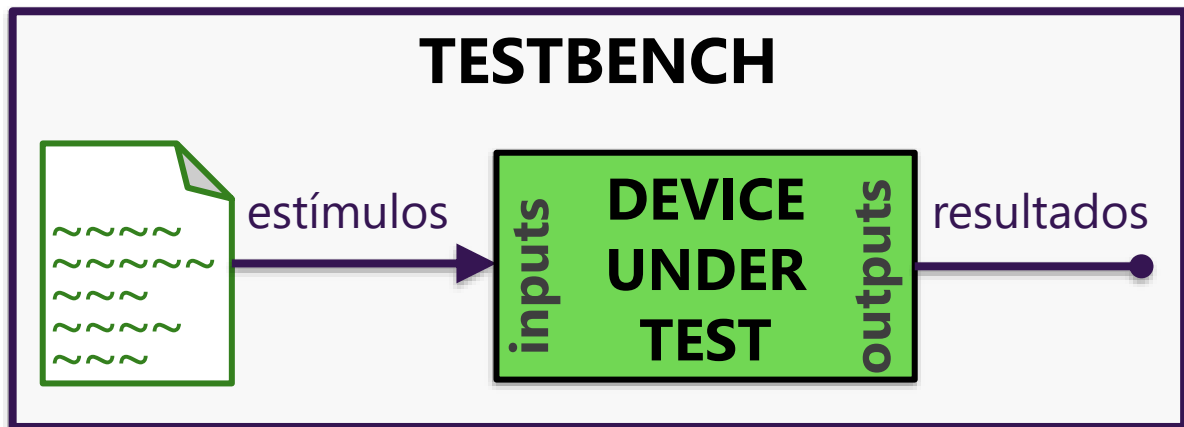
	A	B	C	F[1:0]
0	0	0	0	01
1	0	0	1	11
2	0	1	0	10
3	0	1	1	00
4	1	0	0	00
5	1	0	1	10
6	1	1	0	10
7	1	1	1	00



```
ejemplo_case.v x
1 module ejemplo_case
2 ( // ENTRADAS y SALIDAS
3   input A,B,C,
4   output reg [1:0] F
5 );
```

```
6 // = = = = =
7 // DECLARACIÓN DE VARIABLES
8 wire [2:0] entradas_concatenadas;
9 // -----
10
```

```
11 // = = = = =
12 // DESCRIPCIÓN DEL CIRCUITO
13 assign entradas_concatenadas = {A,B,C};
14
15 always @(*)
16     case (entradas_concatenadas)
17         3'd0: F = 2'b01;
18         3'd1: F = 2'b11;
19         3'd2: F = 2'b10;
20         3'd3: F = 2'b00;
21         3'd4: F = 2'b00;
22         3'd5: F = 2'b10;
23         3'd6: F = 2'b10;
24         3'd7: F = 2'b00;
25     endcase
26
27 // -----
28 endmodule
```



estimulos[2:0]			resultados	
			[1:0]	
estimulos[0]			↑	
estimulos[1]				
estimulos[2]				
	A	B	C	F[1:0]
0	0	0	0	01
1	0	0	1	11
2	0	1	0	10
3	0	1	1	00
4	1	0	0	00
5	1	0	1	10
6	1	1	0	10
7	1	1	1	00

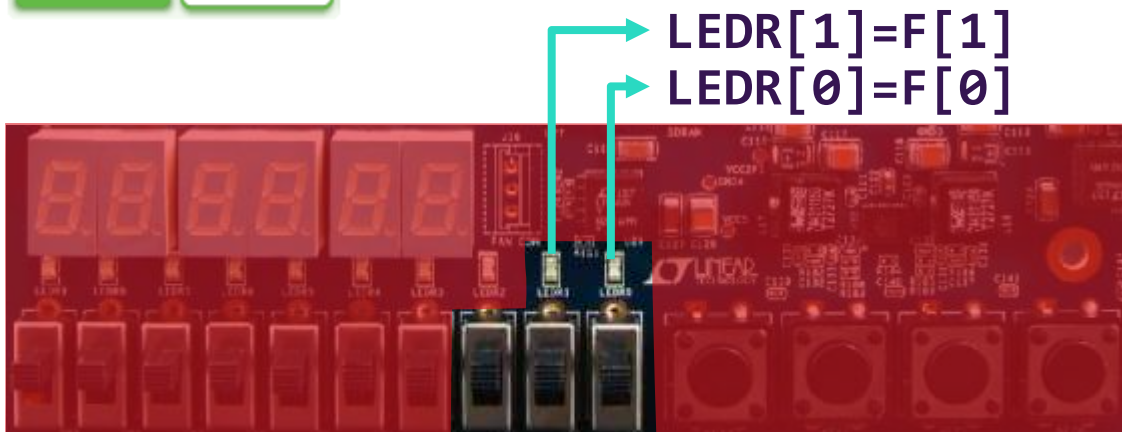


ejemplo_case_TB_gtkwave.v

```
1 module ejemplo_case_TB_gtkwave();
2 // DECLARACIÓN DE CONSTANTES Y VARIABLES
3 reg [2:0] estímulos;
4 wire [1:0] resultados;
5
6 // =====
7 // CONEXIÓN DEL CIRCUITO QUE SE QUIERE SIMULAR
8 ejemplo_case DUT(
9     .A(estímulos[2]),
10    .B(estímulos[1]),
11    .C(estímulos[0]),
12    .F(resultados)
13 );
14 // -----
15
```

```
16 // =====
17 // ESTÍMULOS: situaciones que se quieren observar
18 initial begin
19     estímulos = 0;           #10;
20     repeat (7) begin
21         estímulos = estímulos+1;   #10;
22     end
23     $finish; // termina la simulación
24 end
25 // -----
```

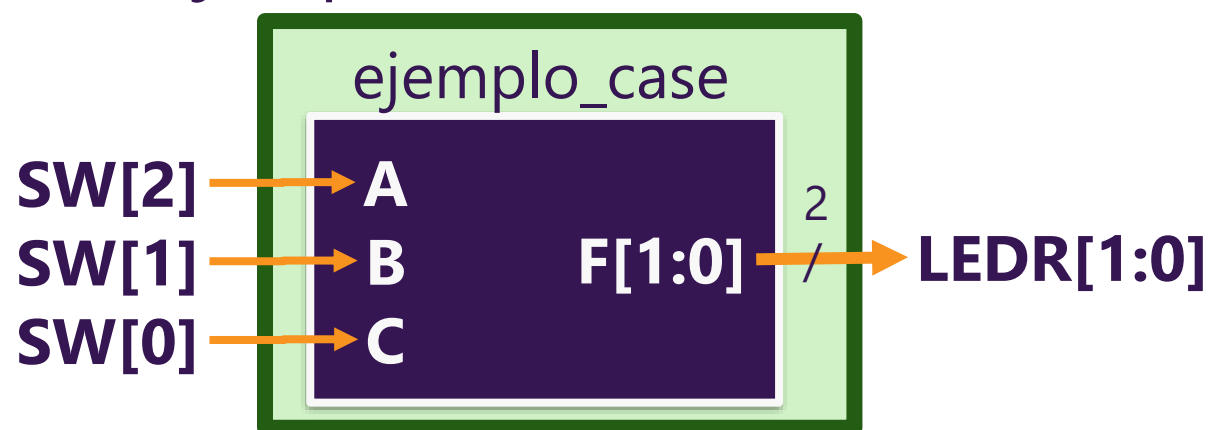
```
26
27 // =====
28 initial begin // para ver los resultados
29     $dumpfile("ARCHIVO.vcd");
30     $dumpvars;
31 end
32
33 endmodule
```



LEDR[1]=F[1]
LEDR[0]=F[0]

A=SW[2]
B=SW[1]
C=SW[0]

ejemplo_case_LabsLand



```
ejemplo_case_Labsland.v
1 module ejemplo_case_Labsland
2 (   // Utilizar los nombres de los puertos
3     // indicados en la documentación en LabsLand
4     // INPUT: SW - KEY - CLOCK_50
5     // OUTPUT: LEDR - HEXn
6     input [2:0] SW,
7     output [1:0] LEDR
8 );
9
10 // =====
11 // CONEXIÓN DEL CIRCUITO QUE SE QUIERE IMPLEMENTAR
12 ejemplo_case el_circuito(
13     .A(SW[2]),
14     .B(SW[1]),
15     .C(SW[0]),
16     .F(LEDR)
17 );
18 // -----
19 endmodule
```