### Curso de Sistemas Digitales.

Instructor: Dr.Ing. Sergio A. Abreo C.

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones





Universidad Industrial de Santander

Semana: 4

- Sesión 4
  - Introducción a Verilog
  - Números negativos
- 2 Consulta
- Agradecimientos
- Referencias

### Introducción.

Sesión 4

#### Discusión

• ¿Por qué debemos aprender a manejar un lenguaje de descripción de Hardware?

### Lenguajes de Descripción de Hardware.

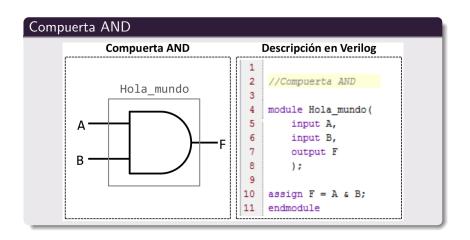
#### Netlist

- Se indica el interconexionado entre los componentes de un diseño (lista de conexiones).
- Kicad, Eagle, Proteus, etc.

#### **HDL**

 Describe un circuito NO por sus conexiones sino más bien por su funcionamiento.

# Verilog Hola Mundo.



## Verilog Hola Mundo.

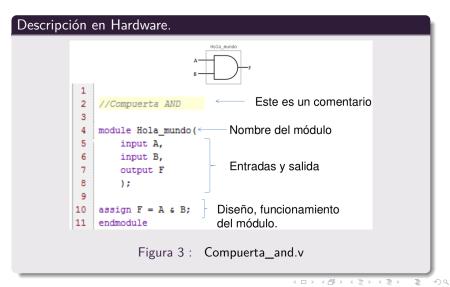
Los comentarios son ignorados por el compilador. Para una sola línea se usa //.

```
Comentarios
                    //Es es un comentario
                 3
                 4
                    module Hola mundo (
                        input A,
                        input B,
                        output F //Este es otro comentario
                        );
                10
                11
                    assign F = A & B;
                    endmodule
                      Figura 1: Compuerta_and.v
```

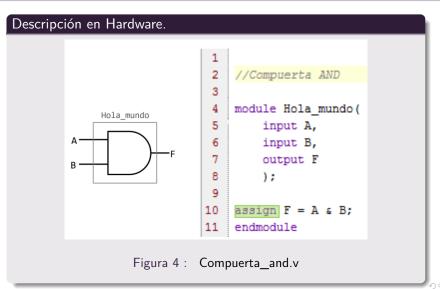
Para varias líneas se usa /\* bla bla bla \*/.

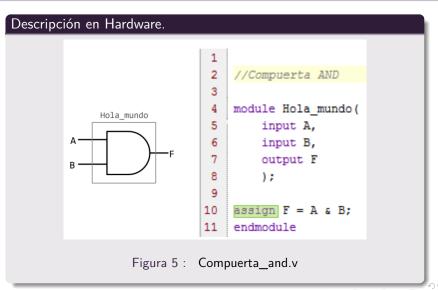
```
Comentarios
                   2 0 /* Es es un comentario es un
                      comentario de
                   4 Avarias lineas*/
                      module Hola mundo (
                       input A,
                      input B,
                  10
                      output F //Este es otro comentario
                  11
                       );
                  12
                  13 assign F = A & B;
                  14 🖒 endmodule
                       Figura 2: Compuerta and.v
```

# Verilog Hola Mundo.



## Verilog Hola Mundo.



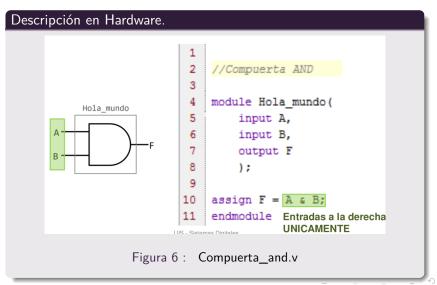


Sesión 4

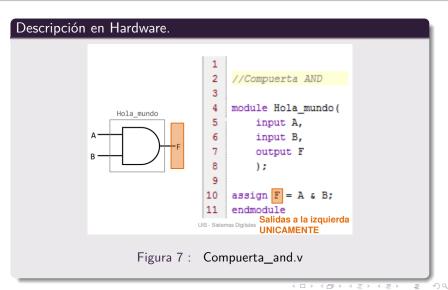
#### Descripción en Hardware.

Es la forma más sencilla de crear circuitos combinacionales

- ➤ assign y1 = a & b; // AND
- ➤ assign y2 = a | b; // OR
- > assign y3 = a ^ b; // XOR
- > assign y4 = ~(a & b); // NAND
- > assign y5 = ~(a | b); // NOR
- > assign y6 = ~(a ^ b); // XNOR



# Verilog Hola Mundo.

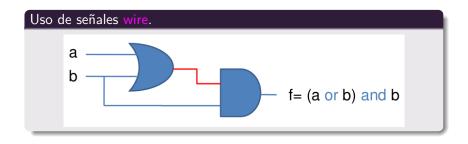


Sesión 4

#### Lenguaje Concurrente.

- En un programa en C las sentencias se ejecutan secuencialmente.
- En una descripción en Verilog, cada sentencia puede verse como un parte de un circuito.
- Todas las partes están trabajando en paralelo.

```
Lenguaje Concurrente.
            /* Modulos */
           module Circuito 1(
                input A,
               input B,
               input C,
               output Sal 1,
               output Sal 2
                );
            /* Cuerpo del diseño */
        10
            assign Sal 1 = A & B;
        11
        12
            assign Sal_2 = B | C;
        13
        14
        15 endmodule
```



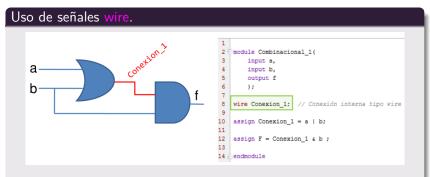
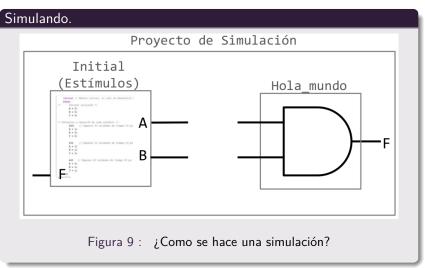
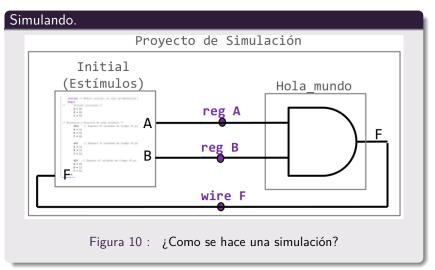


Figura 8 : La declaración de la señal tipo wire en la línea 8, NO es obligatoria. Pero NO utilizarla puede generar errores de diseño.





### critog.



Figura 11: estimulos.v

```
estimulos.v
                                               `timescale 1ns/1ps
                                               module Simulacion 1();
                                               // Senales tipo REG para las entradas del modulo
                                               reg A;
                                               reg B;
                                               // Senales tipo wire para las salidas del modulo
                                               wire F:
                                               Compuerta and U0(
                                               .A(A).
                                               .B(B),
                                               .F(F)
                                               );
                                               // Modulo initial
                                               initial
                                               begin
                                               $dumpfile("resultados.vcd");
                                               $dumpvars;
                                               // Valores iniciales
                                               A=1'bθ;
                                               B=1'b8:
                                               //Estimulos de la simulacion
                                               #50
                                               A=1'b1;
                                               B=1'b8:
                                               #50
                                               A=1'bθ;
                                               B=1'b1;
                                               #50
                                               A=1'b1;
                                               B=1'b1;
                                               #50
                                               $finish;
                                               end
                                               endmodule
```

```
Compuerta_and.v
                   //Compuerta AND
                   module Compuerta and(
                            input A,
                            input B,
                            output F
                   assign F = A & B;
                   endmodule
```

Sesión 4

#### iverilog

```
File Edit View Search Terminal Help
sergio Compuertas $ iverilog Compuerta and.v estimulos.v
sergio Compuertas $ vvp a.out
VCD info: dumpfile resultados.vcd opened for output.
sergio Compuertas $ gtkwave resultados.vcd
GTKWave Analyzer v3.3.61 (w)1999-2014 BSI
[0] start time.
[200000] end time.
```

Figura 12: Compilando, Simulando y Observando los resultados de la simulación.



#### Dos formas principalmente.

- Magnitud y signo.
- Complemento a la base.

#### Magnitud y signo.

- Se utiliza el primer bit como signo.
- Cero para los positivos.
- Uno para los negativos.

#### Ejemplo con 4 bits

- $\bullet$  0111 = +7.
- 1111 = -7.
- 0010 = +2.
- 1010 = -2

#### Rango.

- Para 3 bits: 111 (-3) hasta 011 (+3).
- Para 4 bits: 1111 (-7) hasta 0111 (+7).
- Para 5 bits: 11111 (-15) hasta 01111 (+15).

#### Desventajas

- Es más complejo operar aritméticamente.
- Para sumar: Primero hay que determinar si los dos números tienen el mismo signo o si tienen signo diferentes,
- El cero posee doble representación.

#### Complemento a la base.

- Facilita las operaciones matemáticas.
- El cero tiene una única representación.
- Los números positivos se representan de la misma forma que en Signo y Magnitud.
- Los negativos se representan en complemento a 2.

#### Complemento a 2

- Se niega el número.
- Se hace la suma aritmética con 1.

#### Complemento a 2. Ejemplo con n=4.

- $\bullet$  (+0) 0000- > 1111- > 0000 (-0).
- $\bullet$  (+1) 0001- > 1110- > 1111 (-1).
- $\bullet$  (+2) 0010- > 1101- > 1110 (-2).
- $\bullet$  (+3) 0011- > 1100- > 1101 (-3).
- $\bullet$  (+4) 0100- > 1011- > 1100 (-4).
- $\bullet$  (+5) 0101- > 1010- > 1011 (-5).
- (+6) 0110- > 1001 > 1010 (-6).
- $\bullet$  (+7) 0111- > 1000- > 1001 (-7).
- $\bullet$  (+8) 1000- > 0111- > 1000 (-8).

Si  $n = \text{número de bits, entonces } -2^{n-1} \le \text{Rango} \le 2^{n-1} - 1$ .

#### Textos de Referencia.

- [Tocci and Widmer, 2003].
- [Harris and Harris, 2010].

Sesión 4

### Grupo CPS: Línea Sistemas Digitales.

La información presentada en estas diapositivas intenta recopilar los elementos pedagógicos desarrollados por los profesores Carlos Fajardo y Carlos Angulo en sus cursos de Sistemas Digitales I durante los últimos años de trabajo en esta línea.

### Referencias I

Sesión 4



Harris, D. and Harris, S. (2010).

Digital design and computer architecture. Morgan Kaufmann.



Tocci, R. J. and Widmer, N. S. (2003). Sistemas digitales: principios y aplicaciones.

Pearson Educación.