# Curso de Sistemas Digitales.

Instructor: Dr.Ing. Sergio A. Abreo C.

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones





Universidad Industrial de Santander

Semana: 7

- Sesión 7
  - Registros de desplazamiento
- 2 Consulta
- Agradecimientos
- Referencias

Sesión 7

•0000000000

- Están formados por un conjunto de Flip-Flops.
- Se utilizan para:

Sesión 7

•0000000000

- Están formados por un conjunto de Flip-Flops.
- Se utilizan para:
- Almacenar Información

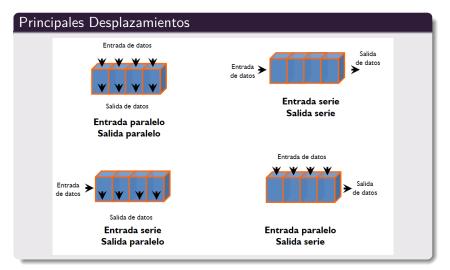
Sesión 7 •0000000000

- Están formados por un conjunto de Flip-Flops.
- Se utilizan para:
- Almacenar Información

Sesión 7

•0000000000

- Están formados por un conjunto de Flip-Flops.
- Se utilizan para:
- Almacenar Información
- Transferir Información.



# Descripción en Verilog $\{ent,Q[3:1]\}$ Desplaza 1- bit A la derecha. Salida Entrada Paralelo Serie CLK 1001 Reset Figura 1: Entrada serie salida paralelo.

### Descripción en Verilog

#### Concatenación:

Sesión 7

0000000000

- wire [1:0] a;
- wire b:
- wire [7:0] c;
- wire [7:0] f;
- assign f = a,b,c[7:3];
- Se pierden los 3 bits de menos peso de c.

### Descripción en Verilog

```
module R serie paralelo(
    input clk,
    input reset,
    input enable,
    input entrada,
    output [3:0] salida
reg [3:0] Q;
wire [3:0] D;
assign D = {entrada, Q[3:1]};
  always @(posedge clk)
      if (reset) begin
         0 <= 4'd0:
      end else if (enable) begin
         Q <= D;
      end
assiom salida = 0;
```

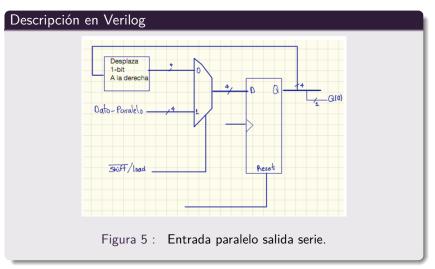
Figura 2: Entrada serie salida paralelo.

# Descripción en Verilog $\{ent,Q[3:1]\}$ Desplaza 1- bit A la derecha. Q(0) Salida Serie Serie CLK Reset Figura 3: Entrada serie salida serie.

### Descripción en Verilog

```
module R_serie_serie(
    input clk,
    input reset,
    input enable,
    input entrada.
    output salida
    );
req [3:0] Q;
wire [3:0] D;
  always @(posedge clk)
     if (reset) begin
         0 <= 4'd0;
     end else if (enable) begin
         Q <= D;
     end
assign D = {entrada, Q[3:1]};
assigm salida = Q[0];
endmodule
```

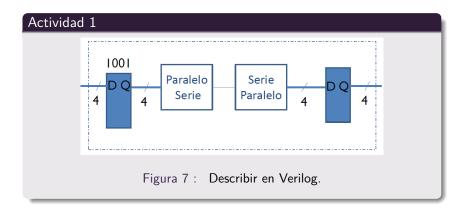
Figura 4: Entrada serie salida serie.



### Descripción en Verilog

```
module R_paralelo_serie(
    input clk.
    input reset,
    input enable,
    input desp_cargar,
   input [3:0] entrada,
    output salida
reg [3:0] Q;
wire [3:0] D;
  always @(posedge clk)
     if (reset) begin
         0 <= 4'd0;
      end else if (enable) begin
         Q <= D;
      end
assign D = (desp cargar) ? entrada : {1'b0, Q[3:1]} ;
assigm salida = 0[0];
```

Figura 6: Entrada paralelo salida serie.



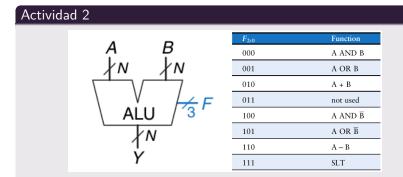


Figura 8: Rediseñar y describir en Verilog usando registros.

#### Textos de Referencia.

Sesión 7

- [Tocci and Widmer, 2003].
- [Harris and Harris, 2010].

#### Grupo CPS: Línea Sistemas Digitales.

La información presentada en estas diapositivas intenta recopilar los elementos pedagógicos desarrollados por los profesores Carlos Fajardo y Carlos Angulo en sus cursos de Sistemas Digitales I durante los últimos años de trabajo en esta línea.



Harris, D. and Harris, S. (2010).

Digital design and computer architecture. Morgan Kaufmann.



Tocci, R. J. and Widmer, N. S. (2003).

Sistemas digitales: principios y aplicaciones.

Pearson Educación.