**INTEGRANTES:**

|  |  |  |
| --- | --- | --- |
| **Código** | **Nombre Completo** | **% participación** |
| 2172308 | Sebastián Ardila Leal | 33.3333 |
| 2181701 | Juan Daniel Espinoza Caro | 33.3333 |
| 2181727 | Camilo Andrés Santos Ortiz | 33.3333 |

**ENCARGADO DE HACER LA ENTREGA EN TIC.UIS.EDU.CO**

Camilo Andrés Santos Ortiz

**ORDEN DE REVISIÓN ARCHIVOS:**

1. cronometro.png
2. cronometro.v
3. cronometro\_tb.v
4. cronometro\_FPGA.png
5. cronometro\_FPGA.v

**FUNCIONAMIENTO DE LO ENTREGADO:**

* Si funciona el contador descrito en verilog y el archivo implementado en la FPGA, sin embargo, hay que tener en cuenta como observación el hecho del poco tiempo que nos permiten estar usando la FPGA, siendo complicado ver que llegue a su valor máximo, además, no se puede aumentar la frecuencia para que los números cuenten más rápido porque no se podría apreciar en los displays siete segmentos su correcto funcionamiento.