

Mini router

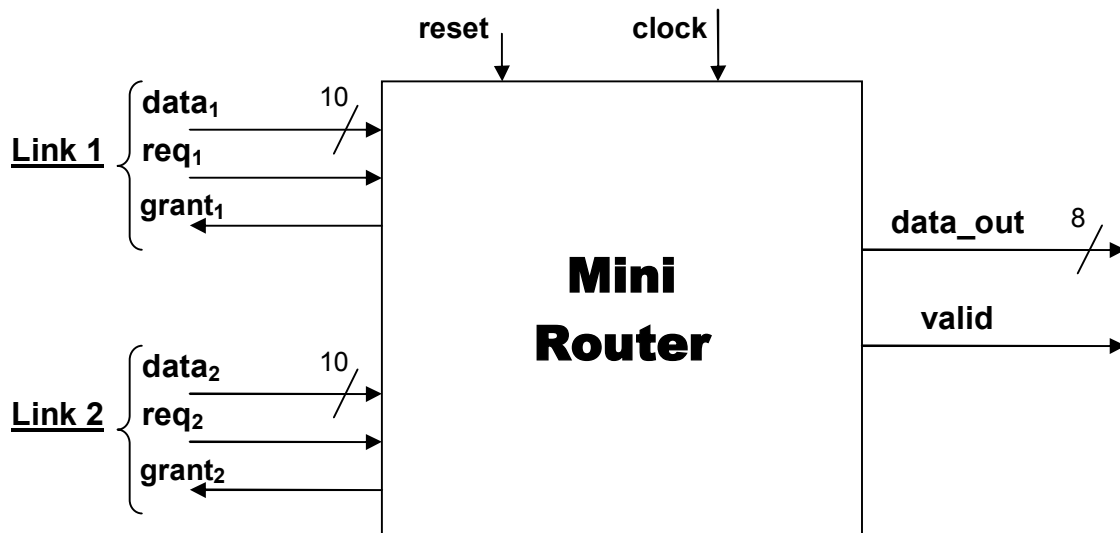
Si chiede di progettare ed implementare in VHDL un mini-router sincrono che fa passare in uscita i dati provenienti da 1 di 2 possibili ingressi. I dati sono rappresentati su 8 bit e sono caratterizzati da 2 bit di priorità (0 = priorità minima, 3 = priorità massima); i dati in ingresso sono ritenuti validi quando il segnale di *req* corrispondente viene tenuto ad 1. L'insieme dei segnali di *req*, *grant* e *data* (10 bit, di cui 8 bit di dati e 2 bit di priorità) viene definito link.

Se, in un certo ciclo di clock, solo 1 dei 2 segnali di *req* vale 1, allora i dati di quel link vengono propagati in uscita. Se, invece, i 2 segnali di *req* valgono entrambi 1, allora viene scelto il link avente la priorità più alta. Se i link hanno la stessa priorità (c'è una contesa), allora si privilegia 1 dei 2 link secondo un algoritmo Round Robin: alla prima contesa (dal reset) viene privilegiato il link 1, alla seconda contesa viene privilegiato il link 2, alla terza contesa viene privilegiato il link 1, e così via.

Il processo di arbitraggio e scelta del link viene fatto ad ogni ciclo di clock.

Quando i dati di un link vengono mandati in uscita, il segnale di *grant* corrispondente al link scelto e il segnale di *valid* che va a valle vengono messi ad 1 per un ciclo di clock. Notare che in uscita vengono trasferiti soltanto i dati senza i 2 bit di priorità.

Il segnale di reset può essere a scelta attivo alto oppure attivo basso.



La relazione finale del progetto deve contenere:

- Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Testbench per la verifica
- Conclusioni