

ĐẠI HỌC QUỐC GIA TP. HCM
TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN
KHOA ĐIỆN TỬ - VIỄN THÔNG



**BÁO CÁO BÀI KIỂM TRA GIỮA KÌ
HỌ VÀ TÊN SINH VIÊN**

Đặng Gia Bảo: 22200009

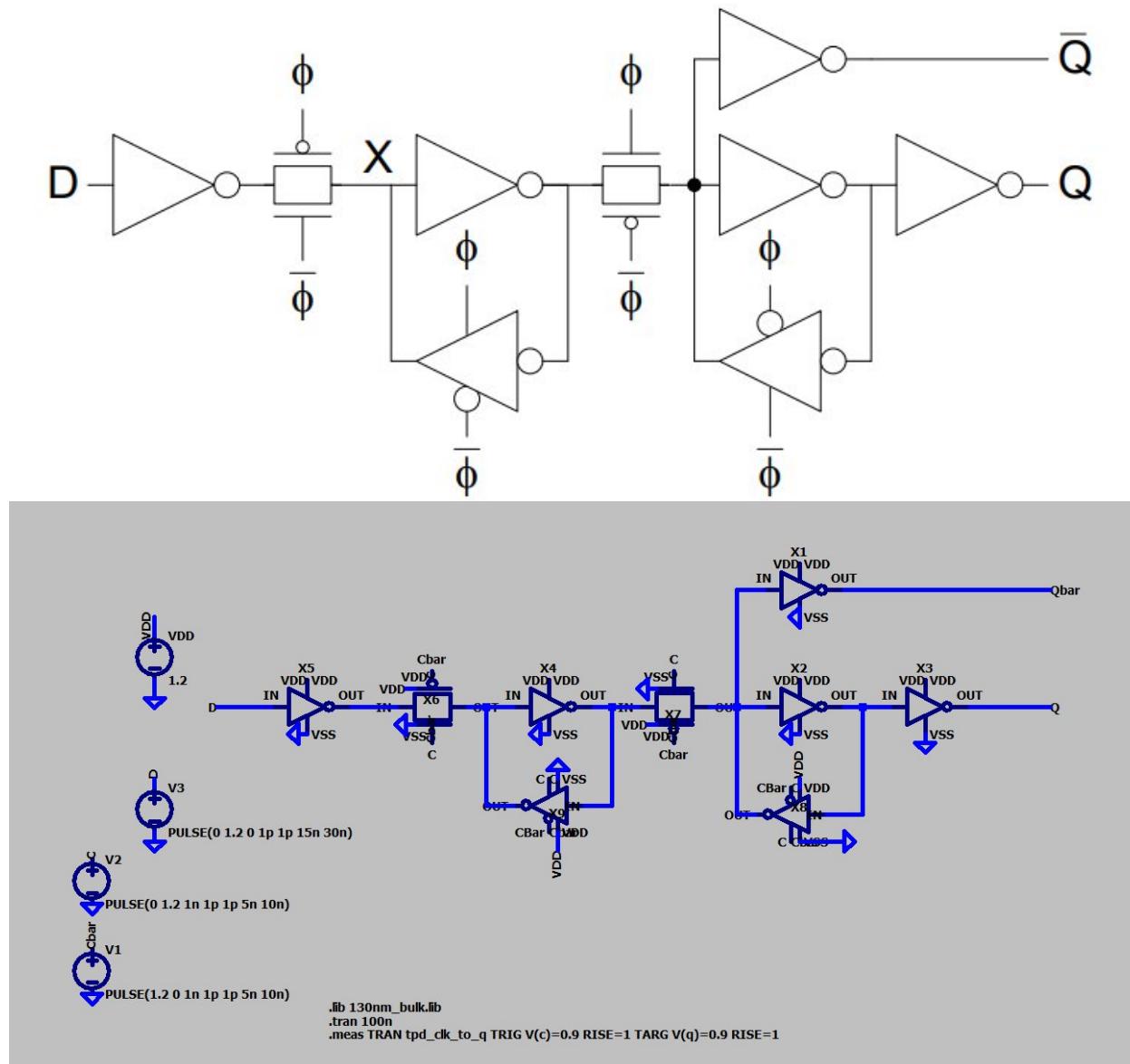
ĐỀ BÀI KIỂM TRA GIỮA KỲ

Sử dụng công nghệ 130 nm, file mô hình 130nm_bulk.lib.

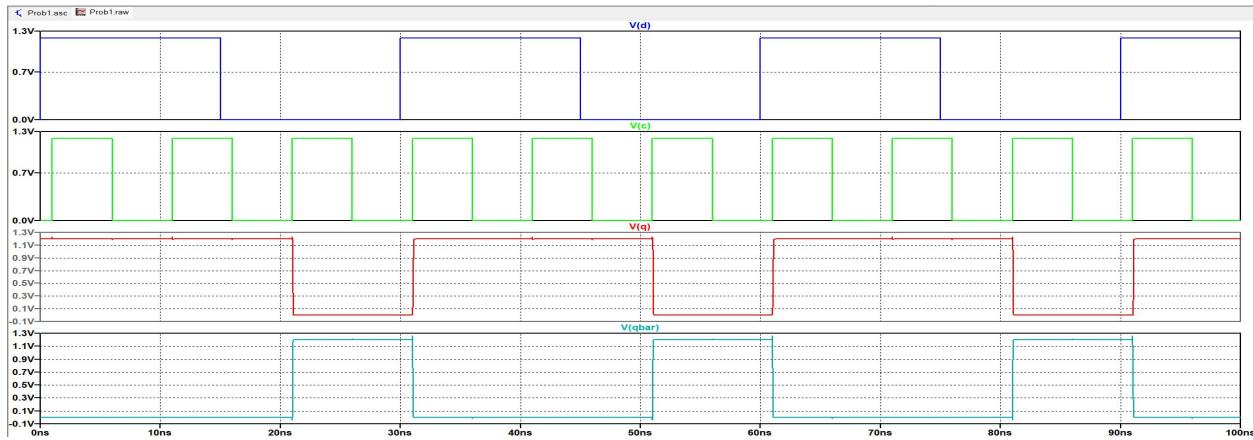
Nếu không có gì đặc biệt, sử dụng kích thước $(W/L)N = 260$ nm/130nm; $(W/L)P = 780$ nm/130nm cho tất cả các transistor.

Các thức nộp bài: 1 file nén (gồm file báo cáo dạng word và các file LTSPICE). Tên file LTSPICE đặt theo số thứ tự câu hỏi (ví dụ: Prob7a....)

1. Hiện thực Flip Flop D có sơ đồ như Hình.



1.1: Lắp mạch Flop Flop D theo sơ đồ



1.2: Dạng sóng của các thành phần Input-Output

Kết luận: Mạch hoạt động đúng chức năng của Flip Flop D.

- a. Sử dụng SPICE, đo các thời gian trì hoãn khi không có tải và có tải, điền vào bảng sau:

Code SPICE dùng để đo các thời gian trì hoãn:

$CK \rightarrow Q \uparrow$.meas TRAN tpd_clk_to_q TRIG V(c)=0.6 RISE=4 TARG V(q)=0.6 RISE=1
$CK \rightarrow Q \downarrow$.meas TRAN tpd_clk_to_q TRIG V(c)=0.6 RISE=3 TARG V(q)=0.6 FALL=1
$CK \rightarrow Q_N \uparrow$.meas TRAN tpd_clk_to_q TRIG V(c)=0.6 RISE=3 TARG V(qbar)=0.6 RISE=1
$CK \rightarrow Q_N \downarrow$.meas TRAN tpd_clk_to_q TRIG V(c)=0.6 RISE=4 TARG V(qbar)=0.6 RISE=1

```

✖ SPICE Output Log: C:\Documents\LTspice\BT,KTGK\Prob1.log ✖
LTspice 24.1.8 for Windows
Circuit: C:\Documents\LTspice\BT,KTGK\Prob1.net
Start Time: Fri May 9 21:52:19 2025
solver = Normal
Maximum thread count: 16
tnom = 27
temp = 27
method = modified trap
Warning: tox, toxp and dtox all given and tox != toxp + dtox; dtox ignored.
Direct Newton iteration for .op point succeeded.
Total elapsed time: 2.065 seconds.

Files loaded:
C:\Documents\LTspice\BT,KTGK\Prob1.net
C:\Users\BAO\AppData\Local\LTspice\lib\cmp\standard.mos
C:\Documents\LTspice\BT,KTGK\130nm_bulk.lib

tpd_clk_to_qhl=6.01143524003e-11 FROM 3.1515e-09 TO 3.21161435241e-09
tpd_clk_to qlh=6.70296491004e-11 FROM 1.51500000005e-10 TO 2.18529649105e-10
tpd_clk_to_qbarhl=3.49969178763e-11 FROM 1.51500000005e-10 TO 1.86496917881e-10
tpd_clk_to_qbarlh=3.04626081948e-11 FROM 3.1515e-09 TO 3.1819626082e-09

```

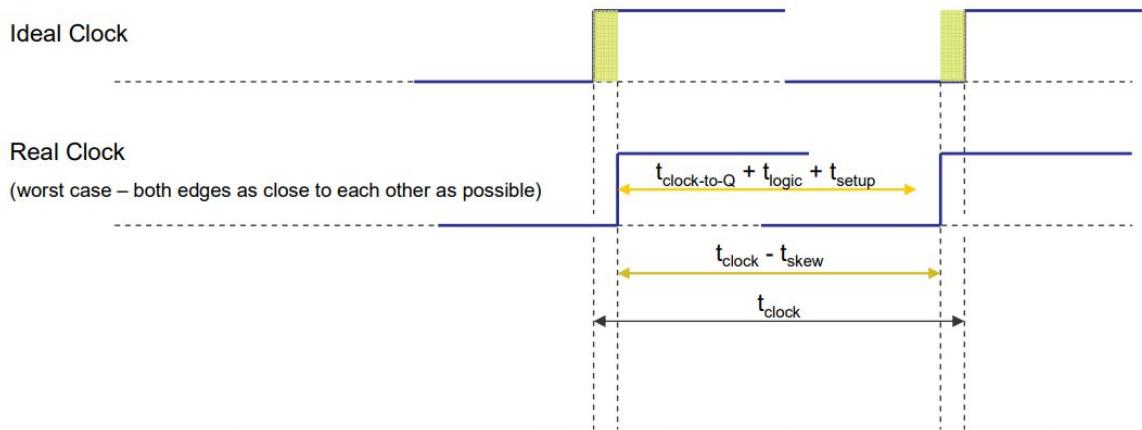
Kết quả sau khi chạy SPICE

Thời gian trì hoãn:

	Trì hoãn khi không có tải	Trì hoãn khi có tải là tụ 0.01pF	Trì hoãn khi có tải là tụ 1pF
$CK \rightarrow Q\uparrow$	60.01ps	87.33ps	2.16ns
$CK \rightarrow Q\downarrow$	67.03ps	85.17ps	2.85ns
$CK \rightarrow QN\uparrow$	34.99ps	59.54ps	2.15ns
$CK \rightarrow QN\downarrow$	30.46ps	72.63ps	2.82ns

Kết luận: Tụ quá lớn sẽ khiến thời gian nạp xả lớn dẫn đến thời gian trì hoãn cũng tăng theo.

b. Đo setup time và hold time của FF D.(Giả định không có tải ở ngõ ra):
Đo setup time:



Therefore, to make sure the signal is SETUP at the input of Flipflop3 far enough ahead of the clock edge ...

That is, to prevent setup violations ...

$$t_{clock-to-q} + t_{logic} + t_{setup} < t_{clock} - t_{skew}$$

Cách đo:

Dựa vào công thức ta có:

$$t_{clock-to-q} + t_{logic} + t_{setup} \leq t_{clock} - t_{skew}$$

Do ở giữa Flip Flop không có phần tử logic nên $t_{logic} = 0$, xung clock không bị delay giữa các điểm nên $t_{skew} = 0$. Từ đó ta thu gọn công thức lại thành:

$$t_{clock-to-q} + t_{setup} \leq t_{clock}$$

Suy ra: $t_{\text{setup}} \leq t_{\text{clock}} - t_{\text{clock-to-q}}$

Suy ra: $t_{\text{setup(min)}} = t_{\text{clock(min)}} - t_{\text{clock-to-q}}$

Với giả định không có tải ở đầu ra, ta có:

$$t(\text{CK} \rightarrow Q\uparrow) = 60.01\text{ps}$$

$$t(\text{CK} \rightarrow Q\downarrow) = 67.03\text{ps}$$

$$t(\text{CK} \rightarrow QN\uparrow) = 34.99\text{ps}$$

$$t(\text{CK} \rightarrow QN\downarrow) = 30.46\text{ps}$$

Vậy $t_{\text{clock-to-q}} = t(\text{CK} \rightarrow Q\uparrow)_{\text{max}} = 67.03\text{ps}$

Do phần mềm LTSpice không hỗ trợ đo t_{setup} nên ta phải tìm t_{setup} bằng cách tìm $t_{\text{clock(min)}}$ tức chu kì tối thiểu hay tần số tối đa của Flip-Flop D.

Để tìm $t_{\text{clock(min)}}$ của Flip-Flop D, ta có thể giảm dần chu kì xung Clock đến khi dạng sóng ngõ ra có thời gian trì hoãn bắt đầu tăng.

Đo:

Với $t_{\text{clock}} = 100\text{ps}$, ta có dạng sóng ngõ ra như sau:

```
LTspice 24.1.8 for Windows
Circuit: C:\Documents\LTspice\BT,KTGK\Prob1.net
Start Time: Fri May 9 19:46:04 2025
solver = Normal
Maximum thread count: 16
tnom = 27
temp = 27
method = modified trap
Warning: tox0, toxp and dtox all given and tox0 != toxp + dtox; dtox ignored.
Direct Newton iteration for .op point succeeded.
Total elapsed time: 1.778 seconds.

Files loaded:
C:\Documents\LTspice\BT,KTGK\Prob1.net
C:\Users\BAO\AppData\Local\LTspice\lib\cmp\standard.mos
C:\Documents\LTspice\BT,KTGK\130nm_bulk.lib

tpd_clk_to_q=6.70296491004e-11 FROM 1.51500000005e-10 TO 2.18529649105e-10
```

Với $t_{\text{clock}} = 100\text{ps}$ ta thấy thời gian trì hoãn của mạch bằng với $t_{\text{clock}} = 10\text{ns}$.

⇒ Mạch vẫn ổn định với tần số $f = 1\text{GHz}$

Với $t_{clock} = 90\text{ps}$, ta có dạng sóng ngõ ra như sau:

```
SPICE Output Log: C:\Documents\LTspice\BT,KTGK\Prob1.log
LTspice 24.1.8 for Windows
Circuit: C:\Documents\LTspice\BT,KTGK\Prob1.net
Start Time: Fri May 9 19:44:46 2025
solver = Normal
Maximum thread count: 16
tnom = 27
temp = 27
method = modified trap
Warning: tox, toxp and dtox all given and tox != toxp + dtox; dtox ignored.
Direct Newton iteration for .op point succeeded.
Total elapsed time: 1.902 seconds.

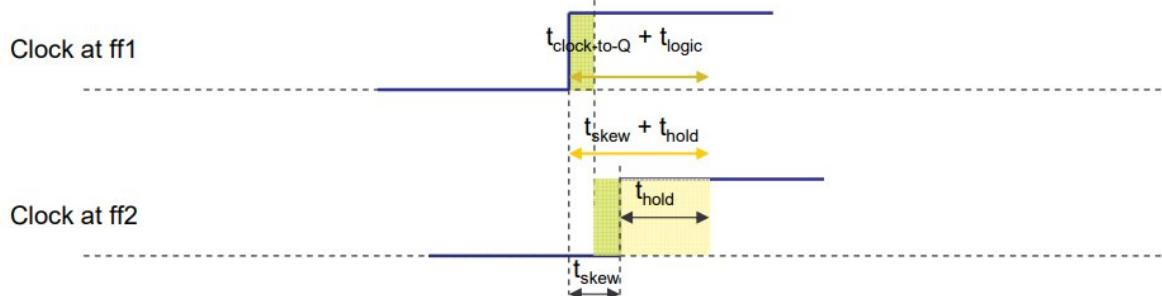
Files loaded:
C:\Documents\LTspice\BT,KTGK\Prob1.net
C:\Users\BAO\AppData\Local\LTspice\lib\cmp\standard.mos
C:\Documents\LTspice\BT,KTGK\130nm_bulk.lib

tpd_clk_to_q=1.34319843959e-10 FROM 1.46500000005e-10 TO 2.80819843964e-10
```

Với $t_{clock} = 90\text{ns}$ ta thấy thời gian trì hoãn của mạch đã tăng gấp đôi so với $t_{clock} = 100\text{ns}$.

- ⋮ Mạch không còn ổn định ở tần số 1,05GHz.
 - ⋮ Vậy ta có thể cho rằng $t_{clock(\min)} = 100\text{ps}$ hay $f_{max} = 1\text{GHz}$.
- Suy ra: $t_{setup(\min)} = t_{clock(\min)} - t_{clock-to-q} = 100\text{ps} - 67\text{ps} = 33\text{ps}$.

Do hold time:



Therefore, to make sure the signal is HELD properly at the input of Flipflop2 without the input of the previous Flipflop (D1) racing through ...

That is, to prevent hold violations ...

$$t_{skew} + t_{hold} \leq t_{clock-to-Q} + t_{logic}$$

Cách đo:

Dựa vào công thức ta có:

$$t_{\text{skew}} + t_{\text{hold}} \leq t_{\text{clock-to-q}} + t_{\text{logic}}$$

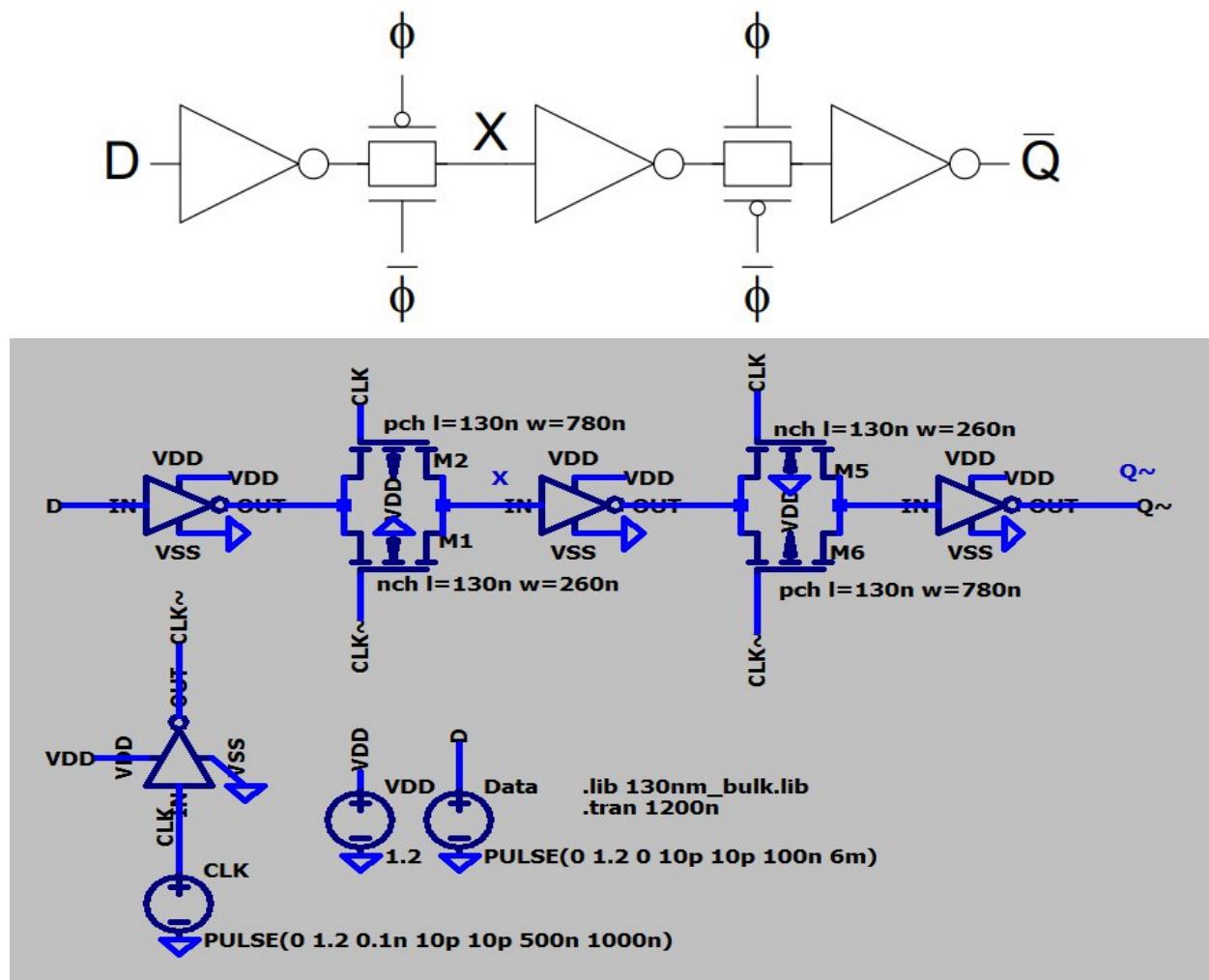
Do ở giữa Flip Flop không có phần tử logic nên $t_{\text{logic}} = 0$, xung clock không bị delay giữa các điểm nên $t_{\text{skew}} = 0$. Từ đó ta thu gọn công thức lại thành:

$$t_{\text{hold}} \leq t_{\text{clock-to-q}}$$

Suy ra: $t_{\text{hold(min)}} = t_{\text{clock-to-q}} = 68\text{ps}$

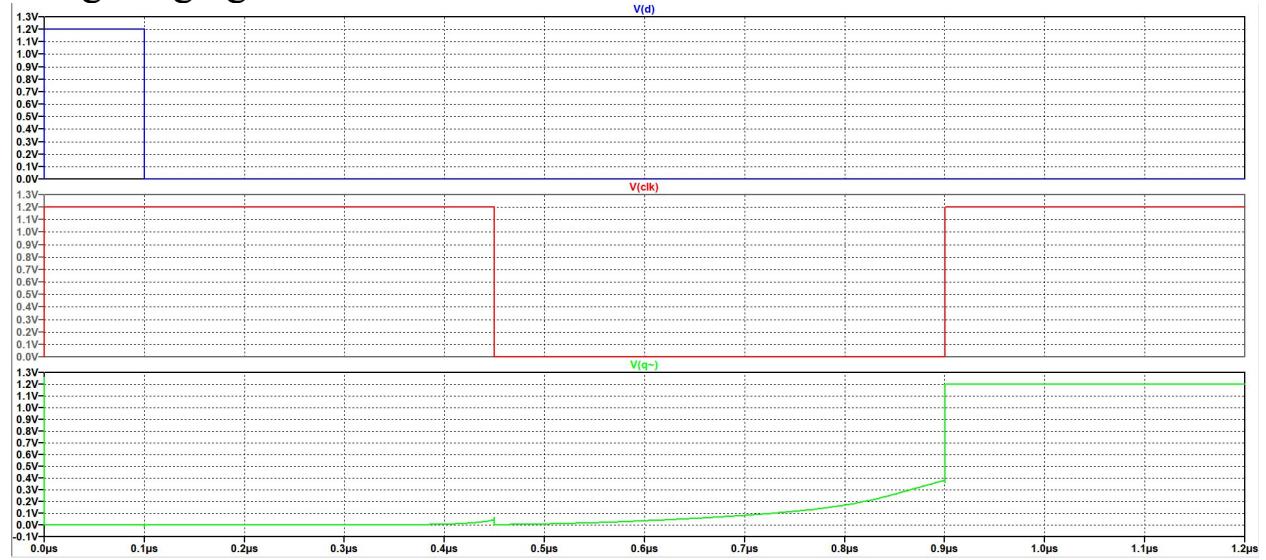
c. Layout Cell FFD. Đo các thời gian trì hoãn sau layout và điền vào bảng(LTSpice không layout được)

2. Thiết kế FF D dạng Dynamic, mô phỏng dùng SPICE, cho biết tần số tối thiểu mà mạch còn hoạt động đúng.



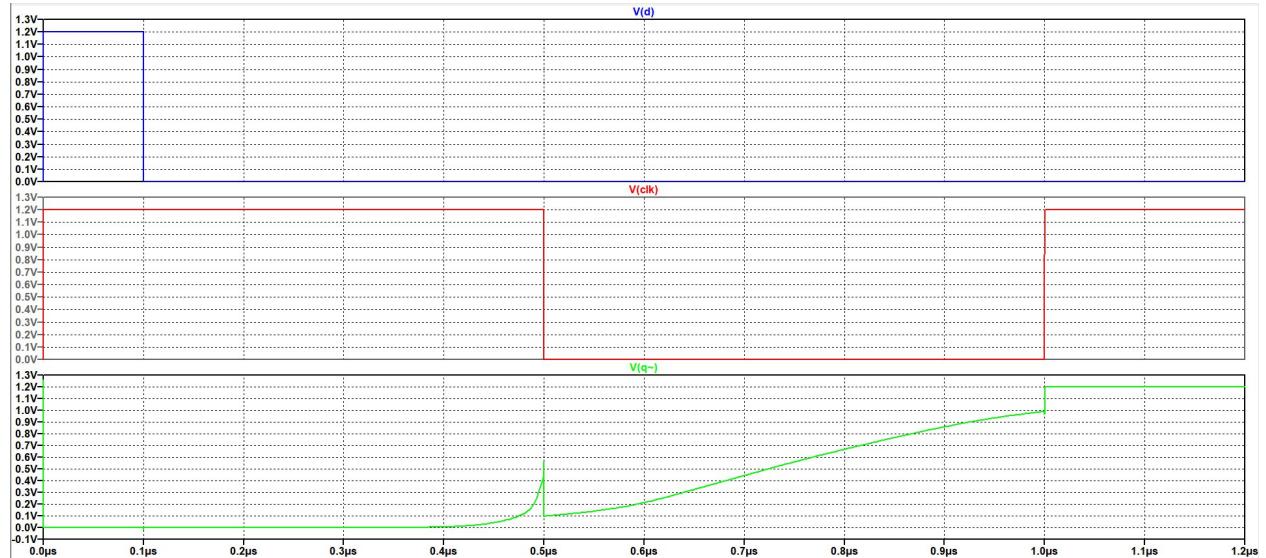
2.1: Lắp mạch Dynamic Flop Flop D theo sơ đồ

Dạng sóng ngõ ra với chu kì là 900ns:



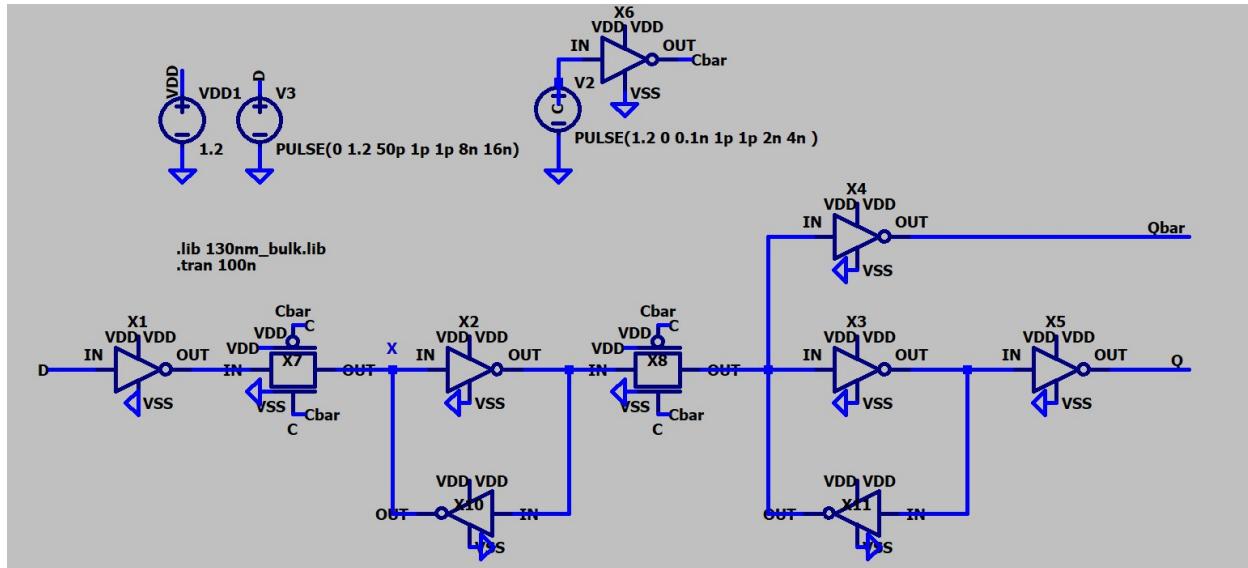
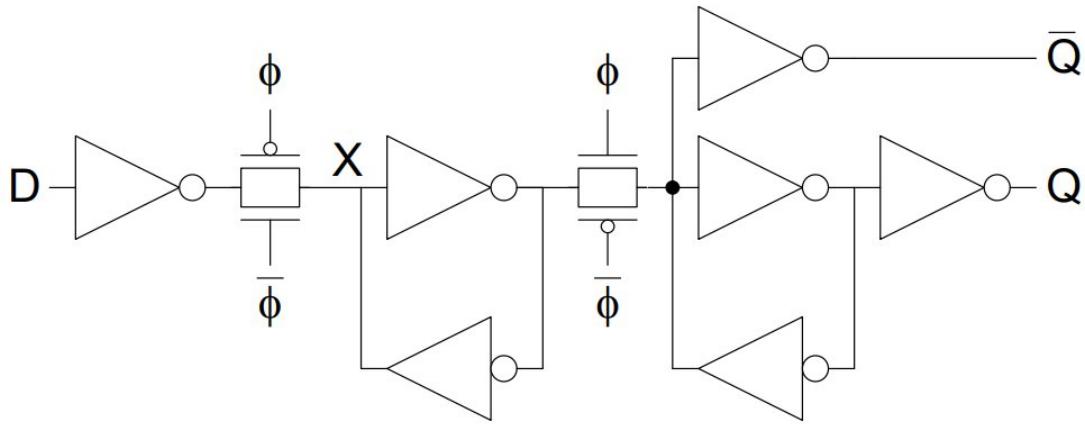
Nhận xét: Tại cạnh lên của xung Clock, Qbar vẫn nhận và giữ được giá trị đảo của D. Mạch vẫn hoạt động được tại tần số $\frac{1}{900 \times 10^{-9}} = 1.11MHz$.

Dạng sóng ngõ ra với chu kì là 1000ns:



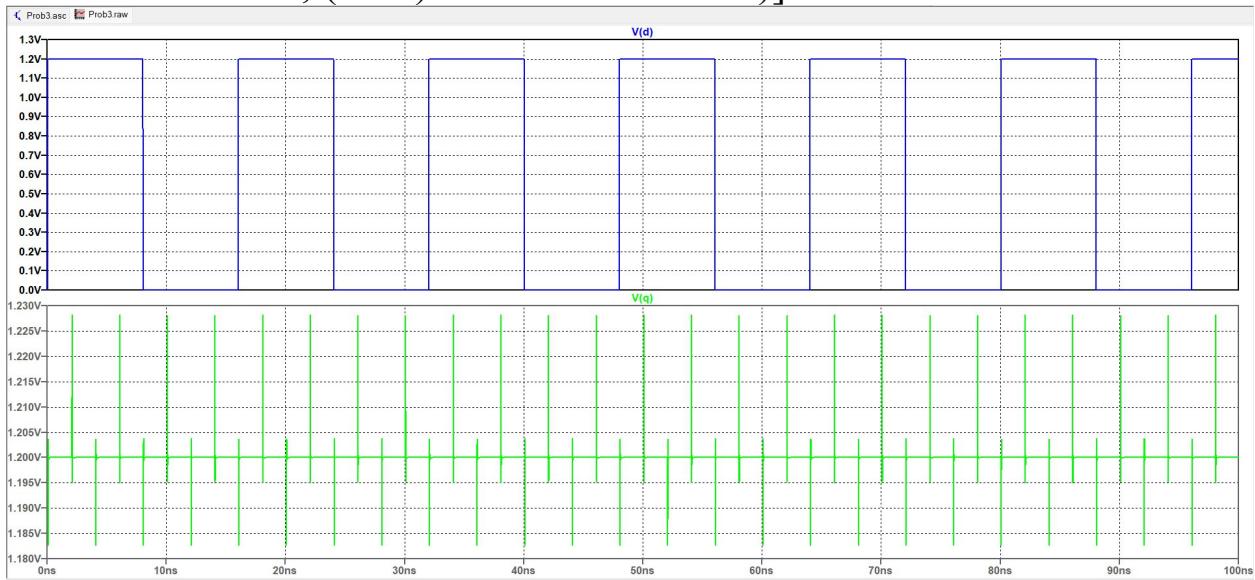
Nhận xét: Tại cạnh lên của xung Clock, Qbar vẫn nhận được giá trị đảo của D nhưng không thể giữ được giá trị này đủ lâu dẫn đến sai lệch mức logic. Suy ra mạch không còn hoạt động đúng chức năng Flip Flop nữa. Vậy, tần số tối thiểu của mạch Dynamic Flip Flop D này là 1.11MHz.

3. Thiết kế FFD biến thể như hình dưới. Đường hồi tiếp dùng cổng INV phải được tính toán cẩn thận! Mô phỏng bằng SPICE và vẽ lại dạng sóng.



Sơ đồ mạch trên LTspice

Dạng sóng ngõ ra khi các công INV hồi tiếp có giá trị mặc định[(W/L)N = 260 nm/130nm; (W/L)P = 780 nm/130nm]):



Nhận xét: Tín hiệu ngõ ra bị ghim ở mức cao.

Nguyên nhân:

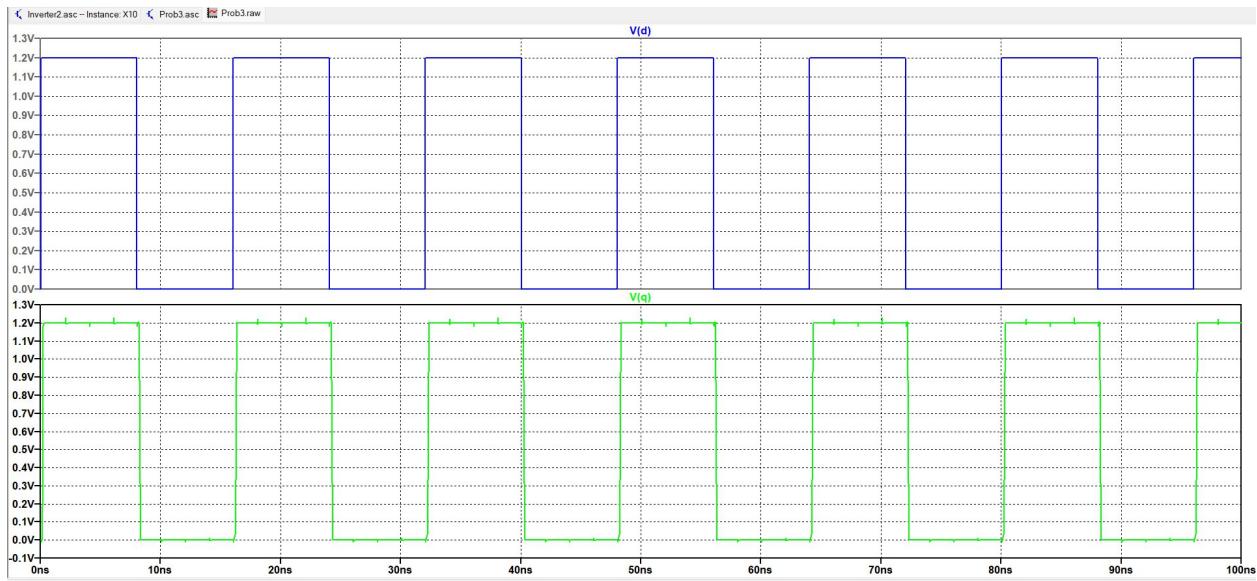
Ta có công thức tính dòng điện đi qua một transistor là

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_D - V_{th})^2$$

Suy ra trong trường hợp này I_{DS1} của mạch INV có $\frac{W}{L} = 6$. Dòng I_{DS1} này đi qua một Transmission Gate(tồn tại một điện trở nhỏ) khiến nó bị suy giảm. Lúc này nó sẽ gấp một dòng I_{DS2} đến từ INV hồi tiếp cũng có $\frac{W}{L} = 6$. Vậy nên I_{DS1} sẽ nhỏ hơn I_{DS2} , khiến điện thế tại điểm X bị kéo theo mạch INV hồi tiếp dẫn đến tình trạng ghim điện thế tại điểm X từ đó làm mạch hoạt động sai.

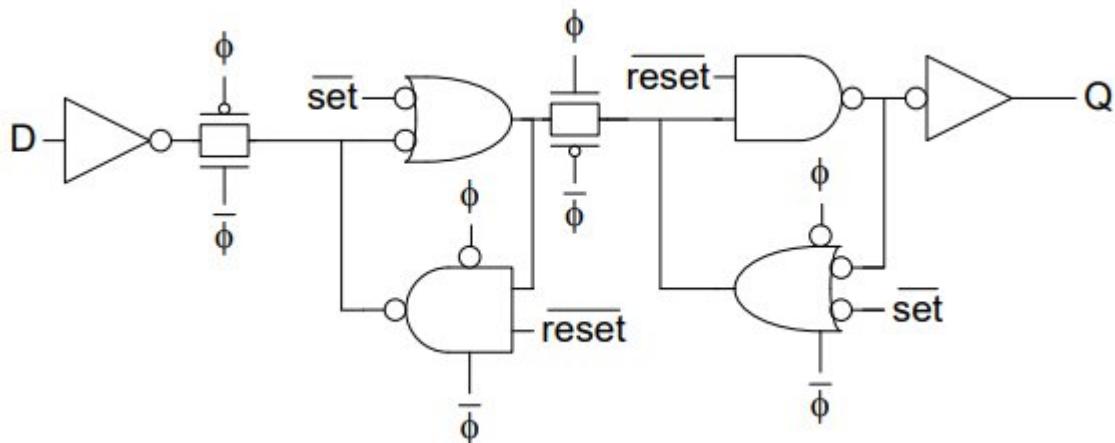
Khắc phục: Để khắc phục tình trạng ghim điện thế trên, ta có thể khiến cho I_{DS1} lớn hơn I_{DS2} hoặc khiến cho I_{DS2} nhỏ hơn I_{DS1} bằng cách thay đổi giá trị $\frac{W}{L}$.

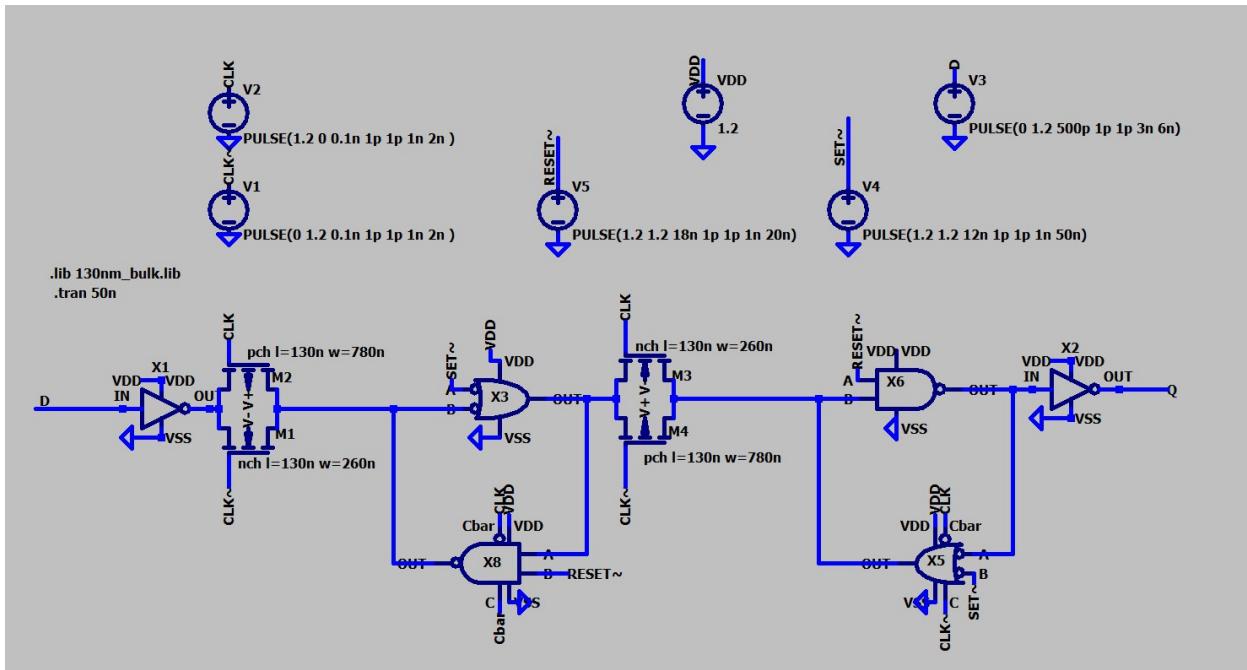
Dạng sóng ngõ ra khi các công INV hồi tiếp có giá trị [(W/L)N = 260 nm/130nm; (W/L)P = 260 nm/130nm]):



Nhận xét: Bằng cách giảm W của INV hồi tiếp, ta đã giảm cường độ dòng điện I_{DS2} xuống thấp hơn I_{DS1} , việc này giúp cho I_{DS1} đủ sức lái điện thế điểm X theo giá trị của D mà không bị đè điện thế bởi INV hồi tiếp.

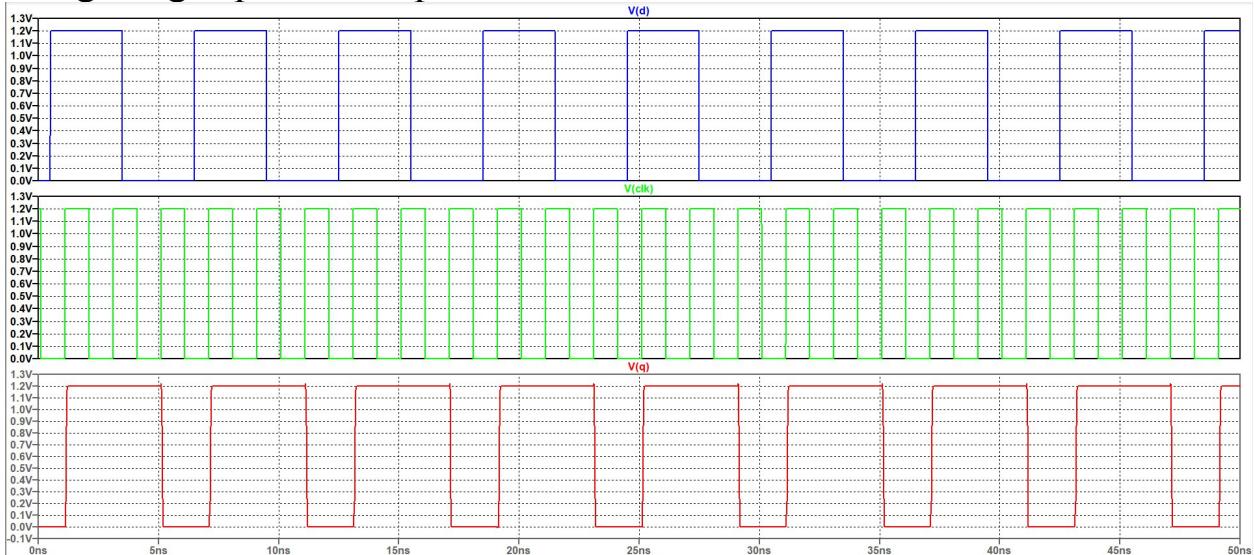
4. Thiết kế FFD có tín hiệu SET và RESET. Mô phỏng bằng SPICE và vẽ lại dạng sóng.





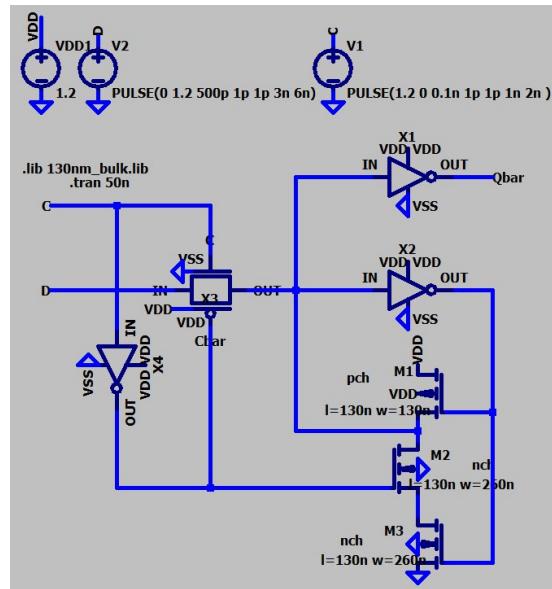
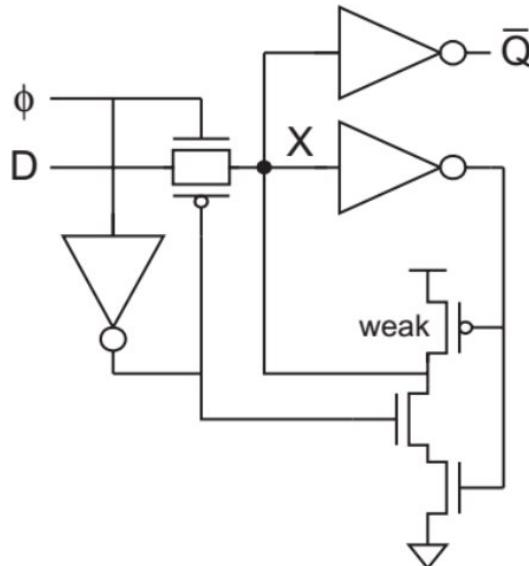
Sơ đồ mạch trên LTspice

Dạng sóng Input và Output của mạch:



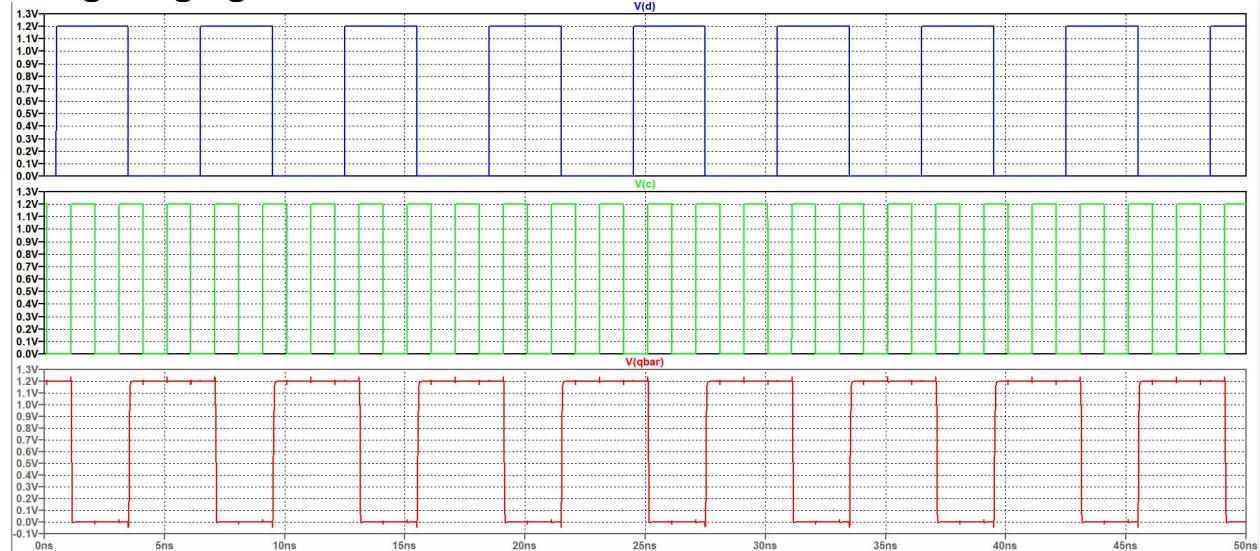
Nhận xét: Mạch hoạt động đúng chức năng khi có cạnh lên xung Clock thì Q sẽ giữ giá trị của D đến cạnh lên của xung Clock tiếp theo.

5. Thiết kế mạch chốt sau. Mô phỏng bằng SPICE và vẽ lại dạng sóng.



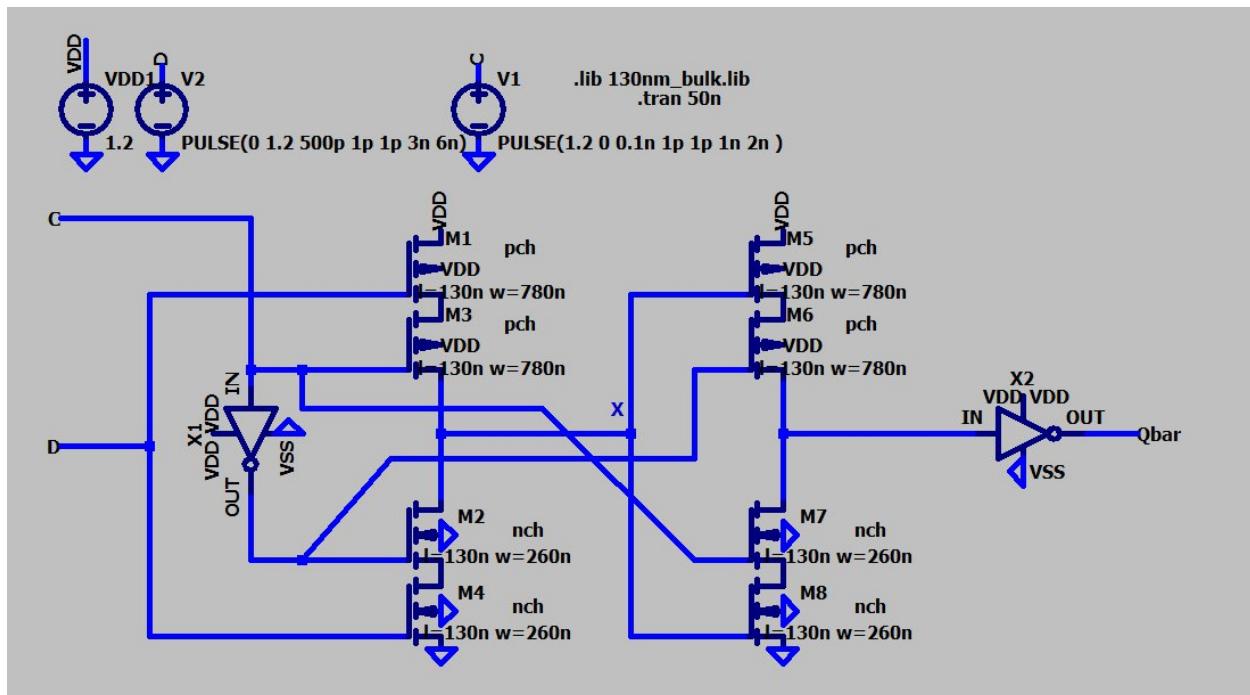
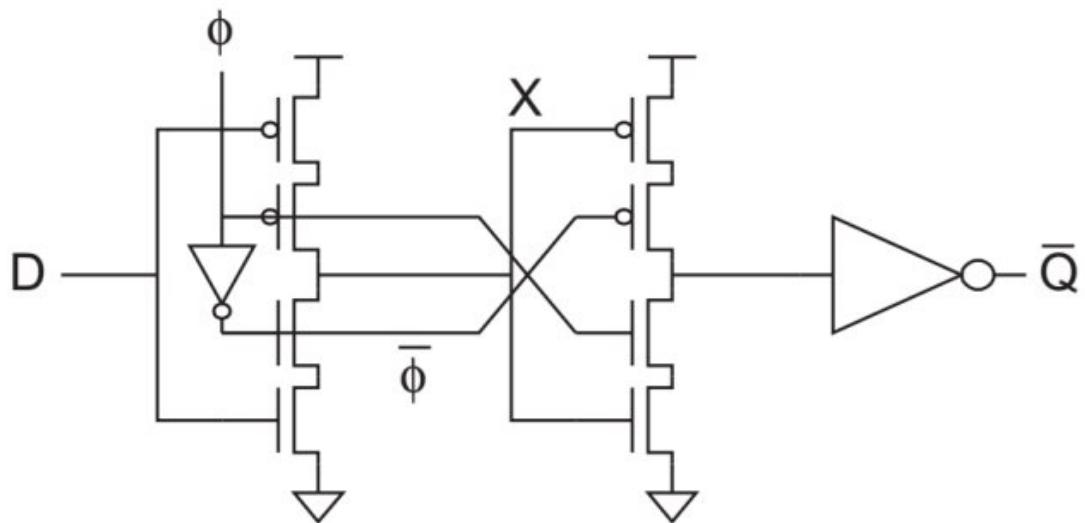
Sơ đồ mạch trên LTspice

Dạng sóng ngõ ra:



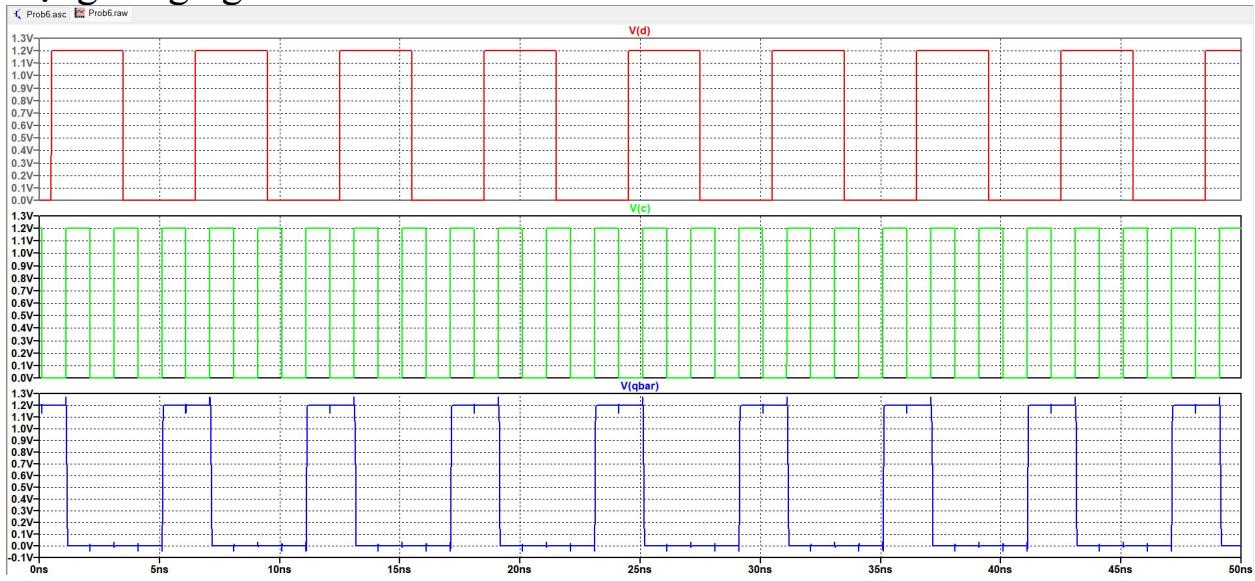
Nhận xét: Mạch hoạt động đúng chức năng của Latch khi xung Clock ở mức cao thì Qbar sẽ có giá trị của D đảo và khi xung Clock ở mức thấp thì Q sẽ giữ nguyên giá trị trước đó. Lưu ý cần giảm I_{DS} tại M1 để tránh bị ghim điện thế như Prob3.

6. Thiết kế mạch Dynamic FF. Mô phỏng bằng SPICE và vẽ lại dạng sóng.



Sơ đồ mạch trên LTspice

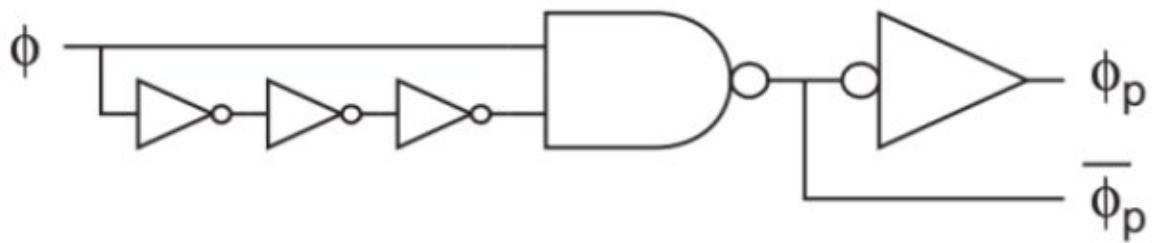
Dạng sóng ngõ ra:

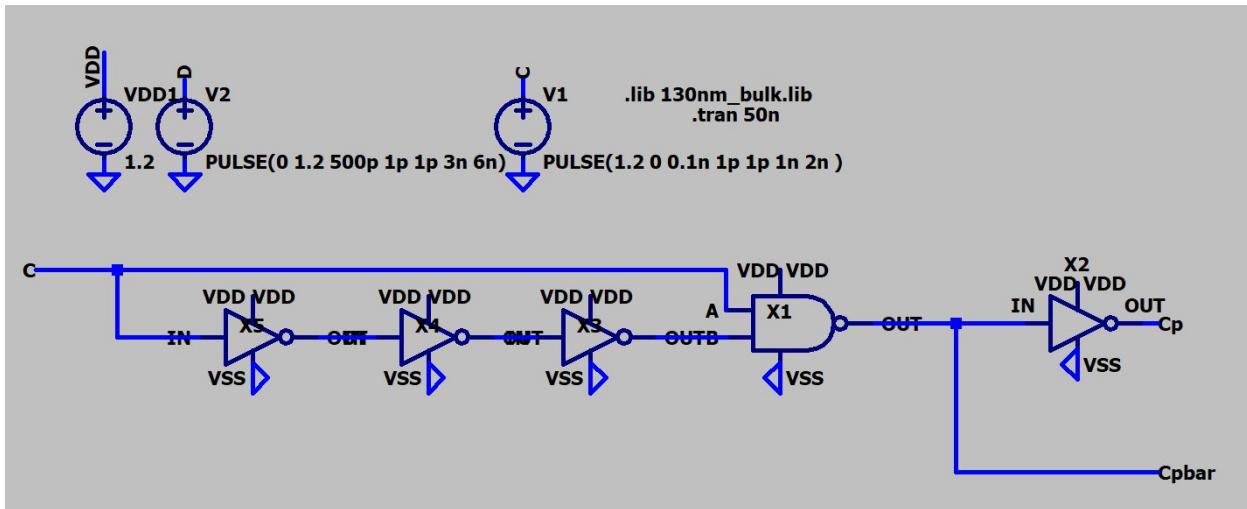


Nhận xét: Mạch hoạt động đúng chức năng của Dynamic Flip Flop, khi có cạnh lên xung Clock thì \bar{Q} sẽ giữ giá trị của D đảo đến cạnh lên của xung Clock tiếp theo.

7. Thiết kế các mạch chốt dạng pulsed-latch sau:

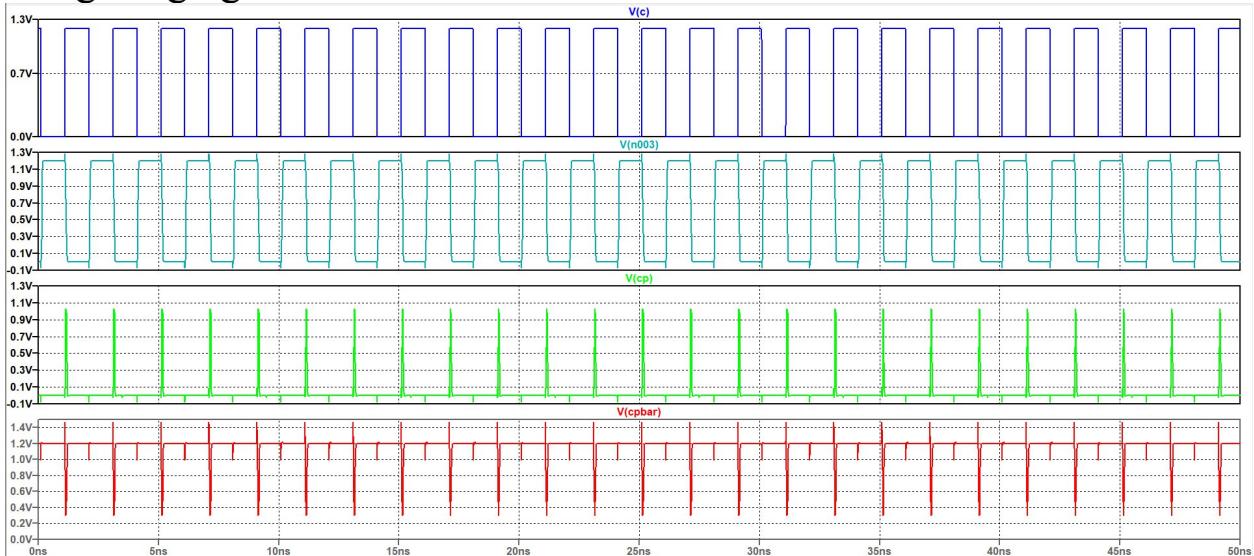
a)





Sơ đồ mạch trên LTspice

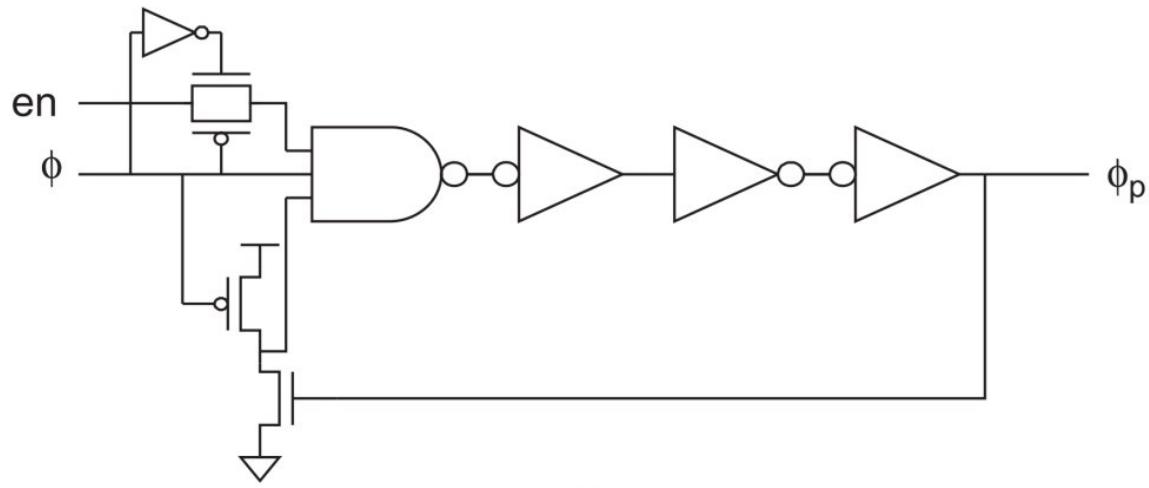
Dạng sóng ngõ ra:



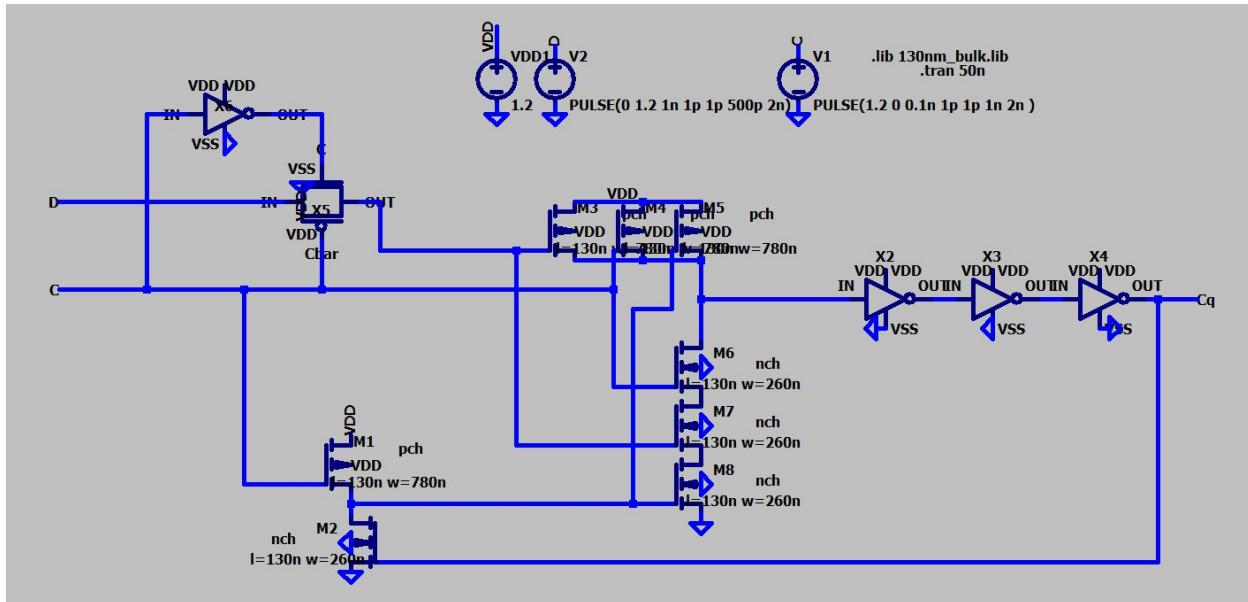
Nhận xét: Mạch Pulse Latch hoạt động đúng.

Giải thích: Bằng cách cho tín hiệu đi theo 2 đường, đường 1 đi trực tiếp vào cổng Nand, đường 2 là cổng đảo của đường 1 nhưng thêm 2n cổng INV(hoạt động như Buffer) để delay tín hiệu đi một lượng thời gian nhất định, sự chênh lệch thời gian đến của đường 1 và đường 2 đi vào cổng Nand sẽ giúp ta có được xung Pulse Latch. Để có thể có được xung Pulse Latch rõ hơn nữa ta có thể lắp thêm Buffer vào để tăng độ delay, từ đó tăng thời gian Pulse của Pulse Latch.

c)

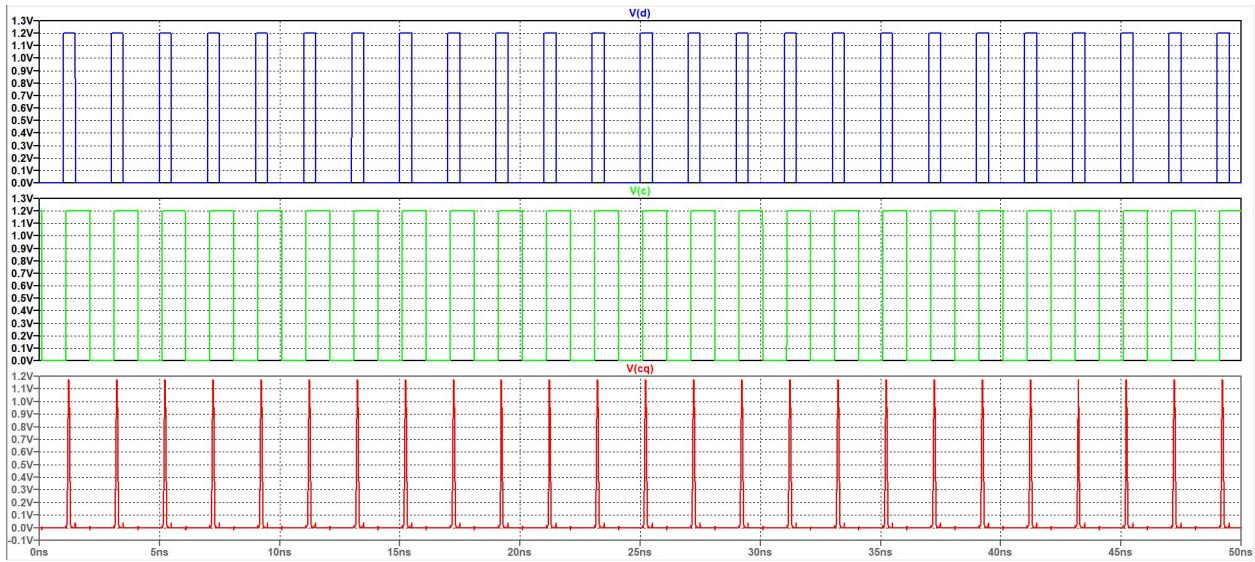


(c)



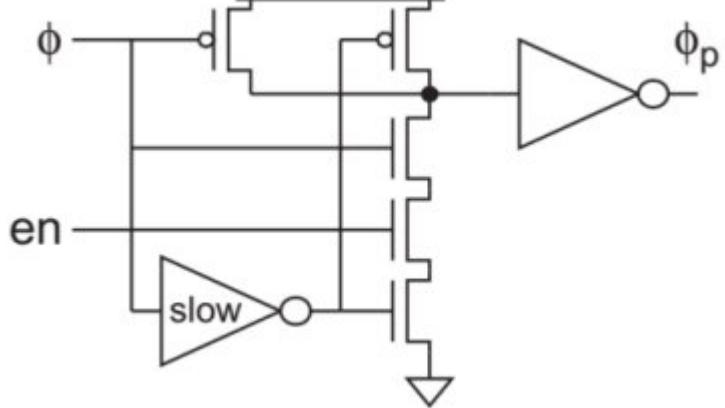
Sơ đồ mạch trên LTspice

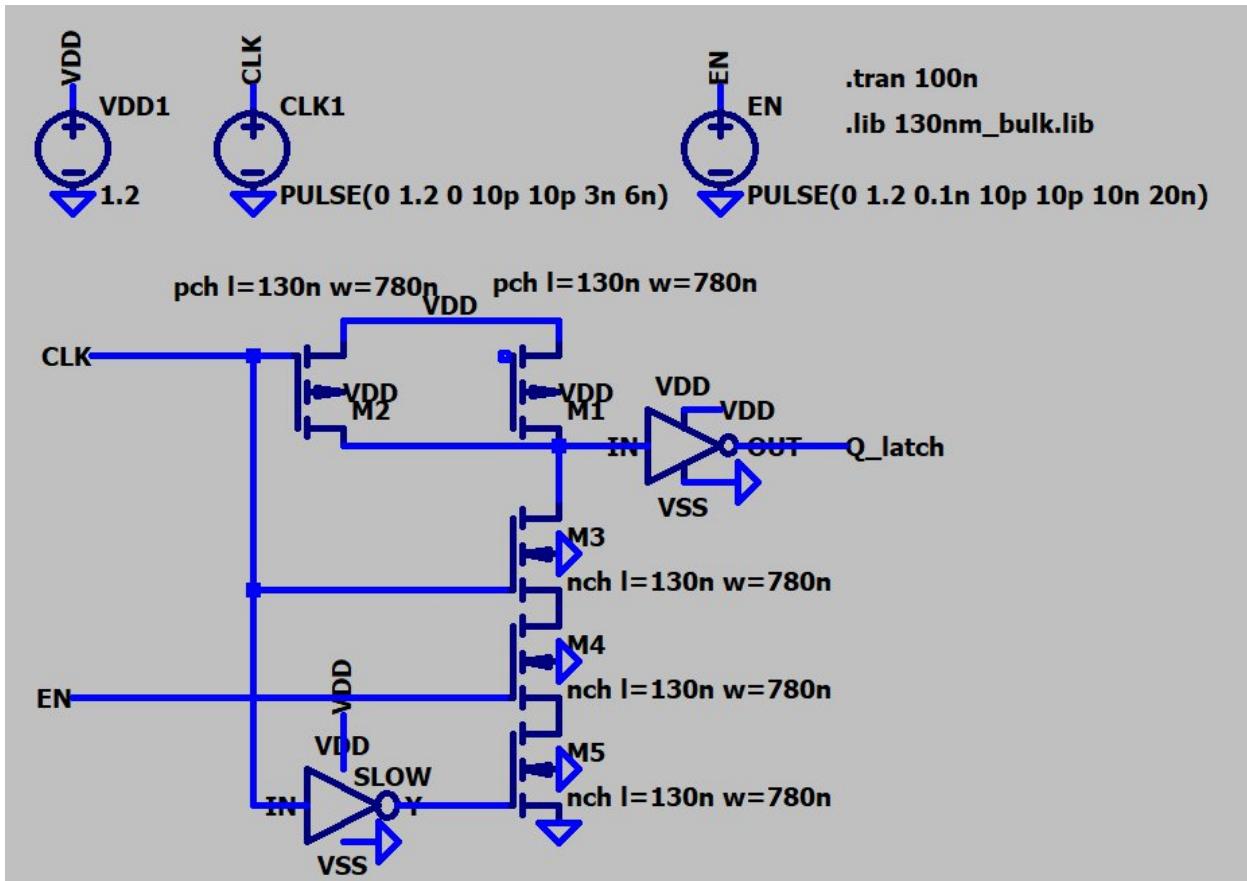
Dạng sóng ngõ ra:



Nhận xét: Mạch hoạt động đúng với chức năng của một Pulse Latch.

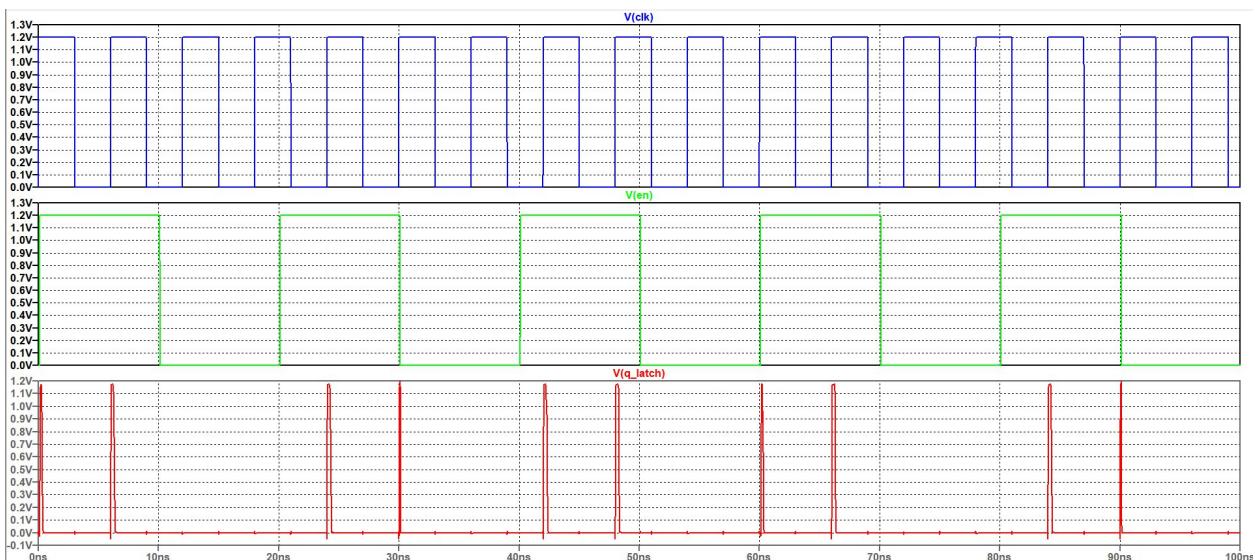
b)





Soi đồ mạch trên LTspice

Dạng sóng ngõ ra:



Nhận xét: Mạch hoạt động đúng chức năng của Pulse Latch