



Escola Politécnica da USP

Departamento de Engenharia de Computação e Sistemas Digitais

PCS3635 – Laboratório Digital I

Turma 01 – Prof. Edson Midorikawa

Relatório da Experiência 2

Círculo em VHDL

Bruno Yukio Fujita Saito 9349631

Daniel Oliveira de Azambuja 8910198

Bancada: A-2

Data: 25/01/2017

Sumário

1.	Atividades Experimentais.....	3
1.1.	Atividade 2	3
1.2.	Atividade 3	5
2.	Conclusão	8
3.	Apêndice	8

1. Atividades Experimentais

1.1. Atividade 2

Primeiramente, o código VHDL da máquina de estados foi alterado para exibir a saída estado. Esta saída mapeia os estados do circuito lógico para os valores binários de 1 (“0000”) a 5 (“0101”). Isto é importante pois facilita a verificação dos estados do componente em tempo real, através da visualização da saída, associando-a a um display.

Também foi alterada a forma de definir os vetores e seus índices, padronizando para a seguinte maneira: vetor : (tipo) (tipo de dado) (i_final downto 0);

- (tipo) : in, out, ...
- (tipo de dado) : STD_LOGIC_VECTOR, STD_ULOGIC_VECTOR, ...

Dado que não foi possível realizar a simulação do circuito lógico no Quartus 16.1.0 no laboratório, os testes definidos pelo planejamento na seção 3.1 foram feitos posteriormente no Multisim e seus resultados estão expostos a seguir.

O sinal, de cima para baixo na carta de tempo, são: LIGA, SINAL, RESET, CLOCK, RCO, ResetcOUT, EnablecOUT, Q e ESTADO.

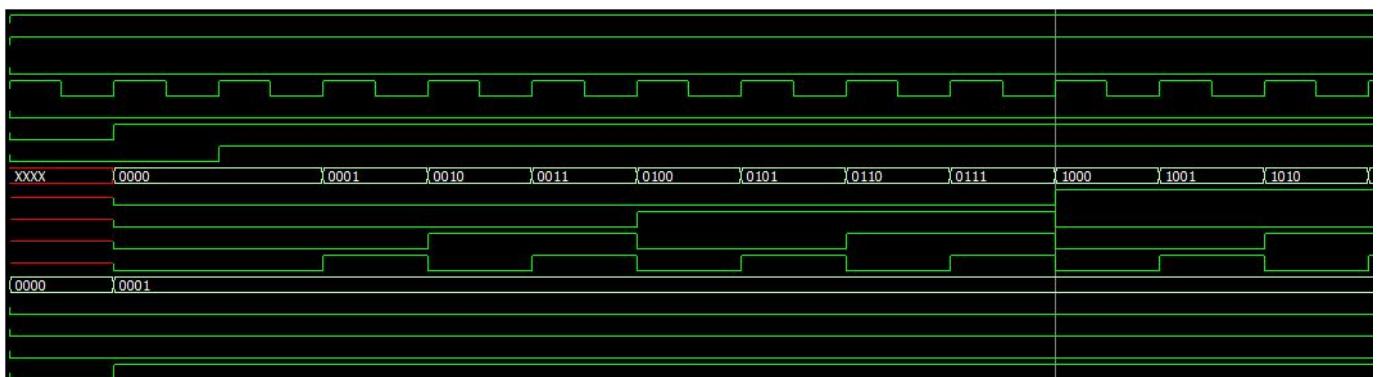


Figura 1 – Contagem normalmente no estado CONTA.

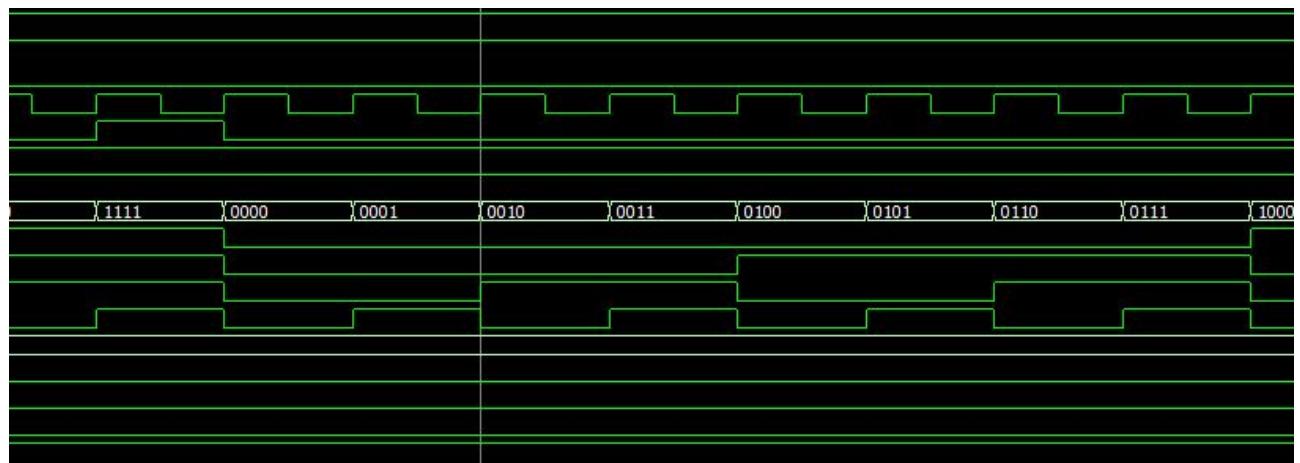


Figura 2 – Continuação da contagem, note que agora, a saída Q atinge “1111” e nesse instante, o sinal RCO está em alto.

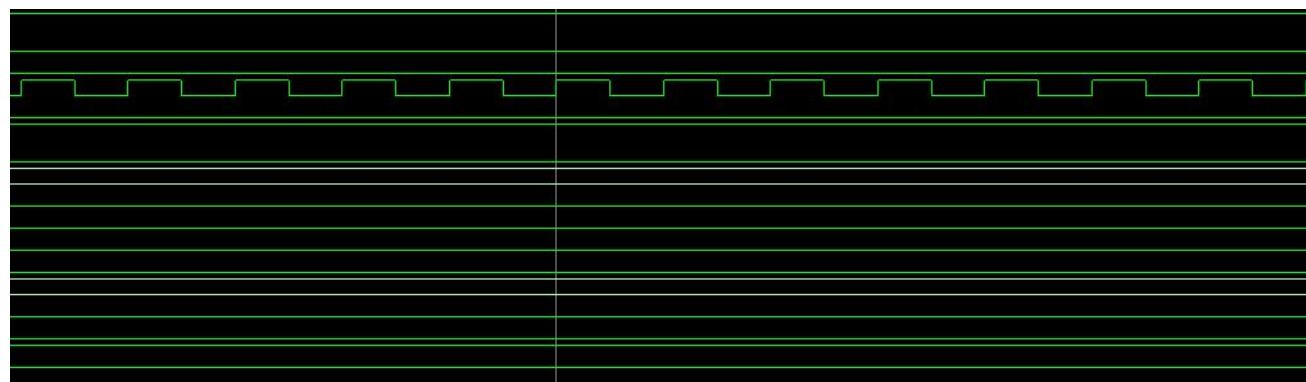


Figura 3 – Forma de onda após colocar SINAL = ‘0’ no estado CONTA.

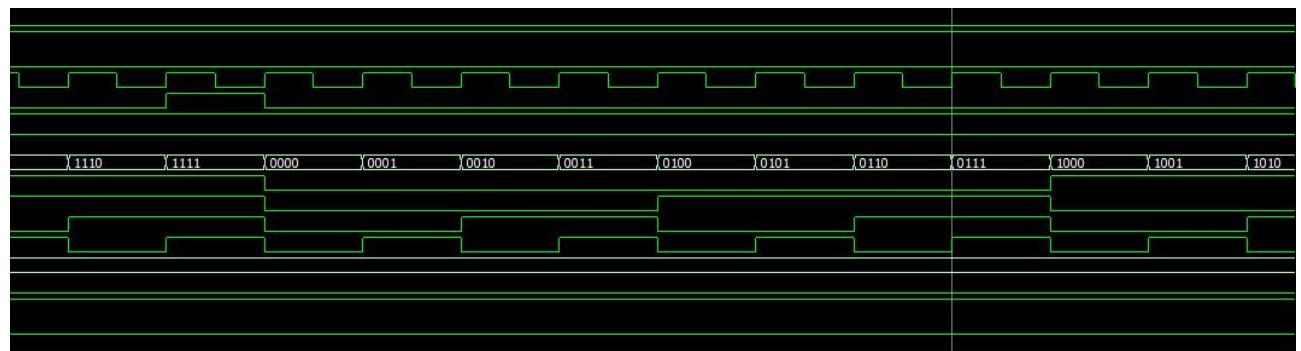


Figura 4 – Forma de onda após colocar LIGA = ‘0’ com SINAL = ‘1’ no estado CONTA, note que nada acontece, pois no estado CONTA, o valor do sinal LIGA não interfere em seu funcionamento.

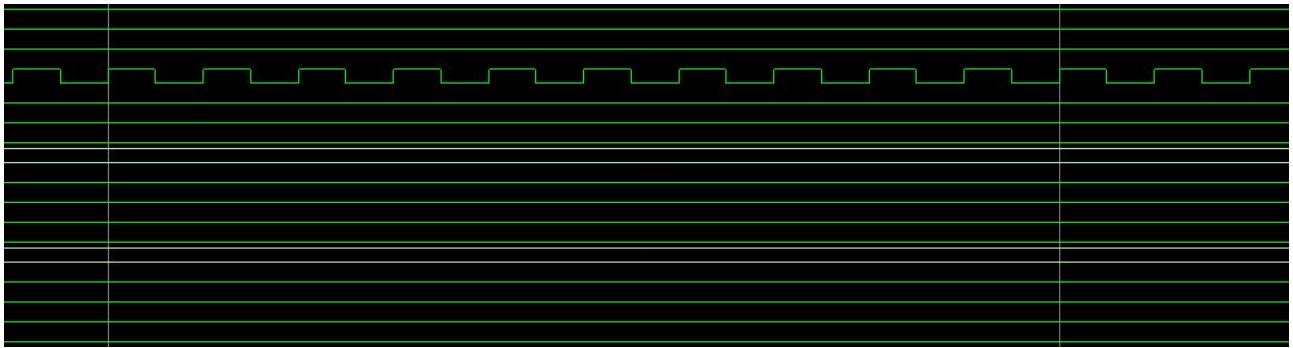


Figura 5 – Carta de tempo após colocar RESET = ‘1’ no estado CONTA, a máquina de estados volta para o estado INICIAL.

1.2. Atividade 3

Ao programar o circuito digital na placa DE0-CV (Figura 6), foi necessária a designação dos pinos, conforme a Tabela 1, e conectar o Analog Discovery (Figura 7) para gerar o sinal de clock corretamente.

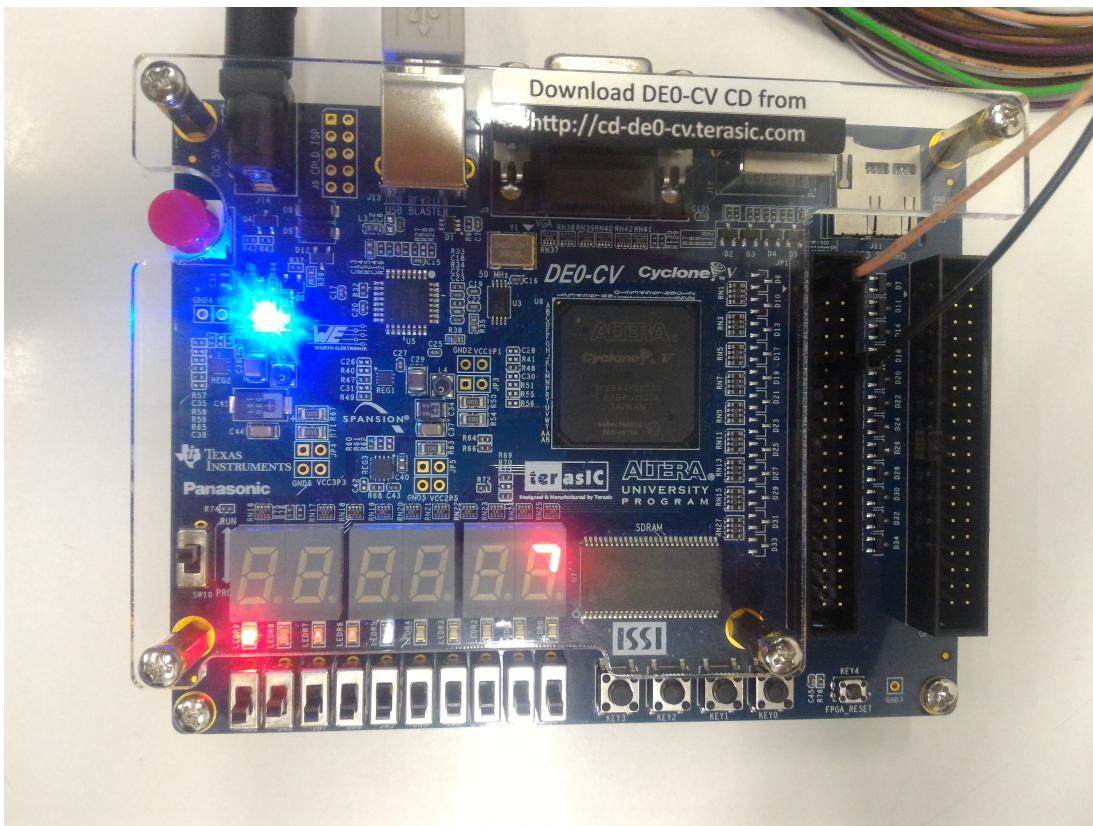


Figura 6 – Placa Programável DE0-CV.



Figura 7 – Analog Discovery, aparelho utilizado na experiência para gerar o clock.

Designação		Sinal externo
sinal	pino	
CLOCK	GPIO_0_D0	saída digital 0 (Analog Discovery)
RESET	chave SW9	-
liga	chave SW0	-
sinal	chave SW1	-
resetc	/led LEDR9	-
enablec	/led LEDR8	-
Q	/leds LEDR0 a LEDR3	-
RCO	/led LEDR4	-

Tabela 1 – Designação dos pinos do DE0-CV.

Foi necessário alterar o código VHDL criado para que a máquina de estados fosse executada corretamente na placa, pois embora o arquivo compilasse e não demonstrasse erros, ele não produzia a saída esperada. Desta forma, os erros presentes eram lógicos, pertinentes à forma como a máquina seria executada na placa. Tais erros poderiam ser detectados anteriormente com a simulação do circuito, porém, não foi possível fazer a simulação na seção 1.1.

Alguns sinais não tiveram seu comportamento especificado no código, como o sinal ENP

(enable), LD_L (load) e D (barramento lateral de entrada do CI 74163). Estes não tiveram pinos declarados, portanto não havia como o sinal ser avaliado ou alterado. Bastou defini-los como uma constante de forma que permitisse o funcionamento correto do circuito: ENP = '1', LD_L = '1' e D = "0000".

Acionando os sinais LIGA e SINAL, observou-se o funcionamento do circuito de acordo com os mesmos procedimentos aplicados na atividade 2, que foram definidos no Relatório de Planejamento, seção 3.1.

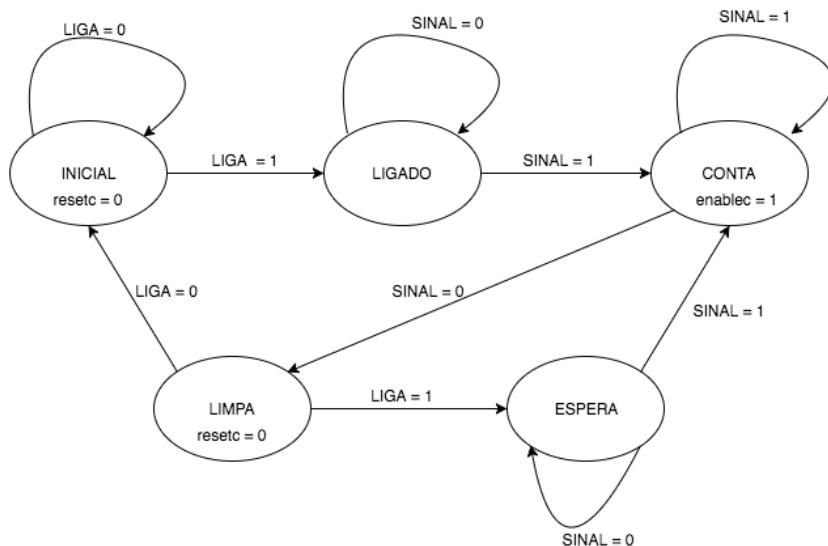


Figura 8 – Diagrama de estados para o circuito em teste.

Ao ligar o SINAL por 5 segundos, a saída apresentada por Q foi "0101", pois a saída Q conta quantas bordas de subida de clock aconteceram desde quando se atingiu o estado CONTA.

Como pode ser observado pelo diagrama de estados na Figura 8, ao imprimir valor baixo ao LIGA quando se está no estado CONTA com SINAL = '1', nada acontece. A máquina de estados continua contando sem alteração. Isto ocorre pois, mesmo que desligar o circuito leva a se pensar intuitivamente que este irá para o estado inicial, para que esta ação seja realizada, ela deve ser programada na estrutura lógica do circuito, caso contrário, não tem como acontecer.

Quando se ativou SINAL por mais de 15 segundos, a saída Q contou de "0000" até "1111". Quando Q atingiu "1111", em RCO foi impresso o valor '1', indicando carry out na contagem. Após a borda seguinte de subida de clock, Q foi resetado para "0000" e RCO também foi ao estado lógico baixo ('0').

Para cada momento em que se ativa SINAL, o circuito passa a produzir como saída a contagem de quantos segundos está ativado SINAL. Quando se imprime estado lógico baixo a este sinal, a contagem é resetada na borda seguinte de subida de clock. Ao passo que ao ativar SINAL = '1' novamente o circuito volta a contar a partir do "0000".

2. Conclusão

Apesar das dificuldades em simular o circuito no Quartus, esse imprevisto evidenciou o quanto importante é a simulação e análise de seus resultados, pois um tempo considerável foi gasto debugando o código VHDL tentando descobrir o porquê de a saída do circuito não corresponder ao esperado. Caso a simulação tivesse funcionado corretamente, os erros de lógica no código poderiam ter sido descobertos muito mais rapidamente.

3. Apêndice

Não foi possível realizar o desafio que seria proposto pelo professor porque não haveria tempo suficiente para terminar as atividades experimentais e fazer um desafio. Apenas foi possível finalizar as atividades da experiência.