

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA: ĐIỆN – ĐIỆN TỬ
MÔN: THỰC TẬP THIẾT KẾ VI MẠCH VLSI
-----oOo-----



HCMUTE

BÁO CÁO
KHẢO SÁT CÁC CỒNG LOGIC CMOS

GVHD: TS. LÊ MINH THÀNH

SVTH:

ĐẶNG HƯNG THỊNH

MSSV:

22119137

Lớp thứ 4 – Tiết 1-6

Tp. Hồ Chí Minh, tháng 02 năm 2025

ĐIỂM SỐ

TIÊU CHÍ	NỘI DUNG	TRÌNH BÀY	TỔNG
ĐIỂM			

NHẬN XÉT

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Ký tên

TS. Lê Minh Thành

PHỤ LỤC

CHƯƠNG 1. CÔNG INVERTER	1
1.1. Lý thuyết	1
1.2. Mô phỏng	3
1.2.1. Sơ đồ nguyên lý	3
1.2.2. Bảng thông số transistor (W, L, nhiệt độ)	4
1.2.3. Đóng gói ký hiệu	5
1.2.4. Dạng sóng	6
1.2.5. Công suất của mạch	9
1.2.6. Có tải CL, RL	10
1.2.7. Mạch ghép 3 cổng NOT	13
1.3. Kết luận	16
CHƯƠNG 2. CÔNG NAND	25
2.1. Lý thuyết	25
2.1.1. Ký hiệu	25
2.1.2. Sơ đồ nguyên lý	25
2.1.3. Nguyên lý hoạt động của mạch CMOS NAND	26
2.2. Mô phỏng	27
2.2.1. Sơ đồ nguyên lý	27
2.2.2. Đóng gói ký hiệu	28
2.2.3. Dạng sóng	30
2.2.4. Công suất của mạch	32
2.2.5. Có tải CL	33
2.2.6. Mạch ghép 3 cổng NAND	37
2.3. Kết luận	40

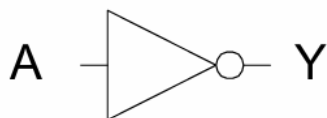
CHƯƠNG 3. CỔNG NOR.....	41
3.1. Lý thuyết	41
3.2. Mô phỏng	42
3.2.1. Sơ đồ nguyên lý	42
3.2.2. Đóng gói ký hiệu	43
3.2.3. Dạng sóng	44
3.2.4. Công suất của mạch	46
3.2.5. Có tải CL	48
3.2.6. Mạch ghép 3 cổng NOR	50
3.2. Kết luận	53
CHƯƠNG 4. CỔNG AND.....	54
4.1. Lý thuyết	54
4.2. Mô phỏng	55
4.2.1. Sơ đồ nguyên lý	55
4.2.2. Đóng gói ký hiệu	55
4.2.3. Dạng sóng	57
4.2.4. Công suất của mạch	59
4.2.5. Mạch ghép 3 cổng AND	60
4.3. Kết luận	62
CHƯƠNG 5. CỔNG OR.....	63
5.1. Lý thuyết	63
5.2. Mô phỏng	64
5.2.1. Sơ đồ nguyên lý	64
5.2.2. Đóng gói ký hiệu	65
5.2.3. Dạng sóng	66
5.2.4. Công suất của mạch	69
5.2.5. Mạch ghép 3 cổng OR	70

5.3. Kết luận	72
CHƯƠNG 6. CÔNG XOR.....	73
6.1. Lý thuyết	73
6.2. Mô phỏng	74
6.2.1. Sơ đồ nguyên lý	74
6.2.2. Đóng gói ký hiệu	74
6.2.3. Dạng sóng	76
6.2.4. Công suất của mạch.....	78
6.3. Kết luận	79
CHƯƠNG 7. CÔNG XNOR.....	80
7.1. Lý thuyết	80
7.2. Mô phỏng	82
7.2.1. Sơ đồ nguyên lý	82
7.2.2. Đóng gói ký hiệu	83
7.2.3. Dạng sóng	85
7.2.4. Công suất của mạch.....	87
7.3. Kết luận	88
KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....	89
TÀI LIỆU THAM KHẢO	91

CHƯƠNG 1. CỔNG INVERTER

1.1. Lý thuyết

1.1.1. Ký hiệu

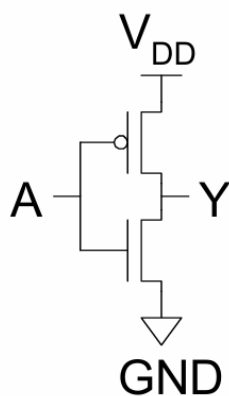


Hình 1.1. Ký hiệu cổng NOT (inverter)

Bảng 1.1. Bảng trạng thái cổng NOT

A	Y
0	1
1	0

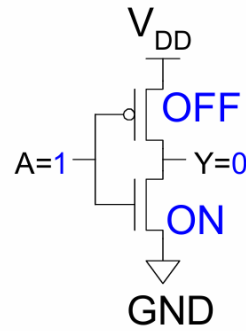
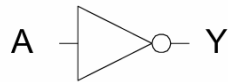
1.1.2. Sơ đồ nguyên lý



Hình 1.2. Sơ đồ cổng NOT CMOS

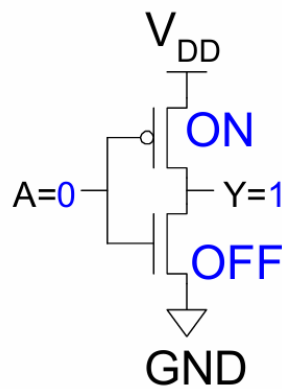
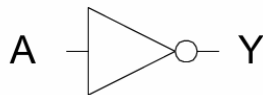
1.1.3. Nguyên lý hoạt động của mạch CMOS inverter

A	Y
0	
1	0



- Khi ngõ vào A=1 khi đó pmos tắt, nmos bật => kéo xuống đất => Ngõ ra Y=0

A	Y
0	1
1	0



- Khi ngõ vào A=0 khi đó pmos bật, nmos tắt => kéo lên nguồn => Ngõ ra Y=1

- Tỷ lệ W/L trong khoảng 10 - 20

Bảng 1.2. Bảng thông số tỉ lệ W/L của transistor

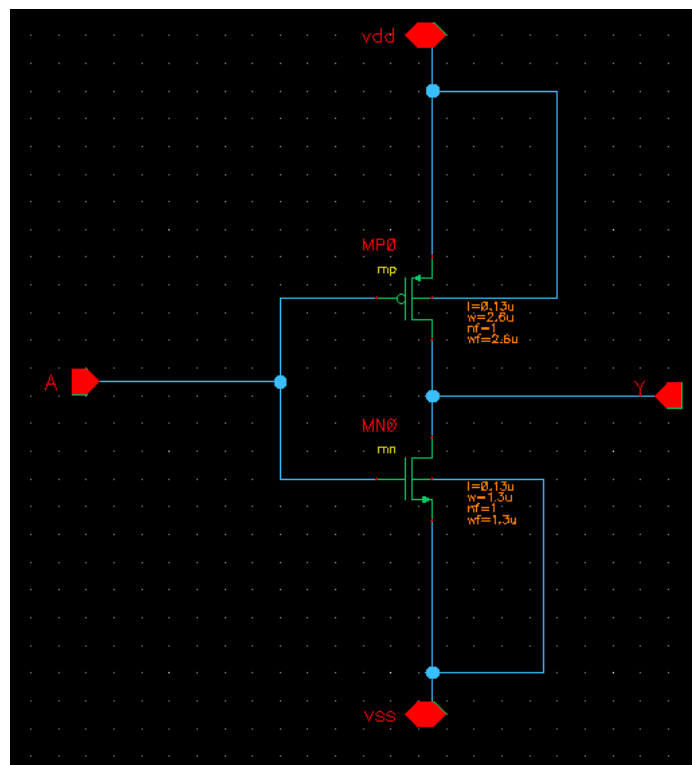
Thông số kỹ thuật pmos	Thông số kỹ thuật nmos
<ul style="list-style-type: none"> - $L = 0,13 \mu$ - $W = 2,6 \mu$ - $Nf = 1$ - $Nw = 2,6 \mu$ 	<ul style="list-style-type: none"> - $L = 0,13 \mu$ - $W = 1,3 \mu$ - $Nf = 1$ - $Nw = 1,3 \mu$

➔ Tỷ lệ pmos/nmos = 2

- Trong đó:
- + L: Chiều dài kênh nhỏ, hiệu suất cao nhưng có thể có hiệu ứng kênh ngắn
- + W: Chiều rộng kênh đảm bảo khả năng dẫn dòng điện tốt
- + Nf: Transistor có một ngón tay
- + Nw: Chiều rộng mỗi ngón tay là 2.6 micromet

1.2. Mô phỏng

1.2.1. Sơ đồ nguyên lý



Hình 1.3. Schematic của cổng NOT trên Cadence

1.2.2. Bảng thông số transistor (W , L , nhiệt độ)

Apply To: ☐ only current ☐ instance

Show: ☐ system ☐ user ☒ CDF

Browse Reset Instance Labels Display

Property	Value	Display
Library Name	l13g_msrfs	off
Cell Name	mp1	value
View Name	symbol1	off
Instance Name	MP0	value

CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	2.6u	off
Number of Fingers	1	off
Width (M)	2.6u	off
Multiplier	1	off
Source diffusion area	1.04p	off
Drain diffusion area	1.04p	off
Source diffusion periphery	3.4u	off
Drain diffusion periphery	3.4u	off
Distance from STI edge to Gate (r	0.40u	off
Distance from another STI edge to	0.40u	off
Distance between neighboring Ga	0.44u	off

Hình 1.4. Bảng thông số của pmos

Apply To: ☐ only current ☐ instance

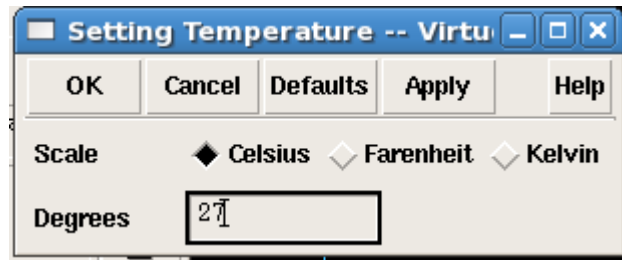
Show: ☐ system ☐ user ☒ CDF

Browse Reset Instance Labels Display

Property	Value	Display
Library Name	l13g_nsrif	off
Cell Name	mn1	value
View Name	symbol1	off
Instance Name	MN0	value

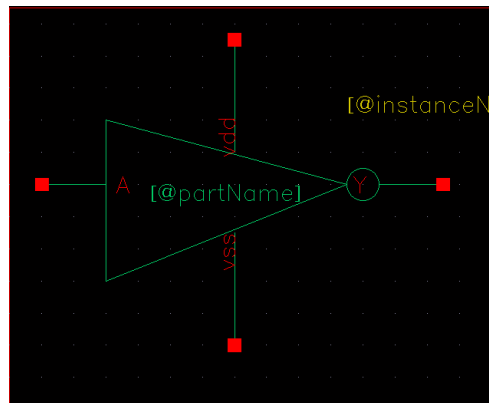
CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	1.3u	off
Number of Fingers	1	off
Width (M)	1.3u	off
Multiplier	1	off
Source diffusion area	0.52p	off
Drain diffusion area	0.52p	off
Source diffusion periphery	2.1u	off
Drain diffusion periphery	2.1u	off

Hình 1.5. Bảng thông số nmos



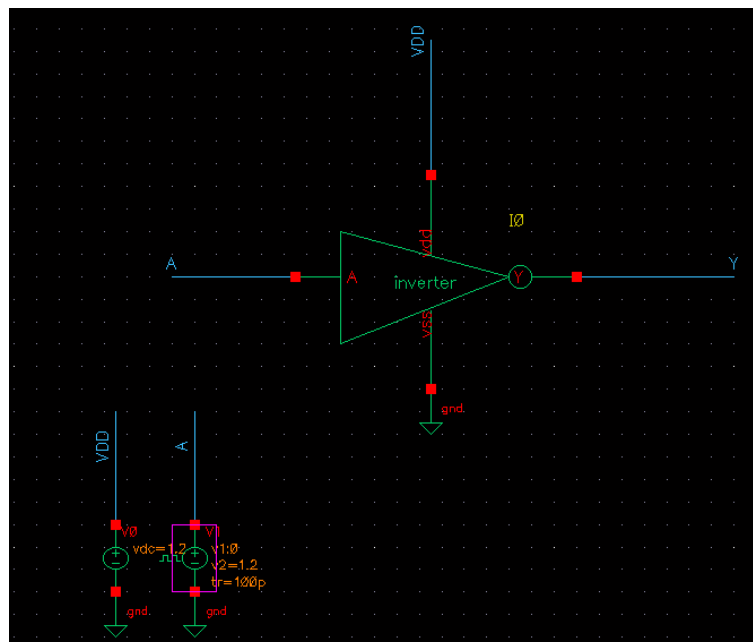
Hình 1.6. Nhiệt độ mặc định 27°C

1.2.3. Đóng gói ký hiệu



Hình 1.7. Symbol cổng NOT

- Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse})



Hình 1.8: Mạch kiểm tra cổng NOT

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :
- V_{DD} nối với nguồn $V_{DC} = 1,2$ V.

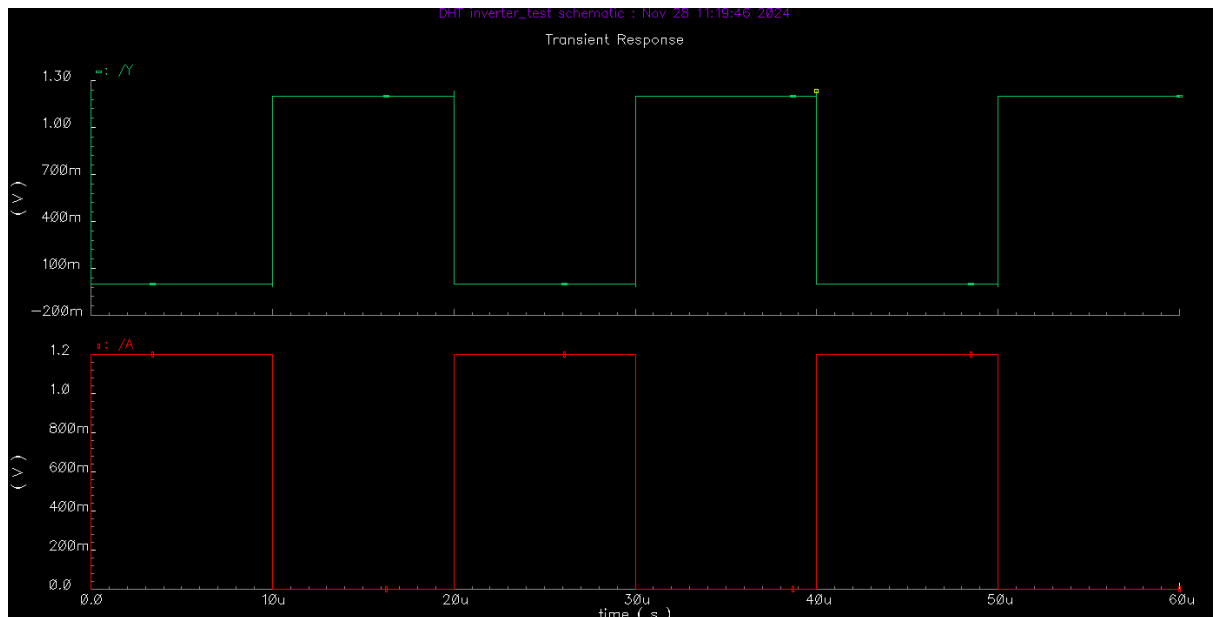
- V_{SS} ta nối đất.
- Chân ngõ vào A nối với nguồn V_{Pulse} với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.
 - + thời gian trễ: 0 s.
 - + thời gian xung cạnh lên: 100 ps.
 - + thời gian xung xuống: 100 ps.
 - + độ rộng xung: 10 us.
 - + chu kỳ: 20 us.

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	off <input type="checkbox"/>
AC phase	<input type="text"/>	off <input type="checkbox"/>
DC voltage	<input type="text"/>	off <input type="checkbox"/>
Voltage 1	0 V <input type="text"/>	off <input type="checkbox"/>
Voltage 2	1.2 V <input type="text"/>	off <input type="checkbox"/>
Delay time	0 s <input type="text"/>	off <input type="checkbox"/>
Rise time	100p s <input type="text"/>	off <input type="checkbox"/>
Fall time	100p s <input type="text"/>	off <input type="checkbox"/>
Pulse width	10u s <input type="text"/>	off <input type="checkbox"/>
Period	20u s <input type="text"/>	off <input type="checkbox"/>

Hình 1.9. Bảng thông số của nguồn

1.2.4. Dạng sóng

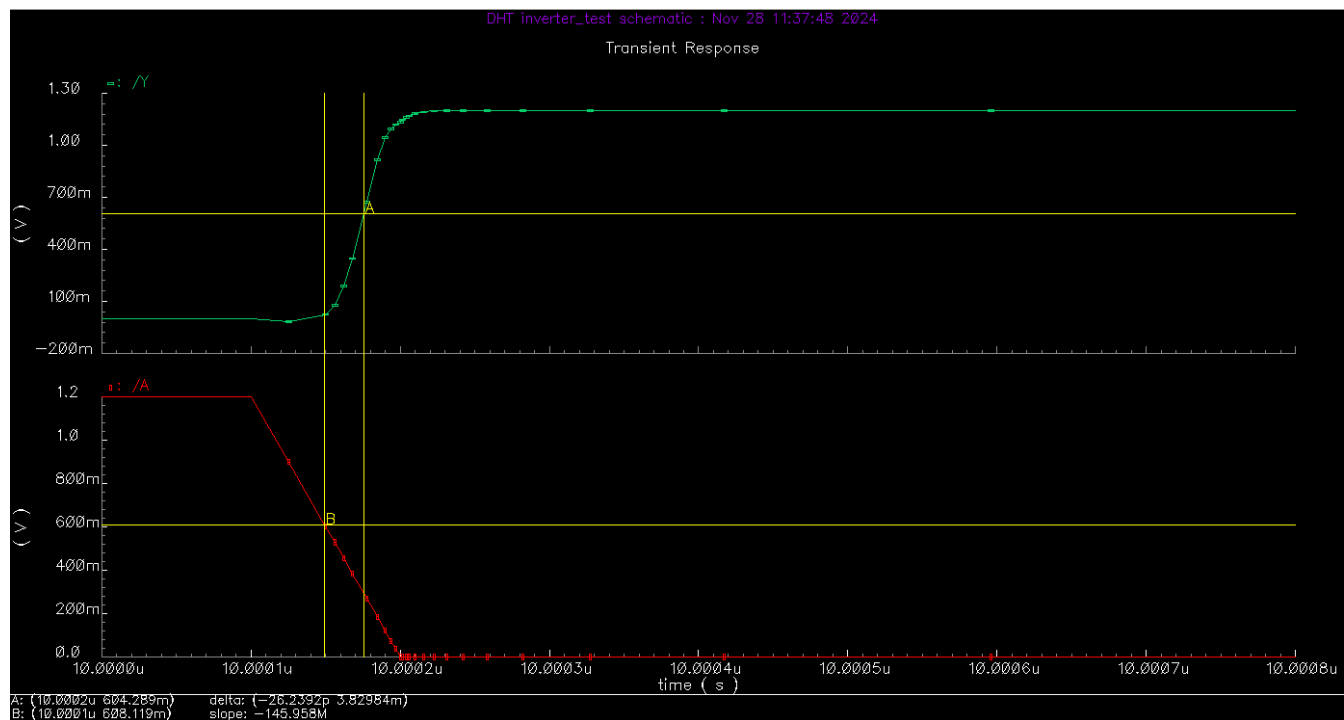
- + Kết quả mô phỏng:
 - A: ngõ vào (màu lục).
 - Y: ngõ ra (màu đỏ).



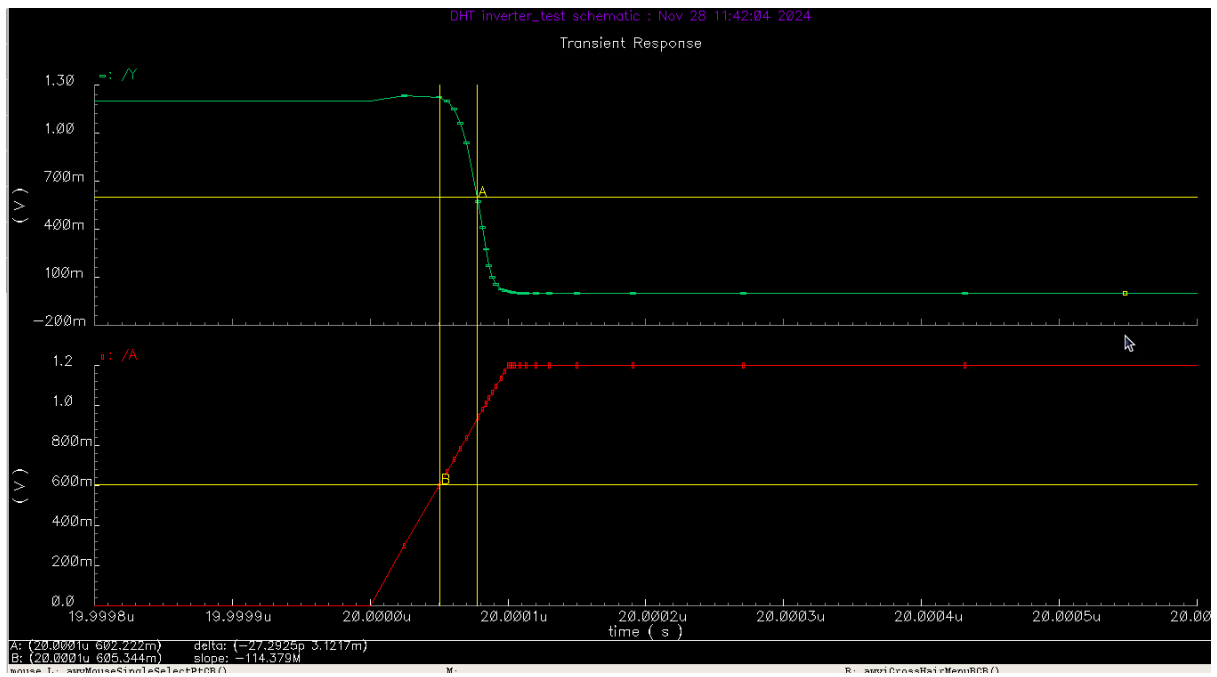
Hình 1.10. Kết quả mô phỏng

+ 10 us tới 20 us, tín hiệu ngõ vào là 1,2 V (mức 1) thì tín hiệu ngõ ra là 0 V (mức 0).

+ 20 us tới 30 us, tín hiệu ngõ vào là 0 V (mức 0) thì tín hiệu ngõ ra xấp xỉ 1,2 V (mức 1).



Hình 1.11. Thời gian trễ cạnh lên tpdf: 26.2392 ps



Hình 1.12. Thời gian trễ cạnh xuống $tpdr$: 27,2925 ps

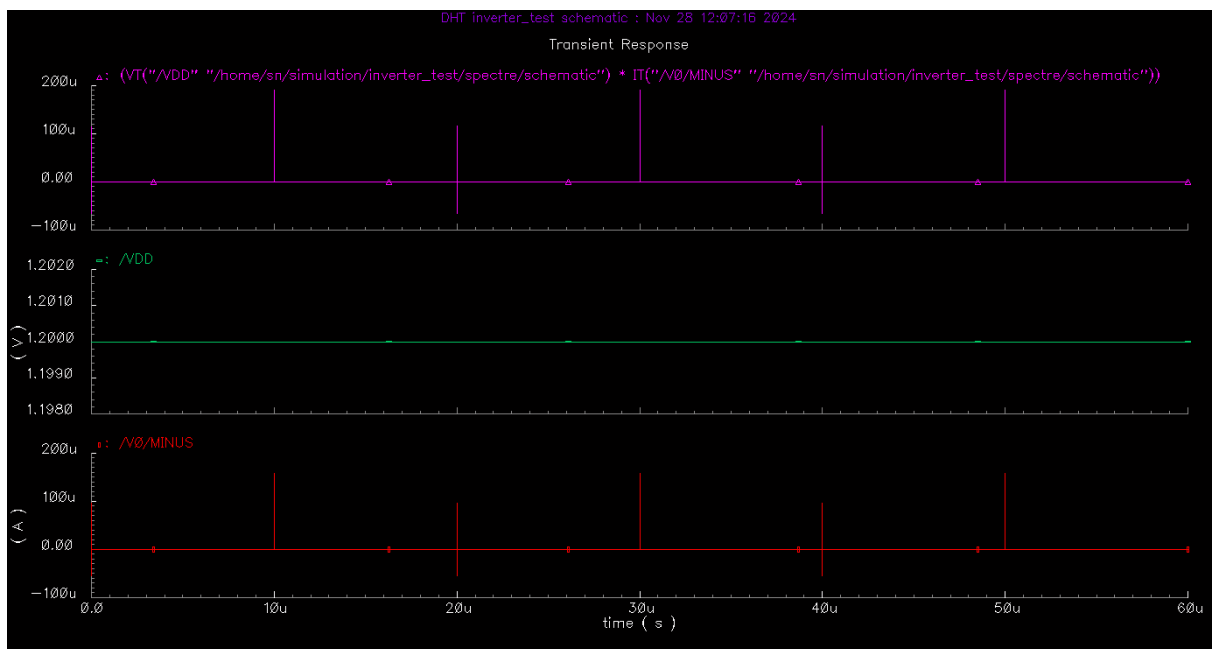
→ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

$$tpd = \frac{tpdf + tpdr}{2} = 26,76585 \text{ ps}$$

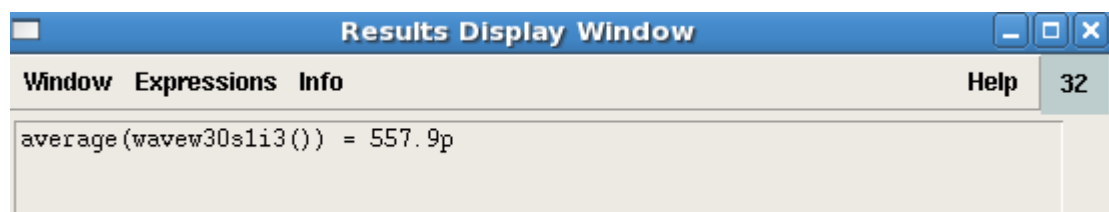
+ Trong đó:

- $tpdr$ là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.
- $tpdf$ là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

1.2.5. Công suất của mạch



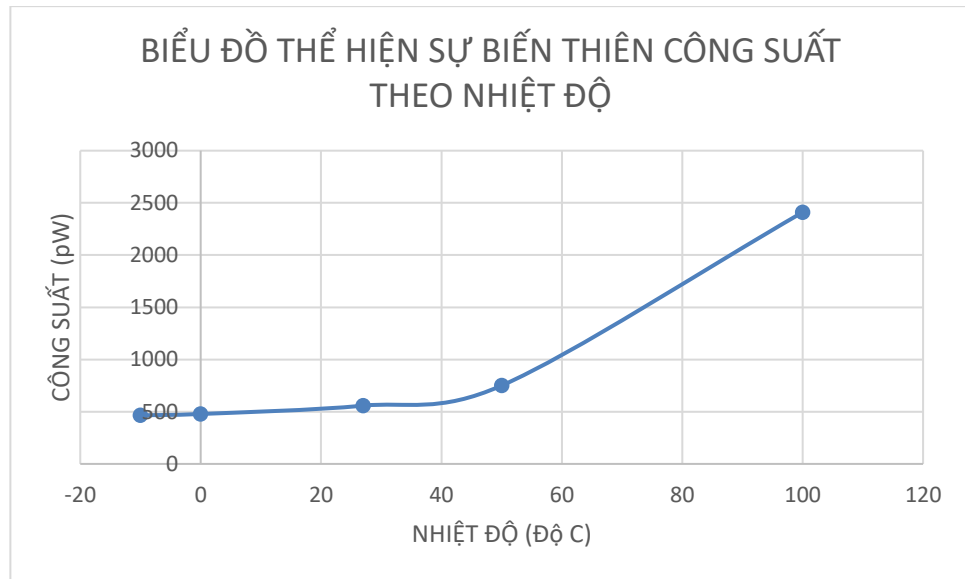
Hình 1.13. Mô phỏng công suất của mạch $P=U.I$



Hình 1.14. Công suất trung bình tại 27°C

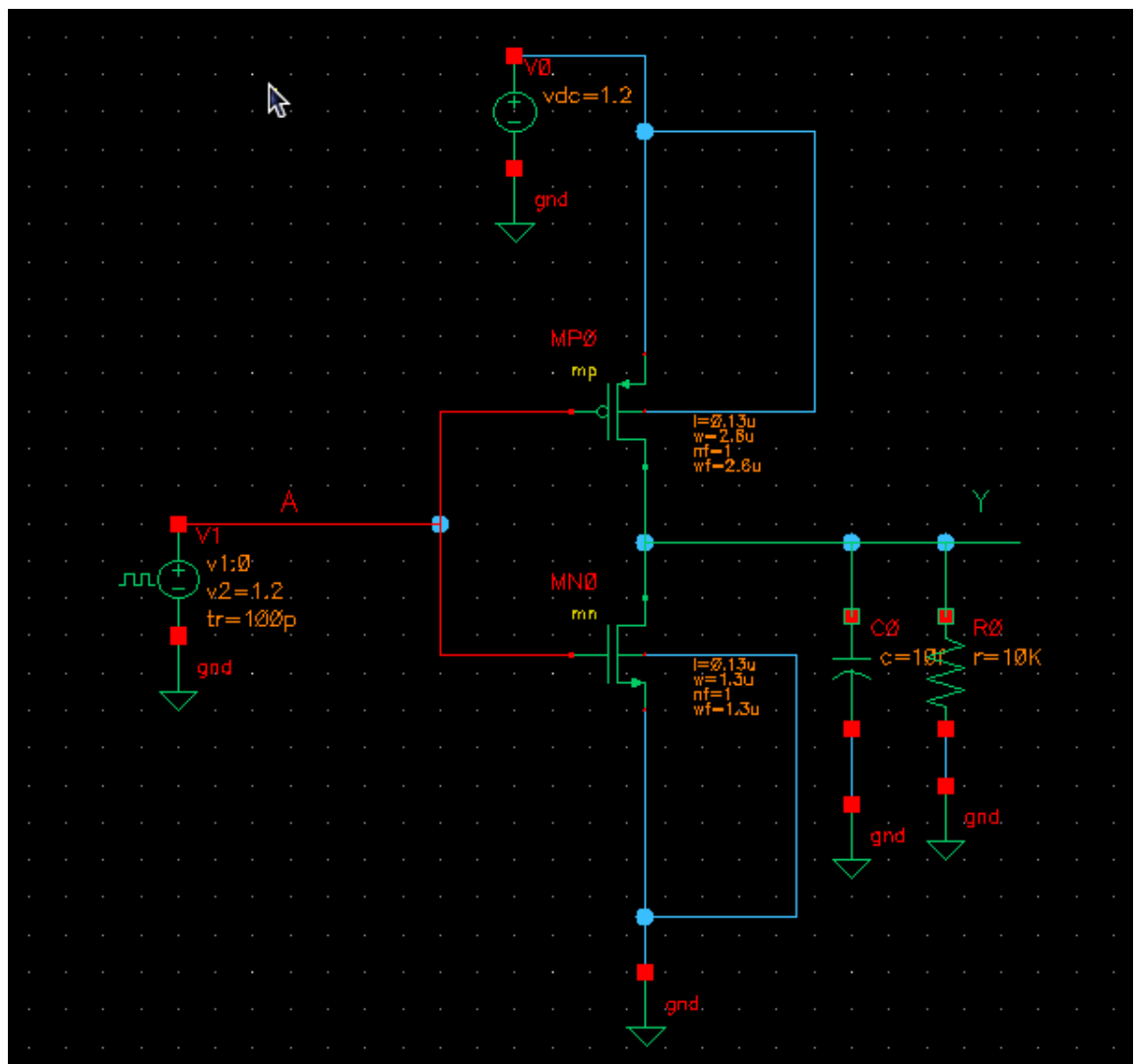
Bảng 1.3. Bảng thể hiện công suất theo nhiệt độ

Nhiệt độ (°C)	Công suất (pW)
-10	464,4
0	478,2
27	557,9
50	750,4
100	2410

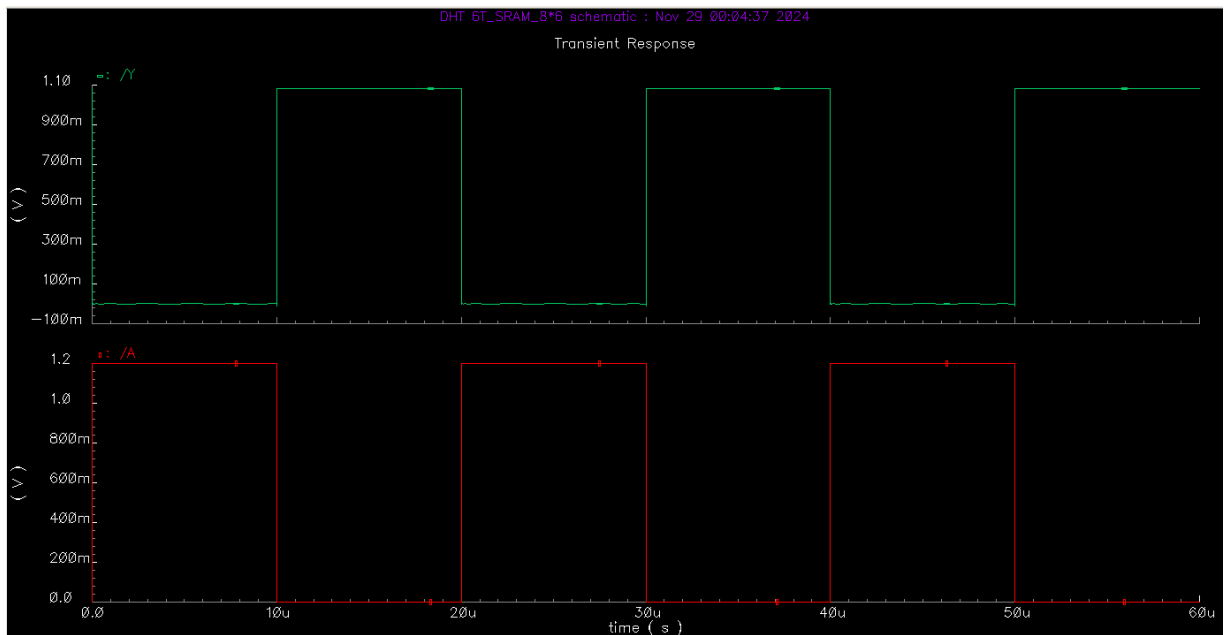


Hình 1.15. Biểu đồ thể hiện công suất theo nhiệt độ

1.2.6. Có tải CL, RL

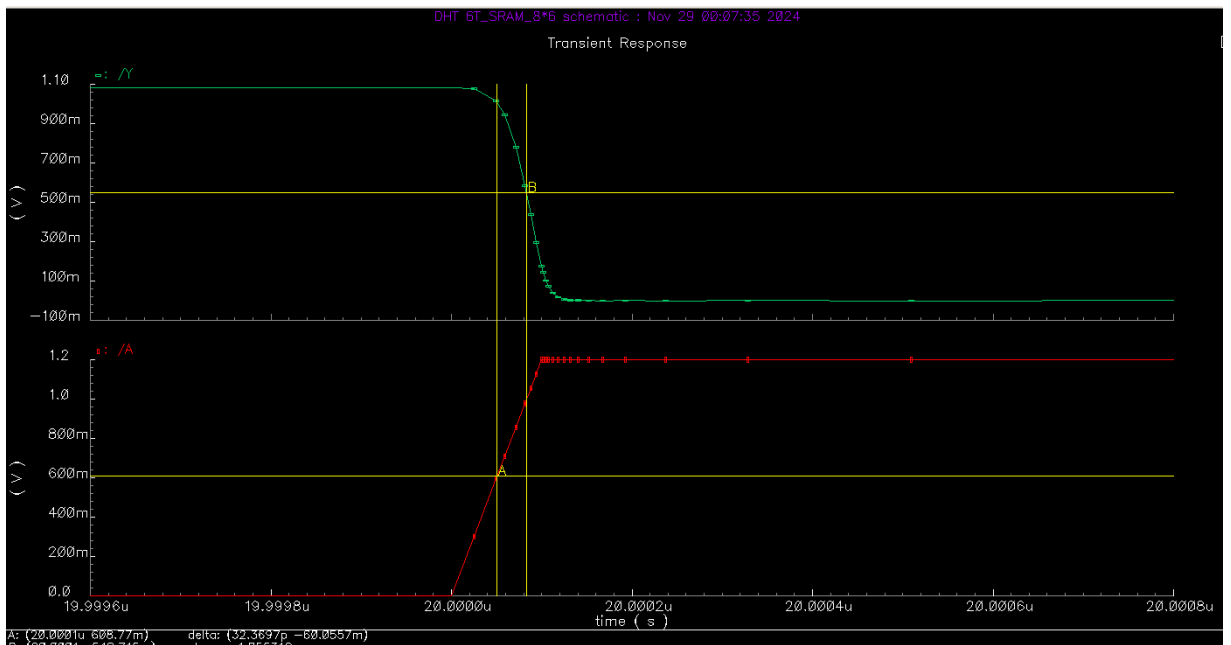


Hình 1.16. Mạch cổng NOT có tải $RL=10k\ \text{ohm}$, $CL=10\ \text{fF}$

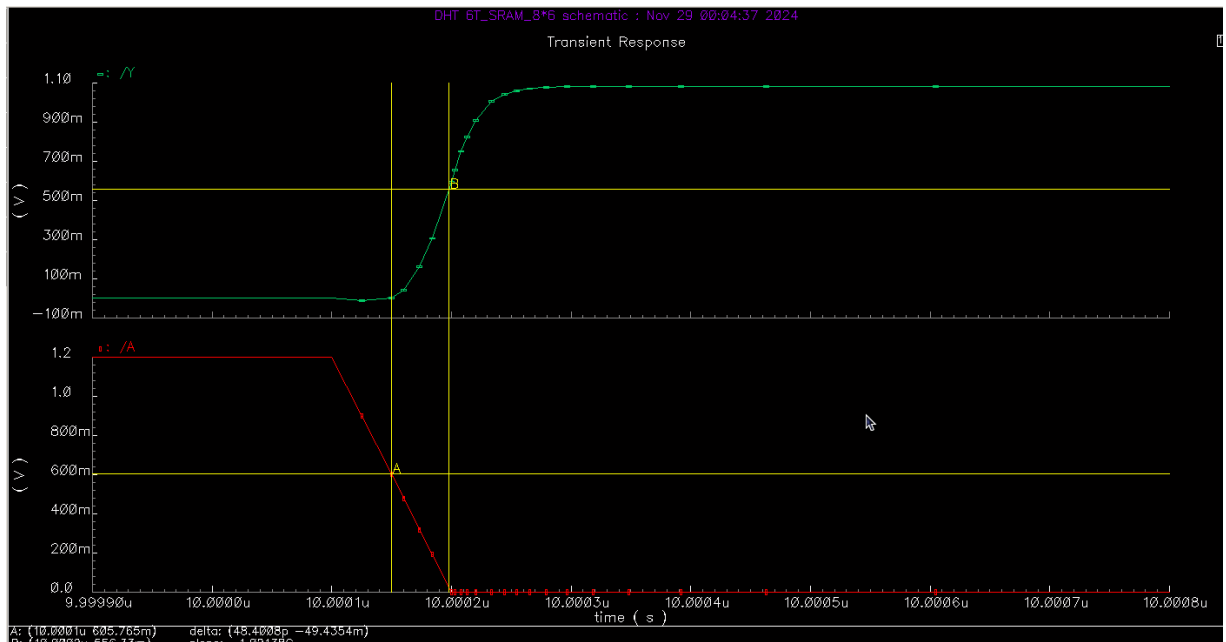


Hình 1.17. Dạng sóng input/output

+ Tương tự như khi dùng 1 cổng NOT ta tìm thời gian chuyển mạch và công suất mạch trên để so sánh:



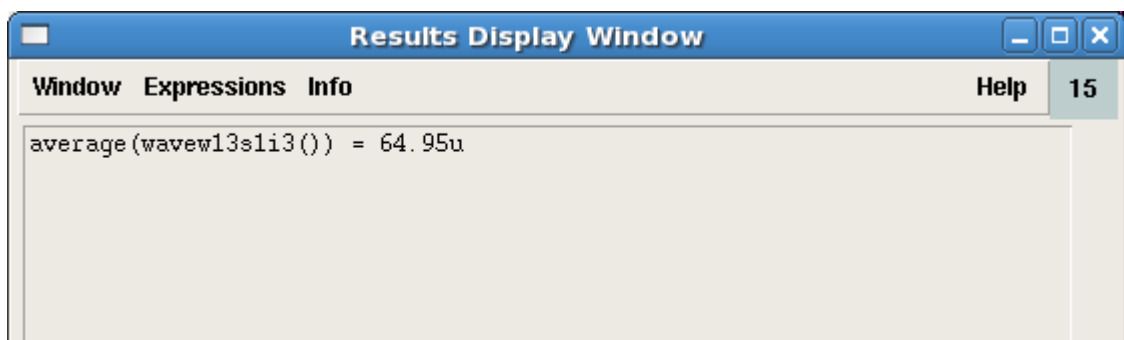
Hình 1.18. Cảnh xuống



Hình 1.19. Cạnh lên

+ Tương tự:

$$tpd = \frac{tpdf + tpdr}{2} = 38,88525 \text{ ps}$$



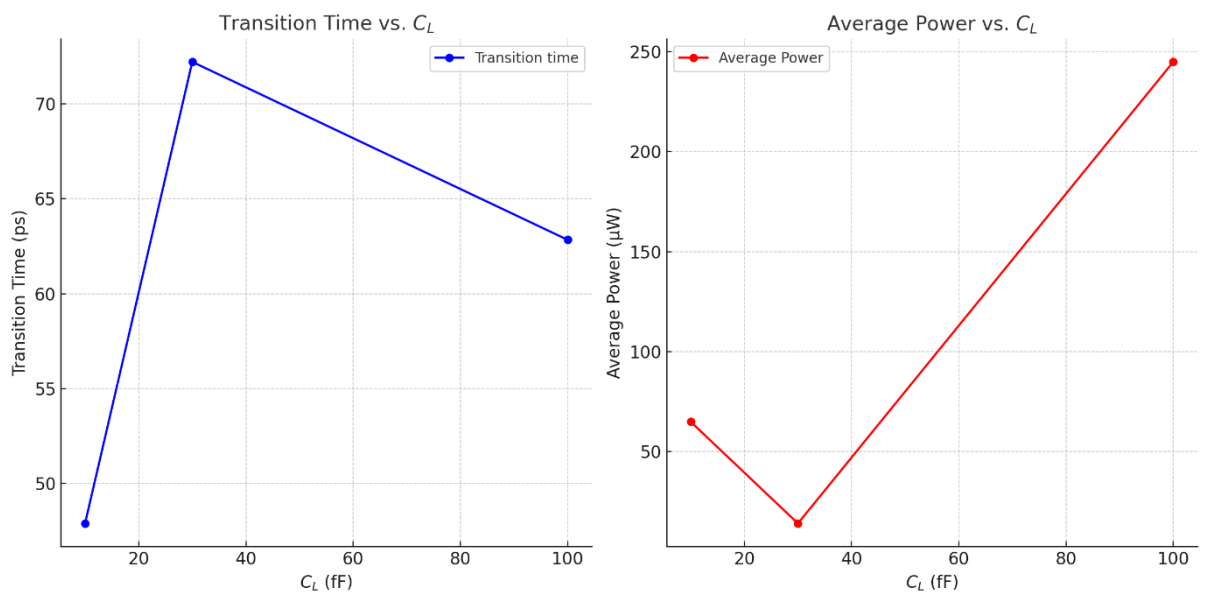
Hình 1.20. Công suất trung bình

Kết quả so sánh mạch với và 1 NOT:

- * Transition time của mạch chậm hơn so với 1 NOT **31,167%**
- * Ở cùng nhiệt độ 27°C mạch có công suất tiêu thụ lớn hơn 1 cổng NOT rất nhiều

Bảng 1.4. Bảng so sánh transition time và công suất trung bình khi gắn tải C_L, R_L ở các giá trị khác nhau

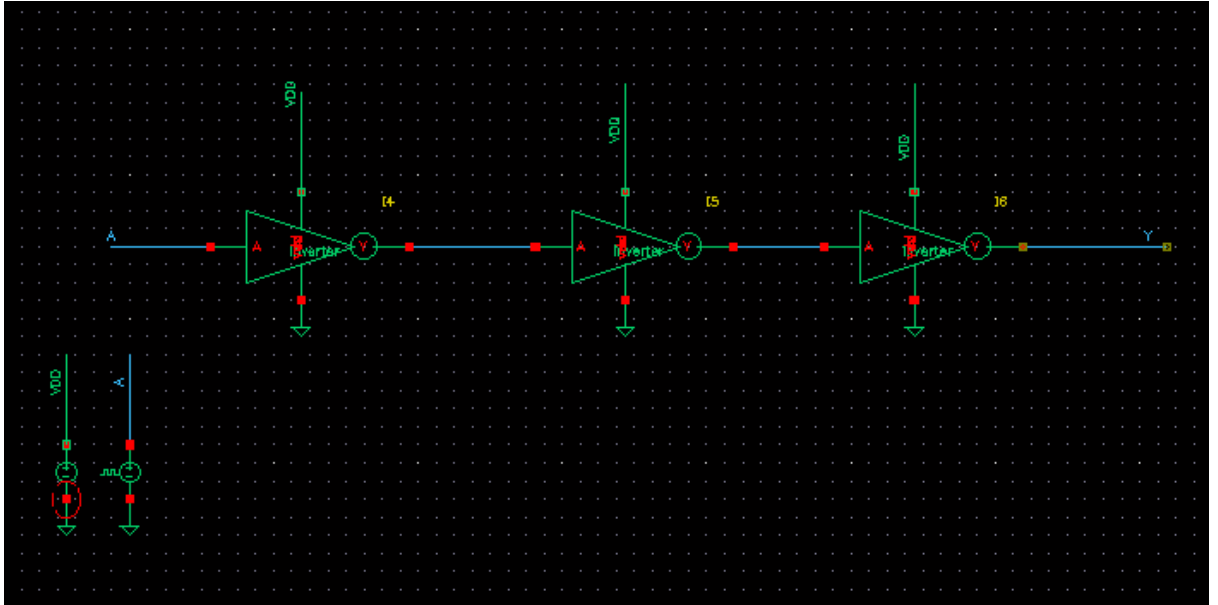
C_L (fF)	R_L (kohm)	Transition time (ps)	Công suất trung bình (μ W)
10	10	47,9046	64,95
30	50	72,2	14,11
100	1	62,8329	244,9



Hình 1.21. Đồ thị thể hiện transition time và delay khi thay đổi thông số tải C_L, R_L

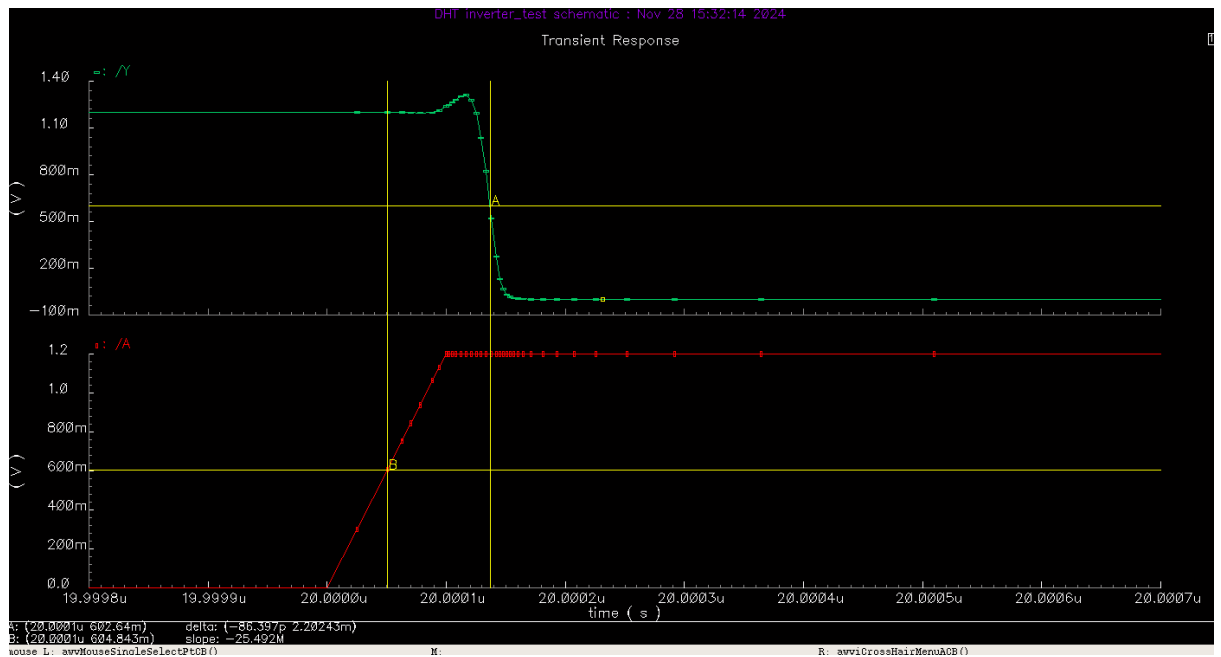
1.2.7. Mạch ghép 3 cổng NOT

- So sánh với 1 NOT transition time và công suất



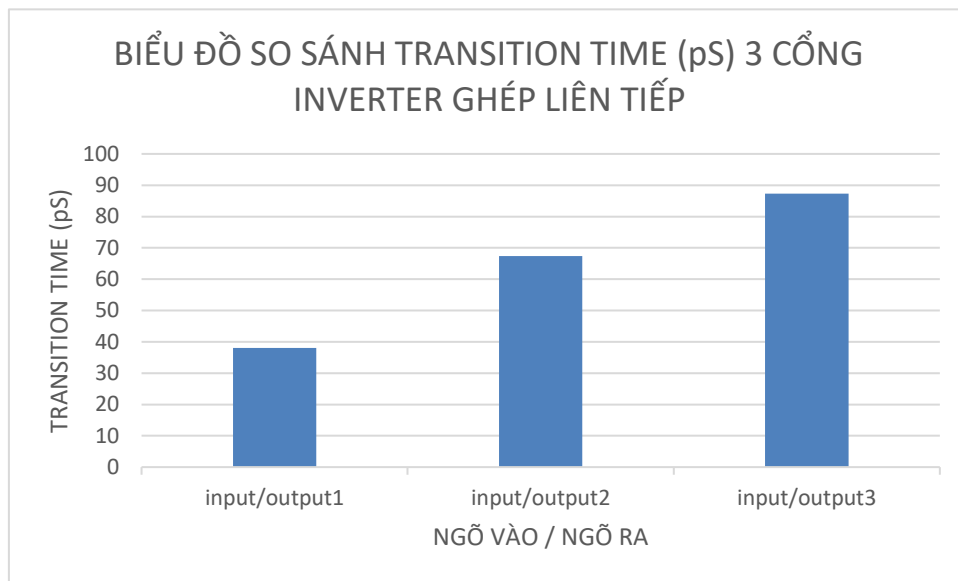
Hình 1.22. Mạch kết nối 3 cổng NOT

+ Tương tự như khi dùng 1 cổng NOT ta tìm thời gian chuyển mạch và công suất mạch trên để so sánh:

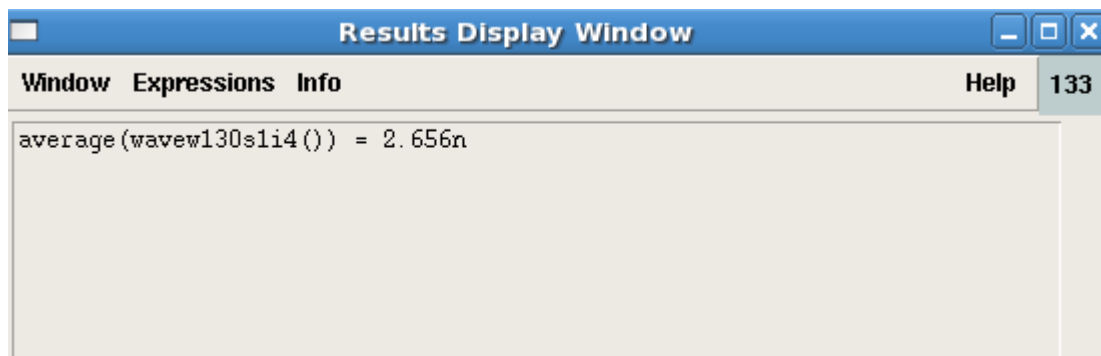


Hình 1.23. Cảnh xuống

- So sánh transition time input/output:



Hình 1.25. So sánh Transition time I/O



Hình 1.26. Công suất trung bình mạch

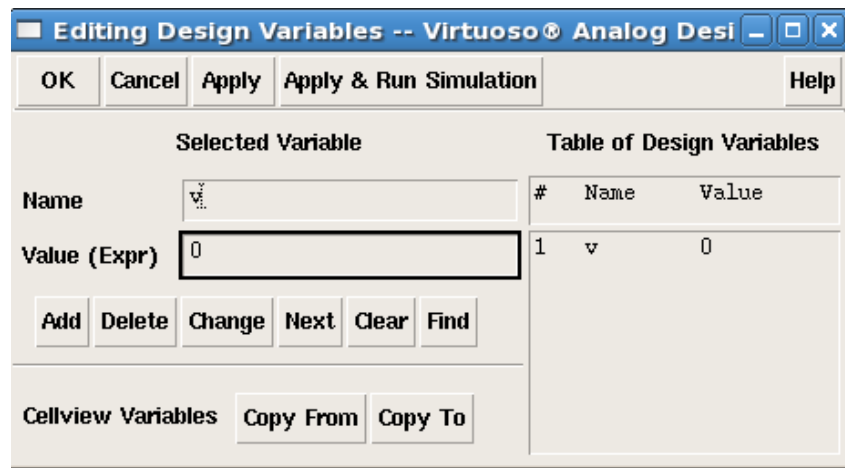
Kết quả so sánh mạch với 1 NOT:

- * Transition time của mạch ghép 3 cổng NOT chậm hơn so với 1 NOT **69,34%**
- * Ở cùng nhiệt độ 27°C mạch 3 cổng NOT ghép công suất tiêu thụ nhiều hơn 1 cổng NOT **78,995%**

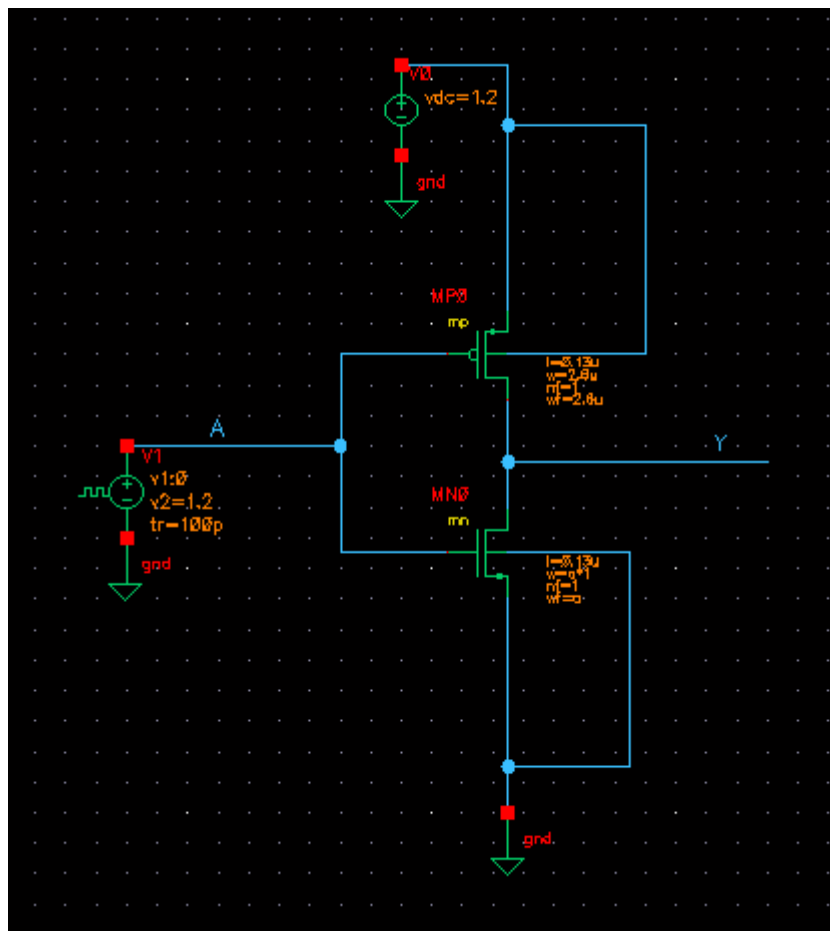
1.3. Kết luận

+ Thông số cài đặt:

- Ngõ vào A nối với nguồn có điện áp được đặt bằng biến $V_{in} = v$
- Ngõ ra Y
- Chân V_{DD} nối với nguồn $V_{DC} = 1.2 V$
- Chân V_{SS} ta nối đất



Hình 1.27. Tạo biến cho V_{in}



Hình 1.28. Sơ đồ mạch

+ Thiết lập chế độ mô phỏng DC, cho biến v chạy từ 0 đến 1.2: Analyses → Choose → DC → Design variable → Nhập tên biến → Bắt đầu và kết thúc:

Choosing Analyses -- Virtuoso® Analog Des

OK Cancel Defaults Apply Help

Analysis

<input type="checkbox"/> tran	<input checked="" type="checkbox"/> dc	<input type="checkbox"/> ac	<input type="checkbox"/> noise
<input type="checkbox"/> xf	<input type="checkbox"/> sens	<input type="checkbox"/> dcmatch	<input type="checkbox"/> stb
<input type="checkbox"/> pz	<input type="checkbox"/> sp	<input type="checkbox"/> envlp	<input type="checkbox"/> pss
<input type="checkbox"/> pac	<input type="checkbox"/> pnoise	<input type="checkbox"/> pxf	<input type="checkbox"/> psp
<input type="checkbox"/> qpss	<input type="checkbox"/> qpac	<input type="checkbox"/> qpnoise	<input type="checkbox"/> qpxf
<input type="checkbox"/> qpss	<input type="checkbox"/> hb	<input type="checkbox"/> hbac	<input type="checkbox"/> hbnoise
<input type="checkbox"/> measure			

DC Analysis

Save DC Operating Point ☐

Sweep Variable

☐ Temperature

☒ Design Variable Variable Name

☐ Component Parameter

☐ Model Parameter

Select Design Variable

Sweep Range

☒ Start-Stop Start Stop

☐ Center-Span

Sweep Type

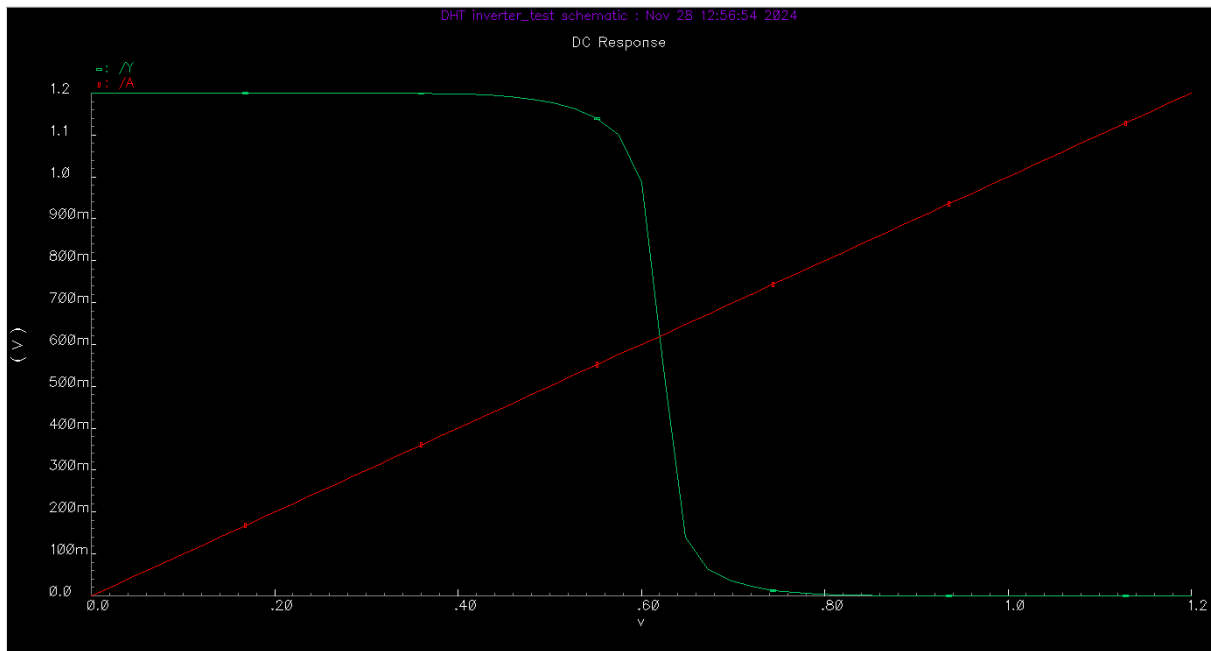
Automatic

Add Specific Points ☐

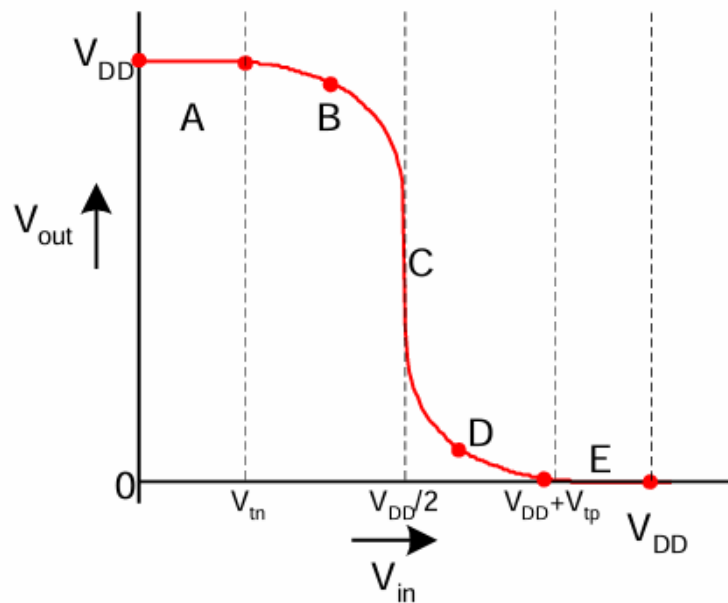
Enabled ☒

Options...

Hình 1.29. Thiết lập cho biến v chạy từ 0 đến 1.2



Hình 1.30. Đặc tuyến DC



Hình 1.31. Các vùng pmos, cmos hoạt động trên đặc tuyến DC

+ Đặc tuyến DC:

Vùng 0 đến A: 0 - 0.167

Vùng A đến B: 0.167 - 0.355

Vùng B đến C: 0.355 – 0.554

Vùng C đến D: 0.554 -0.620

Vùng D đến E: 0.620-0.744

Vùng E đến G: 0.744-0.933

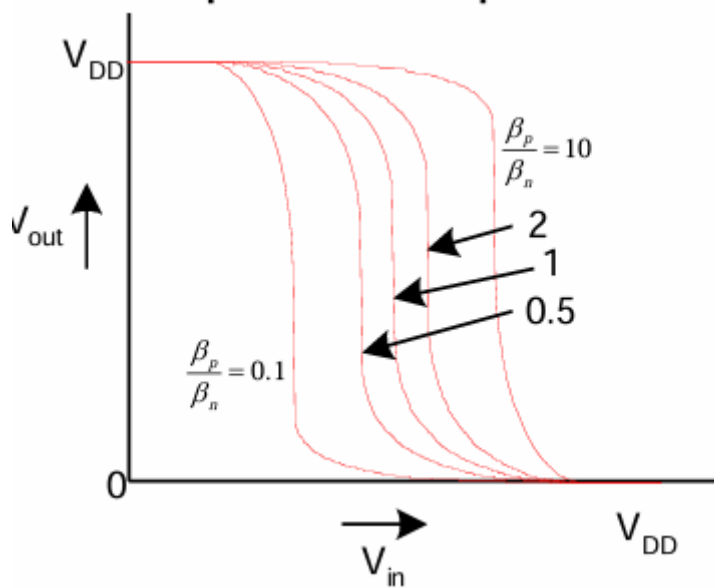
Bảng 1.6. Bảng mô tả vùng từng hoạt động

Vùng	Trạng thái nMOS	Trạng thái pMOS	Mô tả hoạt động
A	Cutoff	Linear	V_{in} thấp (gần 0 V): NMOS tắt hoàn toàn, PMOS dẫn mạnh trong vùng tuyến tính. $V_{out} \approx V_{DD}$.
B	Saturation	Linear	V_{in} tăng nhưng chưa đủ lớn: NMOS bắt đầu dẫn ở vùng bão hòa, PMOS vẫn trong vùng tuyến tính.
C	Saturation	Saturation	Cả NMOS và PMOS đều hoạt động trong vùng bão hòa. Đây là vùng chuyển đổi của inverter. V_{out} giảm nhanh.
D	Linear	Saturation	V_{in} tiếp tục tăng: NMOS vào vùng tuyến tính, PMOS bắt đầu tắt dần trong vùng bão hòa.
E	Linear	Cutoff	V_{in} gần V_{DD} : NMOS dẫn mạnh trong vùng tuyến tính, PMOS tắt hoàn toàn. $V_{out} \approx 0$.

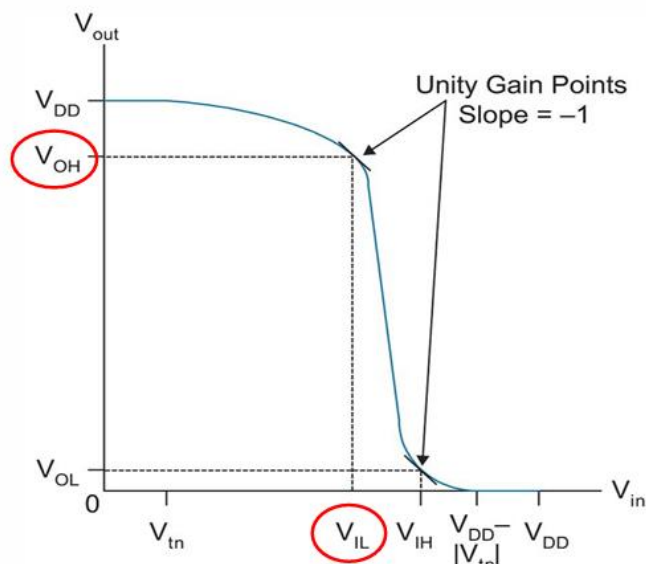
+ Ở đây tỉ lệ là $\mu_p/\mu_n = 0,5$ và $W_p/W_n = 2 \Rightarrow \beta_p/\beta_n = 1$

+ Trong công nghệ CMOS tiêu chuẩn, do $\mu_n \approx 2\mu_p$, nên để cân bằng giữa PMOS và NMOS, thường thiết kế $(W/L)_p$ lớn hơn $(W/L)_n$ để bù lại sự chênh lệch về độ linh động.

- $\beta_p/\beta_n > 1$: Điểm chuyển mạch di chuyển về phía trái, tăng vùng logic mức thấp (low noise margin).
- $\beta_p/\beta_n < 1$: Điểm chuyển mạch di chuyển về phía phải, tăng vùng logic mức cao (high noise margin).
- $\beta_p/\beta_n = 1$: đặc tuyến DC của CMOS đối xứng quanh $V_{DD}/2$, Điểm chuyển mạch xảy ra tại $V_{DD}/2$, giúp mạch đạt hiệu suất tối ưu với độ cân bằng cao giữa **tốc độ chuyển mạch** và **độ nhạy**.



- Hệ số dốc (eslope) biểu thị độ sắc nét của vùng chuyển mạch (transition region).
- Độ dốc càng cao, mạch càng nhạy và khả năng chống nhiễu càng tốt.
- Nếu $\beta_p/\beta_n \neq 1$, hệ số dốc giảm đi, làm suy giảm khả năng phân biệt giữa logic mức "0" và mức "1".



Bảng 1.6. Bảng DC, AC, đặc tính truyền đạt

Loại tín hiệu	DC	AC	Đặc tuyến truyền đạt
---------------	----	----	----------------------

Điện áp vào (V_{in})	Không áp dụng	Tín hiệu xoay chiều	Tín hiệu ra bằng điện áp đối với trạng thái không nghịch đảo và ngược lại với trạng thái nghịch đảo
Điện áp ra (V_{out})	Không áp dụng	Tín hiệu xoay chiều	Tín hiệu ngõ ra bằng điện áp đối với trạng thái nghịch đảo và ngược lại với trạng thái không nghịch đảo

+ Các thông số trên áp dụng cho cổng NOT (INVERTER) với đầu vào (input) là tín hiệu điện áp, đầu ra cũng là tín hiệu điện áp. Cổng NOT có chức năng nghịch đảo (Inverter) tín hiệu vào, nghĩa là nếu tín hiệu vào là điện áp thấp, thì tín hiệu ra là điện áp cao và ngược lại.

- **Đặc tuyến cổng NOT thay đổi theo giá trị $b = b_p / b_n$, chọn $b_p = 2.6u$ và vẽ 5 đường đặc tuyến với $b = 10, 2, 1, 0.5, 0.1$**

+ Lúc này ta cần tạo một biến là độ rộng (Width Per Finger) dành cho nMOS:

b	10	2	1	0.5	0.1	0
$nMOS(a)$	26u	5.2u	2.6u	1.3u	0.26u	0.00001u

+ **Mạch điện:** ta thay nguồn áp bởi nguồn xung để xem ảnh hưởng đến độ trễ, nguồn xung có thông số như hình bên dưới, nguồn áp cung cấp vẫn là 1.2V.

+ Thay đổi thông số (Width Per Finger) của cả hai transistor: pMOS thành 2.6u, nMOS là một biến a.

Edit Object Properties

OK Cancel Apply Defaults Previous Next Help

Apply To

Show ☐ system ☐ user ☒ CDF

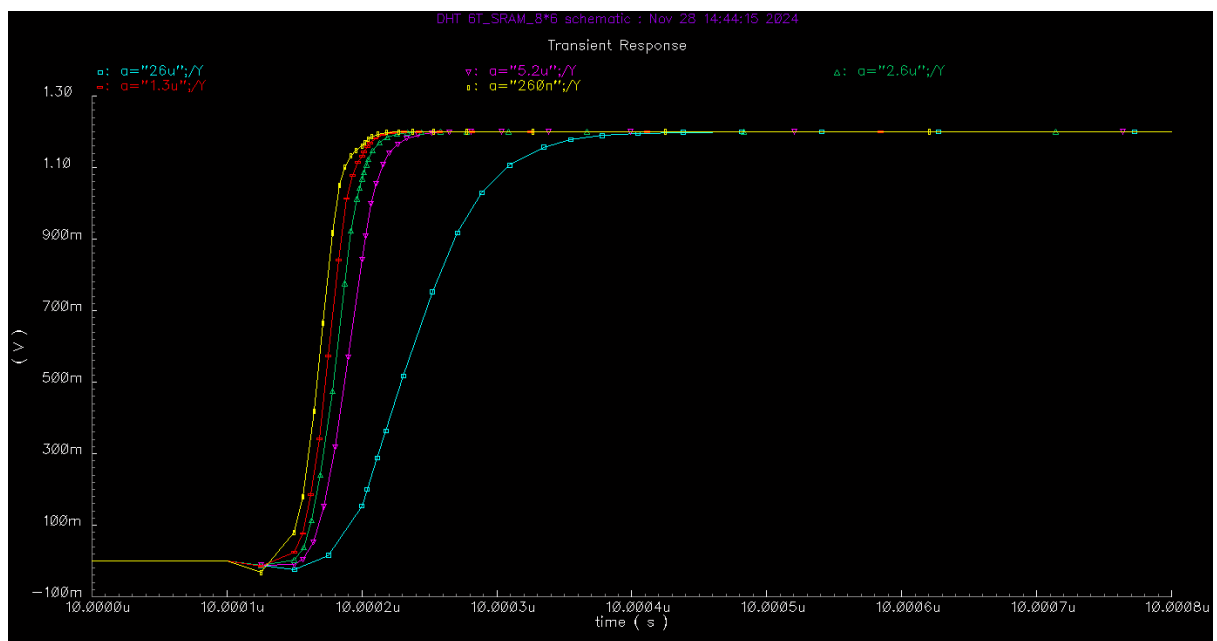
Property	Value	Display
Library Name	l13g_msrfS	off
Cell Name	mur	value
View Name	symbol	off
Instance Name	MN	value

CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	a	off
Number of Fingers	1	off
Width (M)	a*1	off
Multiplier		off
Source diffusion area	$\ast (1 + \text{int}((1)/2)) / (1)$	off
Drain diffusion area	$-\text{int}(((1)-1)/2)) / (1)$	off
Source diffusion periphery	$\ast (1 + \text{int}((1)/2)) / (1)$	off
Drain diffusion periphery	$-\text{int}(((1)-1)/2)) / (1)$	off
Distance from STI edge to Gate(r	0.40u	off
Distance from another STI edge b	0.40u	off
Distance between neighboring Ga	0.44u	off

+ Thay đổi giá trị biến a 6 lần, để vẽ 6 đồ thị một lúc: Tools → Parametric Analysis → Ad Specification → Range (nhấn 2 lần như vậy để tạo đc 6 đường).

+ Nhập các giá trị vào, Total Steps là 2 tức là vẽ hai đường với hai giá trị cho trước, Step control chọn Linear.

Parametric Analysis - spectre(11): DHT 6T_SRAM_8*6 schematic						Help	69
Tool Sweep Setup Analysis							
Sweep 1		Variable Name		Add Specification			
Range Type	From/To	From	26u	To	5.2u	Select	<input type="checkbox"/>
Step Control	Auto	Total Steps	100				
Range Type	From/To	From	2.6u	To	1.3u	Select	<input type="checkbox"/>
Step Control	Auto	Total Steps	100				
Range Type	From/To	From	0.0001u	To	0.26u	Select	<input type="checkbox"/>
Step Control	Auto	Total Steps	2				



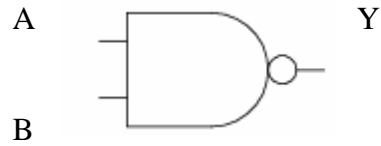
Hình 1.32. Đặc tuyến DC theo biến a (độ rộng của nmos)

→ Độ rộng càng lớn thì delay tỉ lệ thuận

CHƯƠNG 2. CỔNG NAND

2.1. Lý thuyết

2.1.1. Ký hiệu

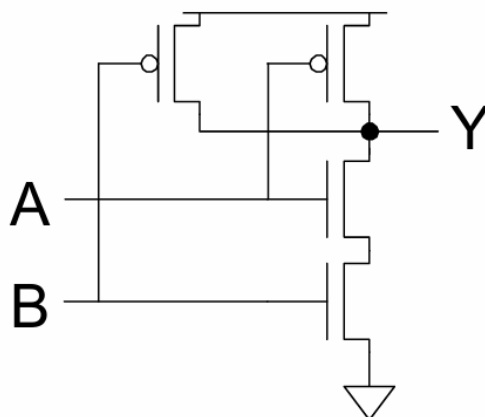


Hình 2.1. Ký hiệu cổng NAND

Bảng 2.1. Bảng trạng thái cổng NOT

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

2.1.2. Sơ đồ nguyên lí

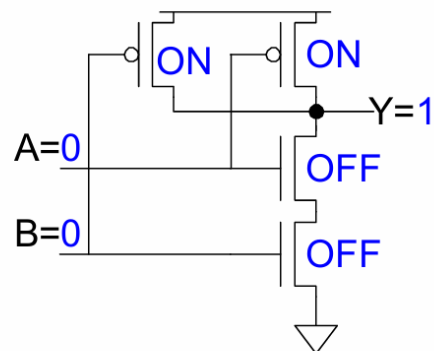
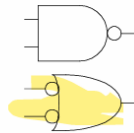


Hình 2.2. Sơ đồ cổng NAND CMOS

- Thông số W/L như ở cổng Inverter.

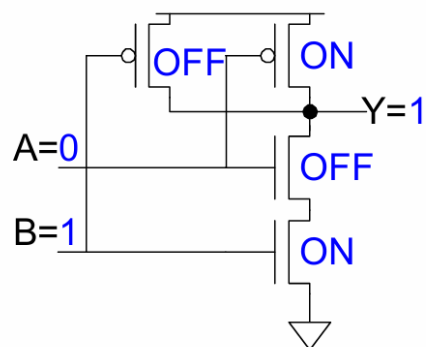
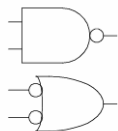
2.1.3. Nguyên lý hoạt động của CMOS NAND

A	B	Y
0	0	1
0	1	
1	0	
1	1	

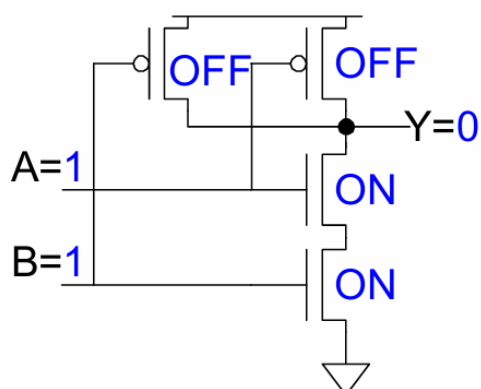
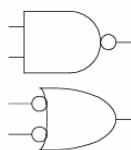


- Khi ngõ vào $A = 0, B = 0$ khi đó 2 pmos on, 2 nmos off \Rightarrow kéo lên nguồn \Rightarrow Ngõ ra $Y = 1$, tương tự các trường hợp còn lại.

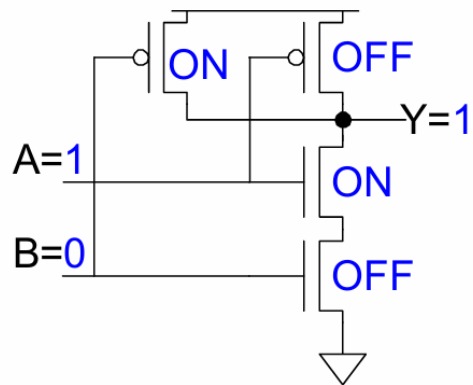
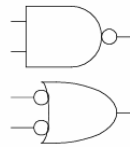
A	B	Y
0	0	1
0	1	1
1	0	
1	1	



A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

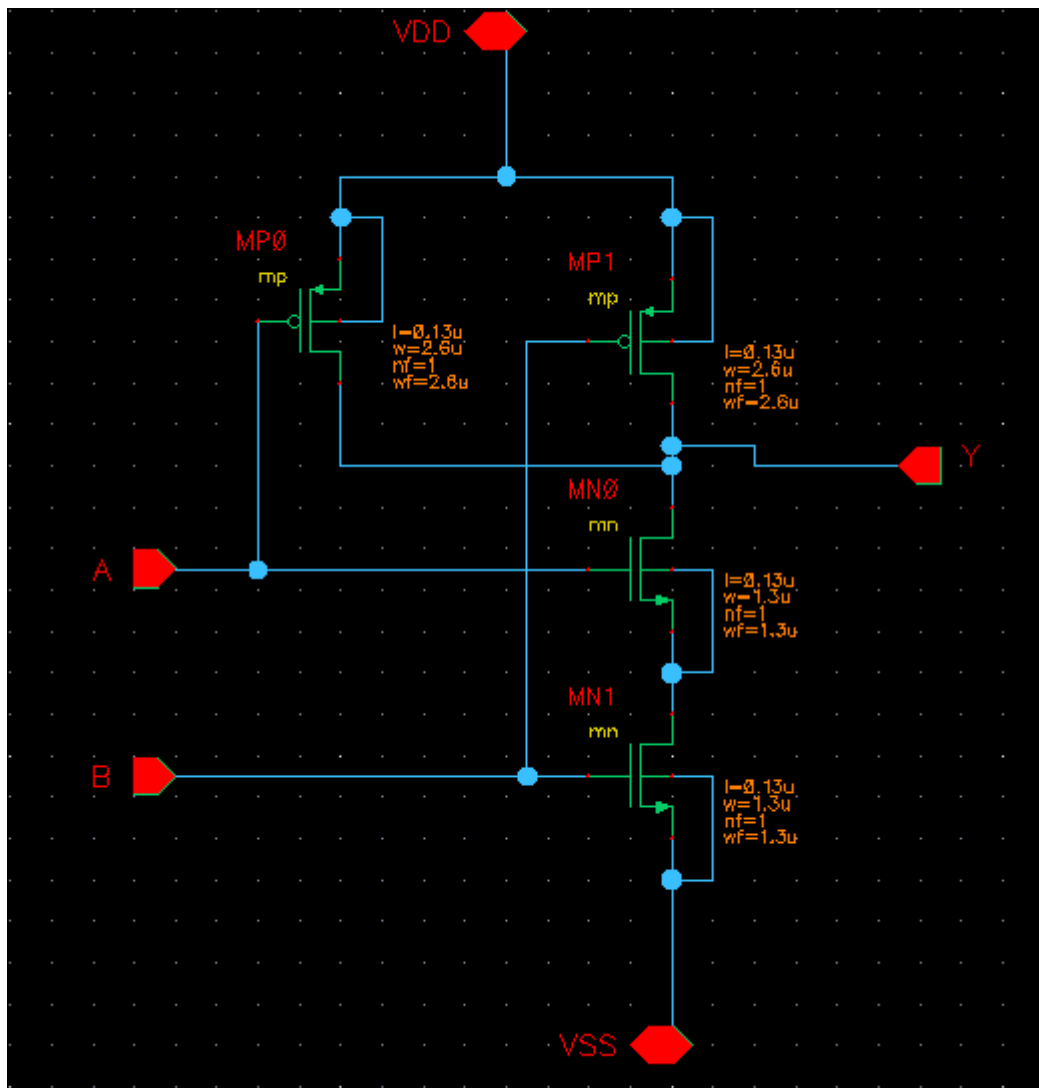


A	B	Y
0	0	1
0	1	1
1	0	1
1	1	



2.2. Mô phỏng

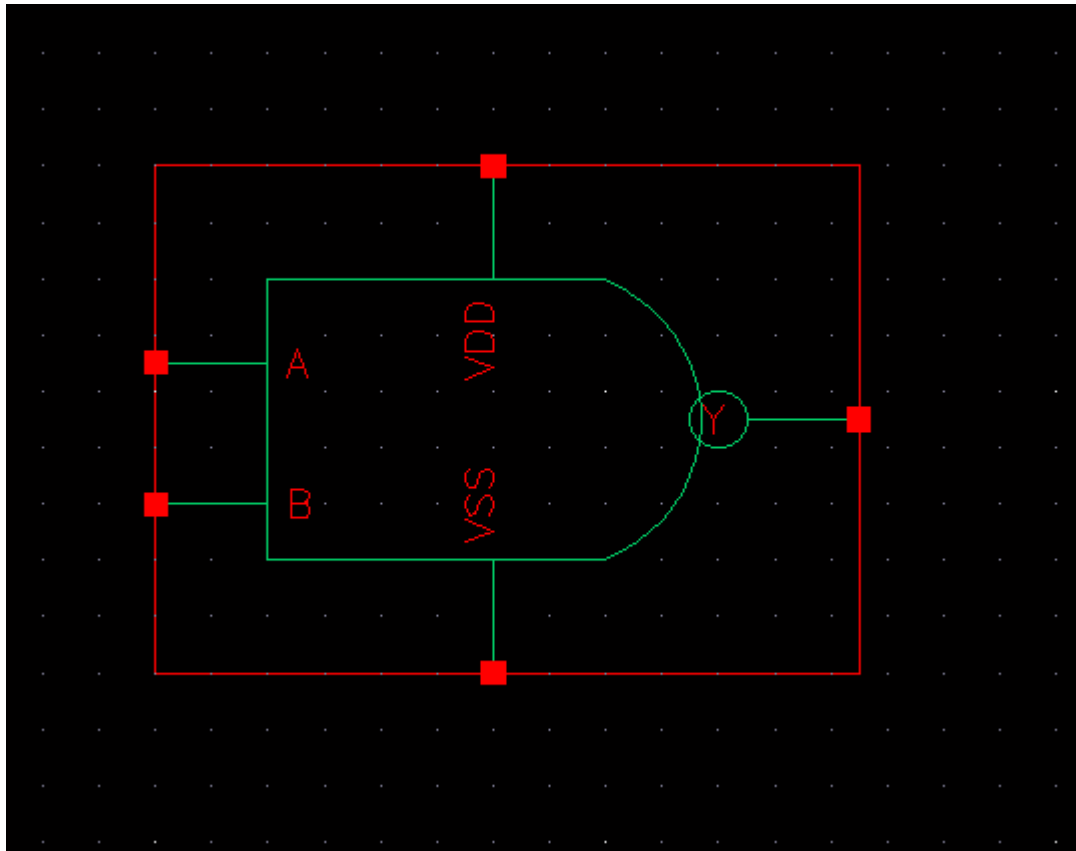
2.2.1. Sơ đồ nguyên lý



Hình 2.3. Schematic của cổng NAND trên Cadence

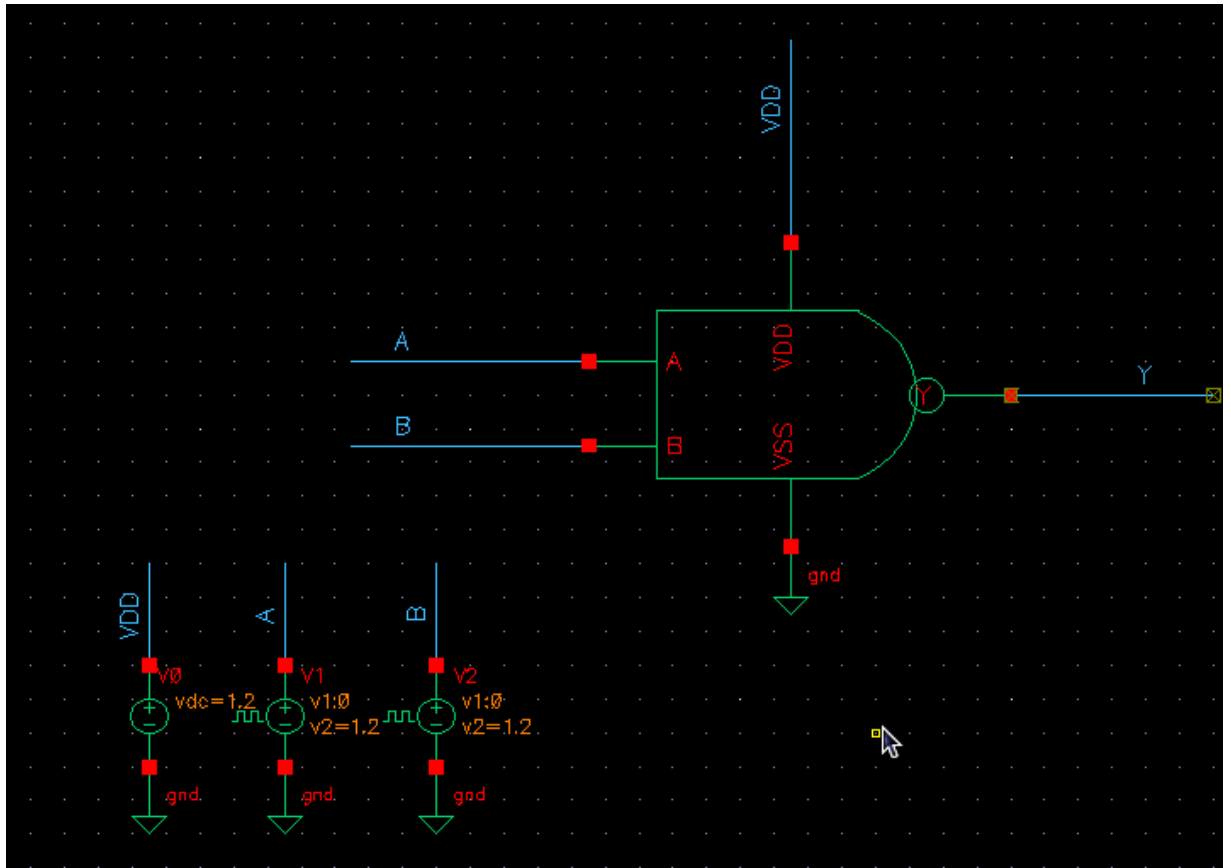
- Bảng thông số transistor (W, L, nhiệt độ) tương tự như ở cổng inverter.

2.2.2. Đóng gói ký hiệu



Hình 2.4. Symbol cổng NAND

- Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse}):



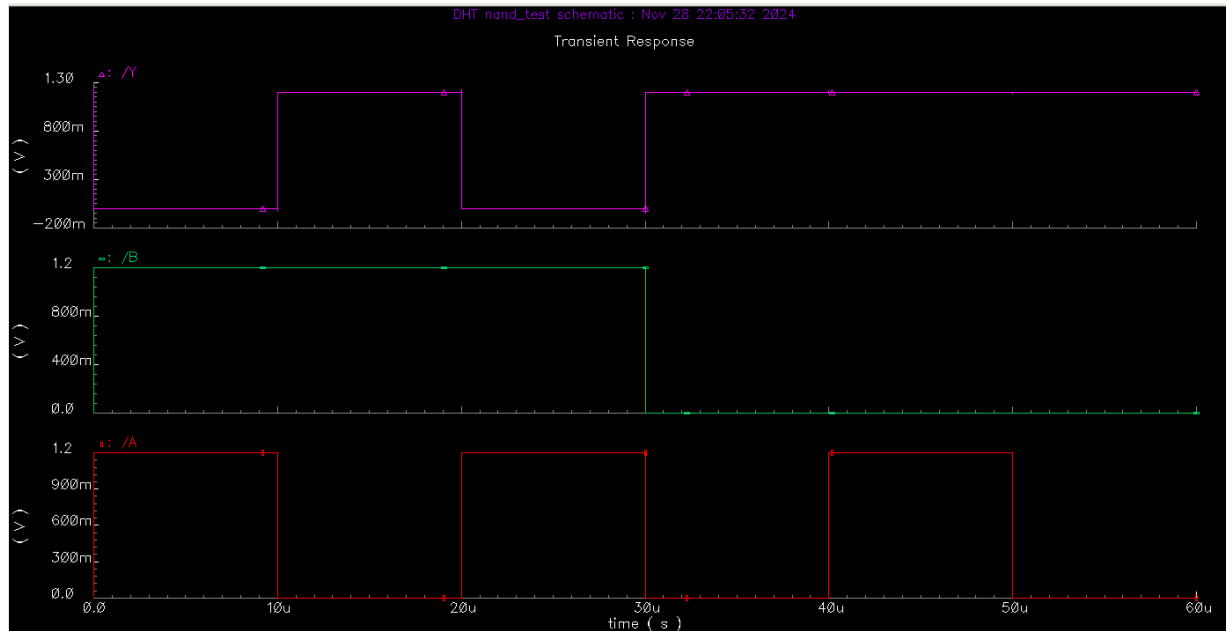
Hình 2.5. Mạch kiểm tra cổng NAND

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :
- V_{DD} nối với nguồn V_{DC} (V_0) = 1,2 V.
- V_{SS} ta nối đất.
- Chân ngõ vào A, B nối với nguồn V_{Pulse} (V_1 , V_2) với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.
 - + thời gian trễ: 0 s.
 - + thời gian xung cạnh lên: 100 ps.
 - + thời gian xung xuống: 100 ps.
 - + độ rộng xung: 10 us (tại A), 30 us (tại B).
 - + chu kỳ: 20 us (tại A), 60 us (tại B).

2.2.3. Dạng sóng

+ Kết quả mô phỏng:

- A: ngõ vào (màu lục).
- Y: ngõ ra (màu đỏ).



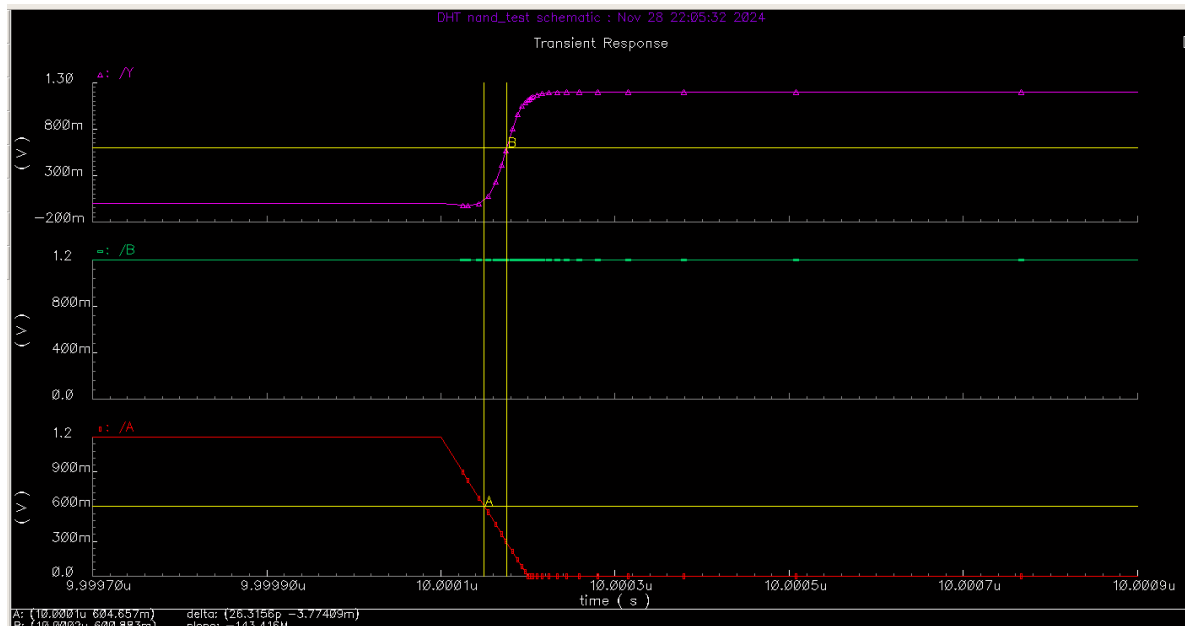
Hình 2.6. Kết quả mô phỏng

+ 0 us tới 10 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 0 V (mức 0).

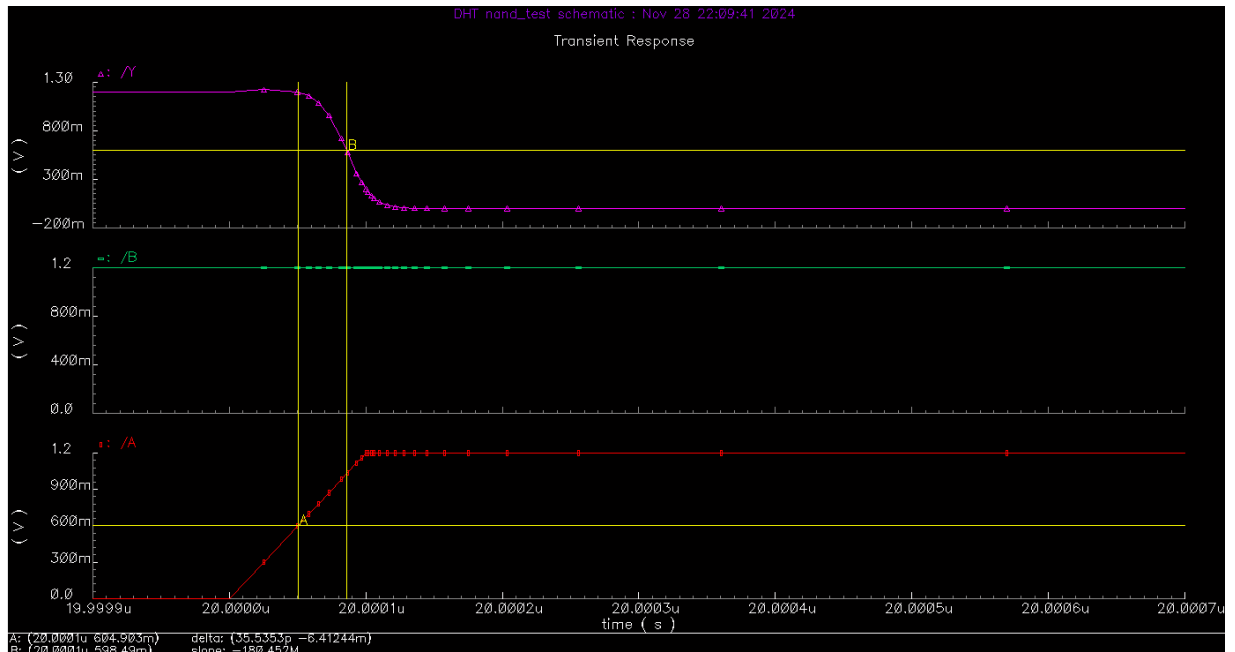
+ 10 us tới 20 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 1,2 V (mức 1).

+ 30 us tới 40 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 1,2 V (mức 1).

+ 40 us tới 50 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 1,2 V (mức 1).



Hình 2.7.. Thời gian trễ cạnh lên $tpdr$: 26.3156 ps



Hình 2.8. Thời gian trễ cạnh xuống $tpdf$: 35,5353 ps

➔ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

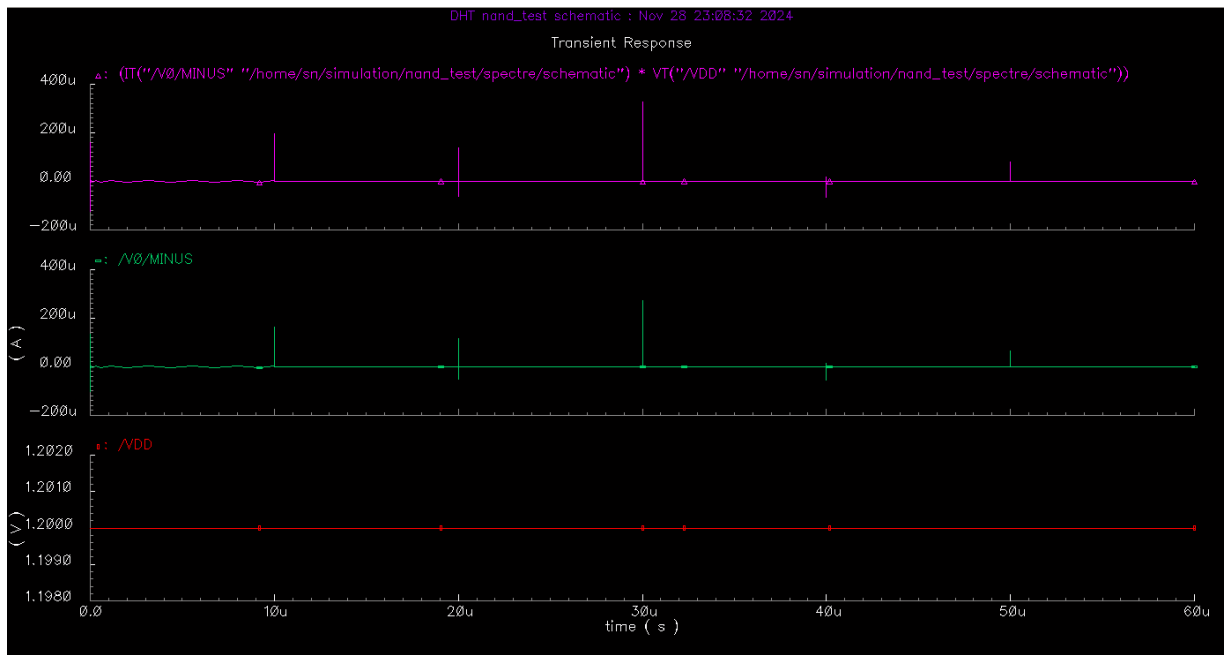
$$tpd = \frac{tpdf + tpdr}{2} = 30,92545 \text{ ps}$$

+ Trong đó:

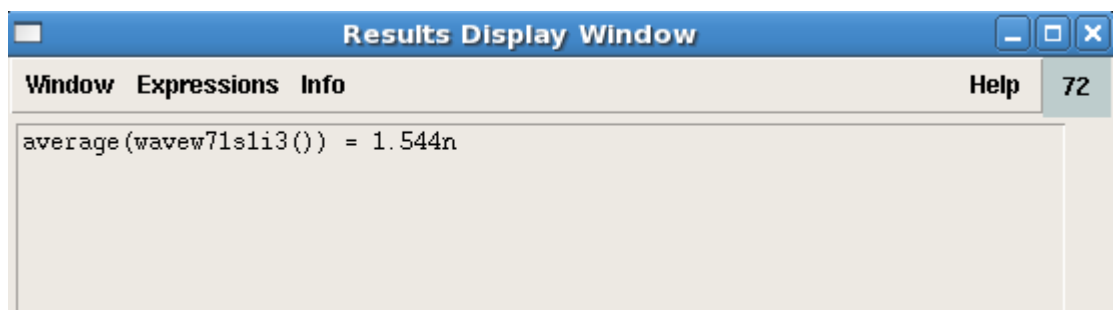
- $tpdr$ là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.

- T_{pdf} là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

2.2.4. Công suất của mạch



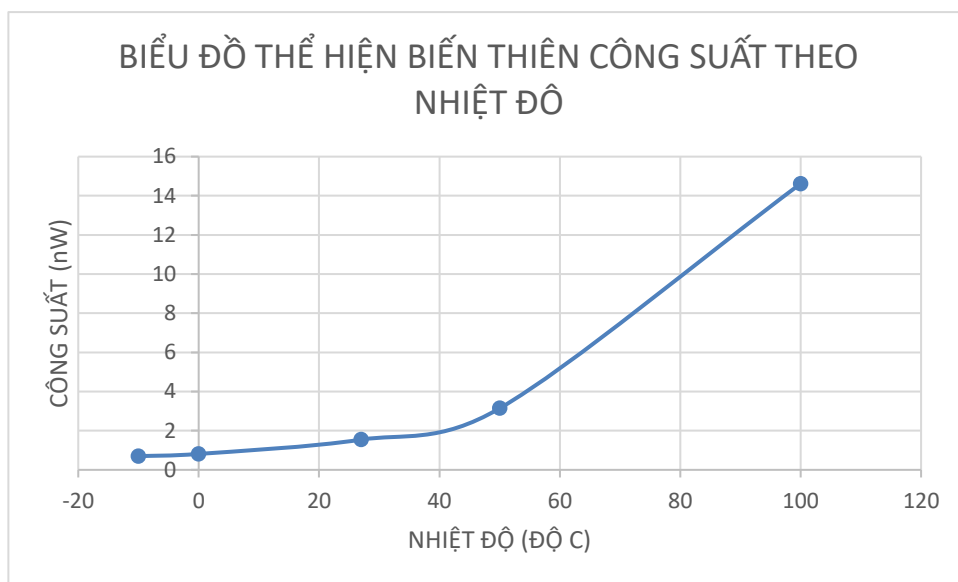
Hình 2.9. Mô phỏng công suất của mạch $P=U.I$



Hình 2.10. Công suất trung bình tại 27°C

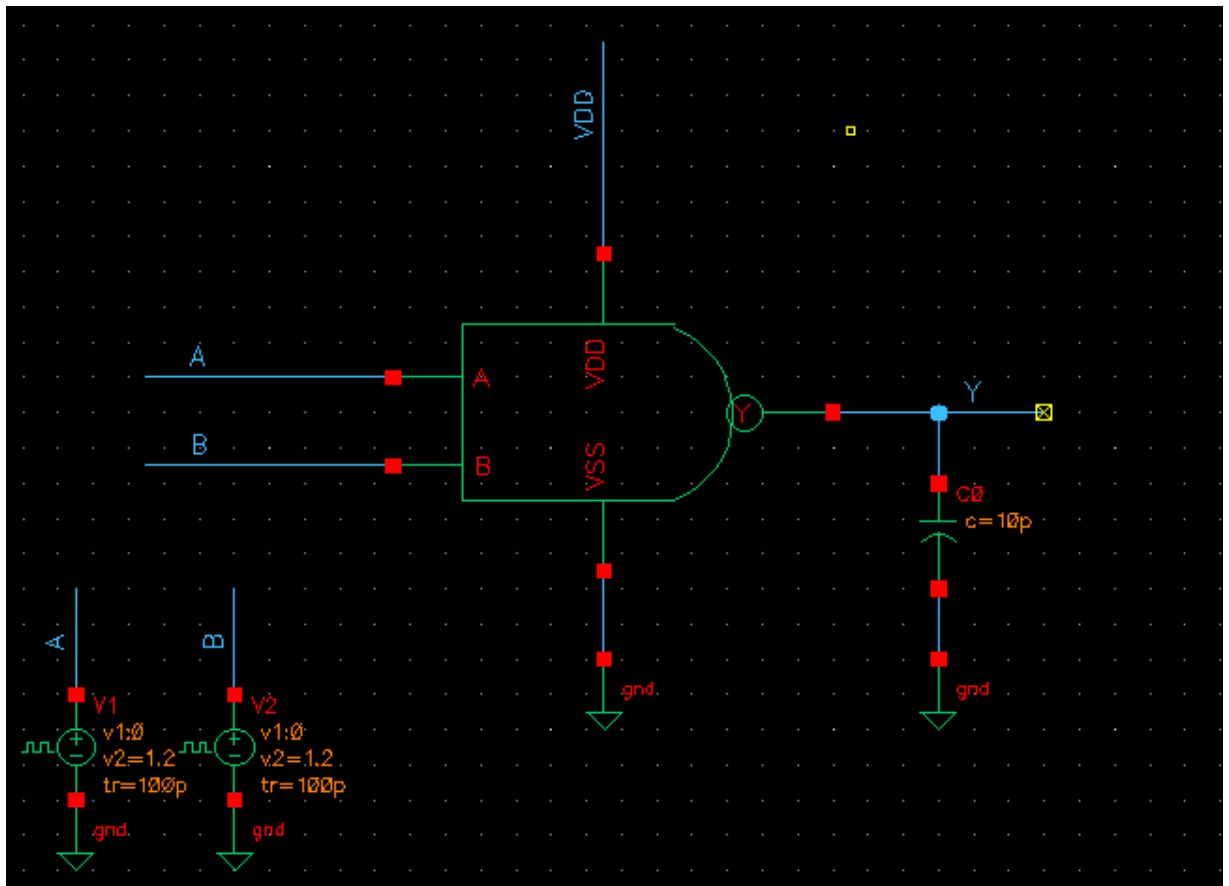
Bảng 2.2. Bảng thể hiện công suất theo nhiệt độ

Nhiệt độ (°C)	Công suất (nW)
-10	0,7002
0	0,8139
27	1,544
50	3,143
100	14,62

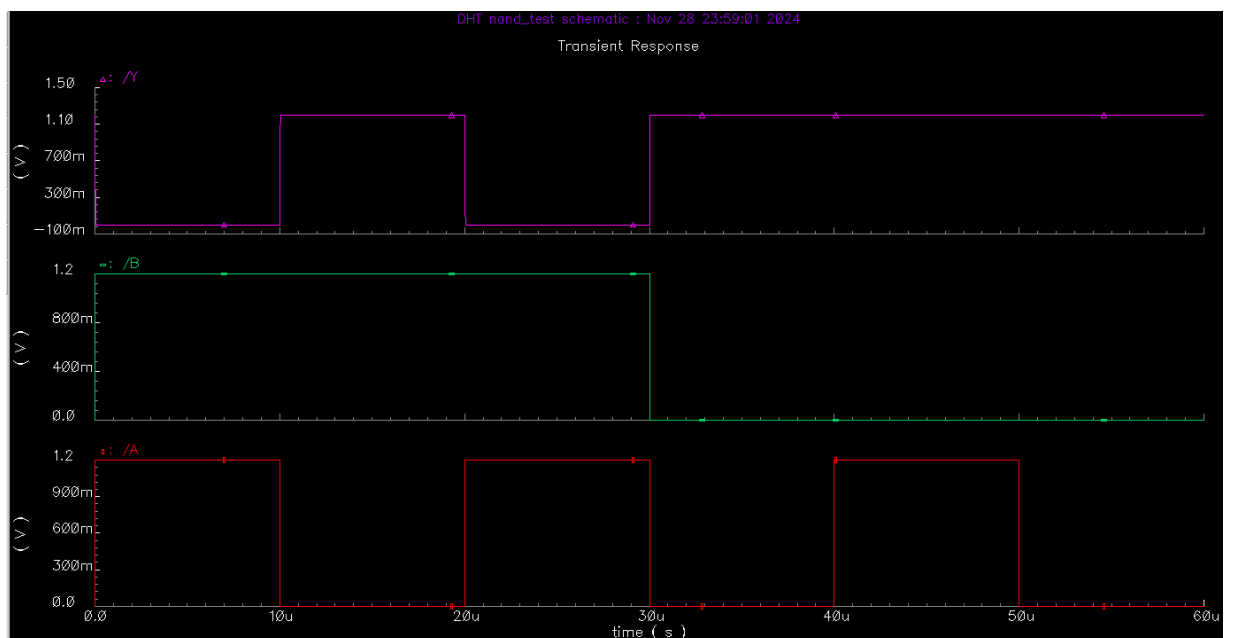


Hình 2.11. Biểu đồ thể hiện công suất theo nhiệt độ

2.2.5. Có tải CL

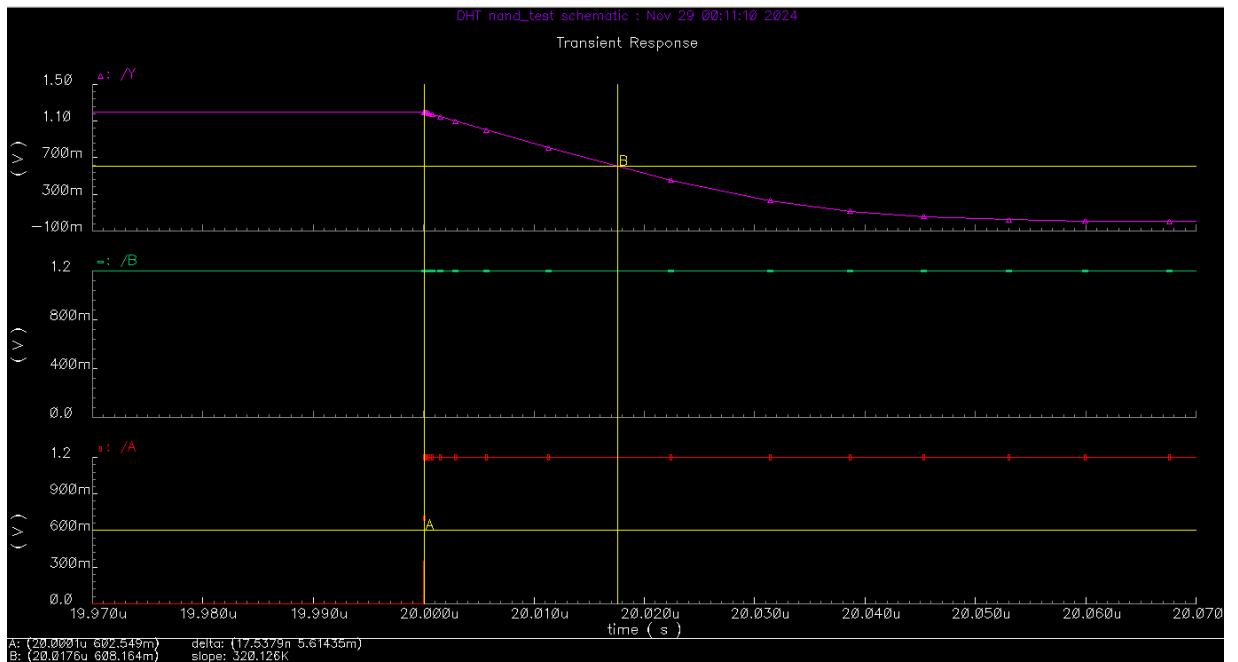


Hình 2.12. Mạch cổng NAND có tải $CL=10\text{pF}$

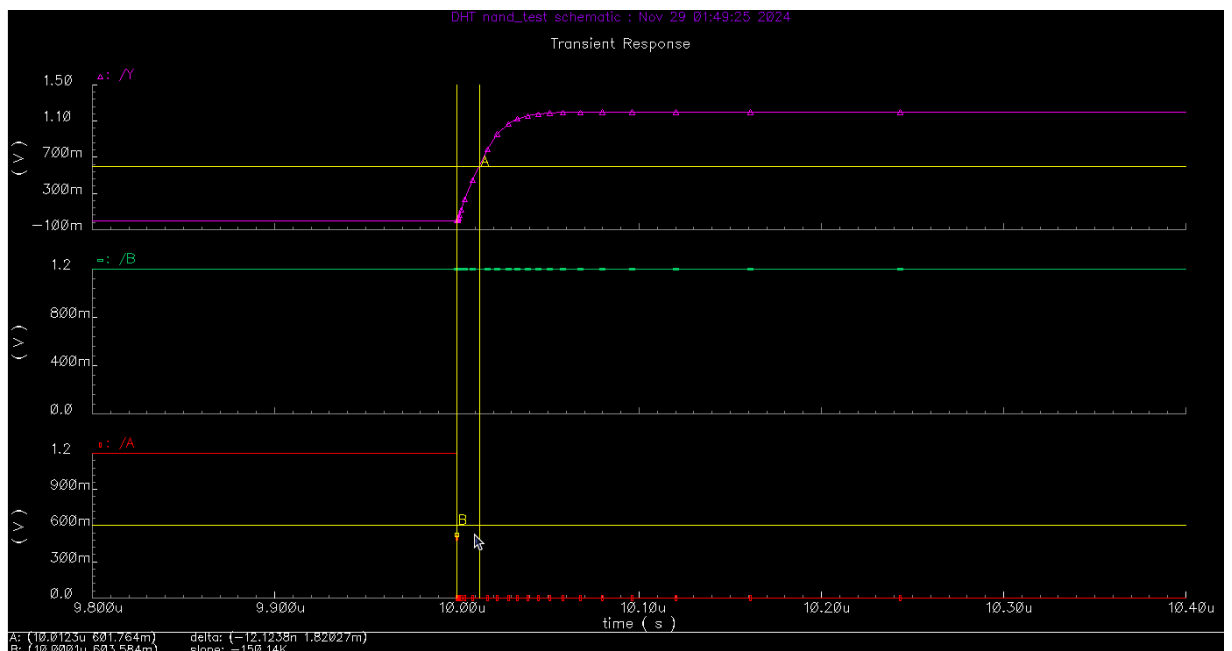


Hình 2.13. Dạng sóng input/output

+ Tương tự như khi dùng 1 cổng NAND ta tìm thời gian chuyển mạch và công suất mạch trên để so sánh:



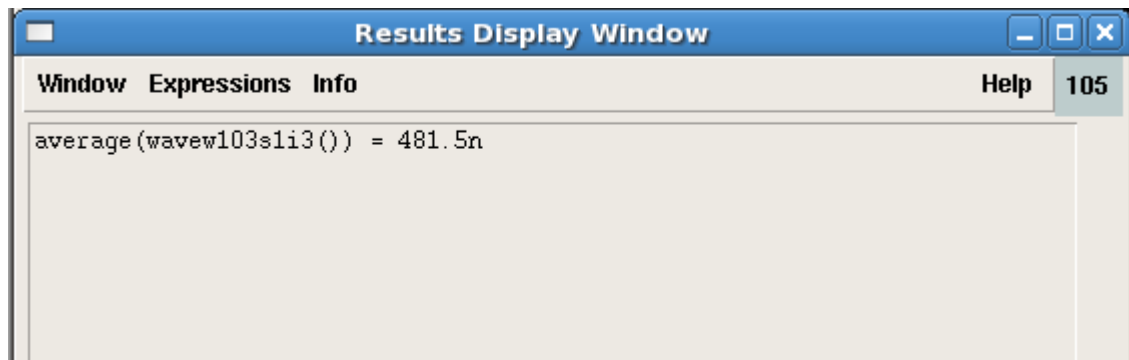
Hình 2.14. Cạnh lên



Hình 2.15. Cạnh xuống

+ Tương tự:

$$tpd = \frac{tpdf + tpdn}{2} = 14,83085 \text{ ns}$$



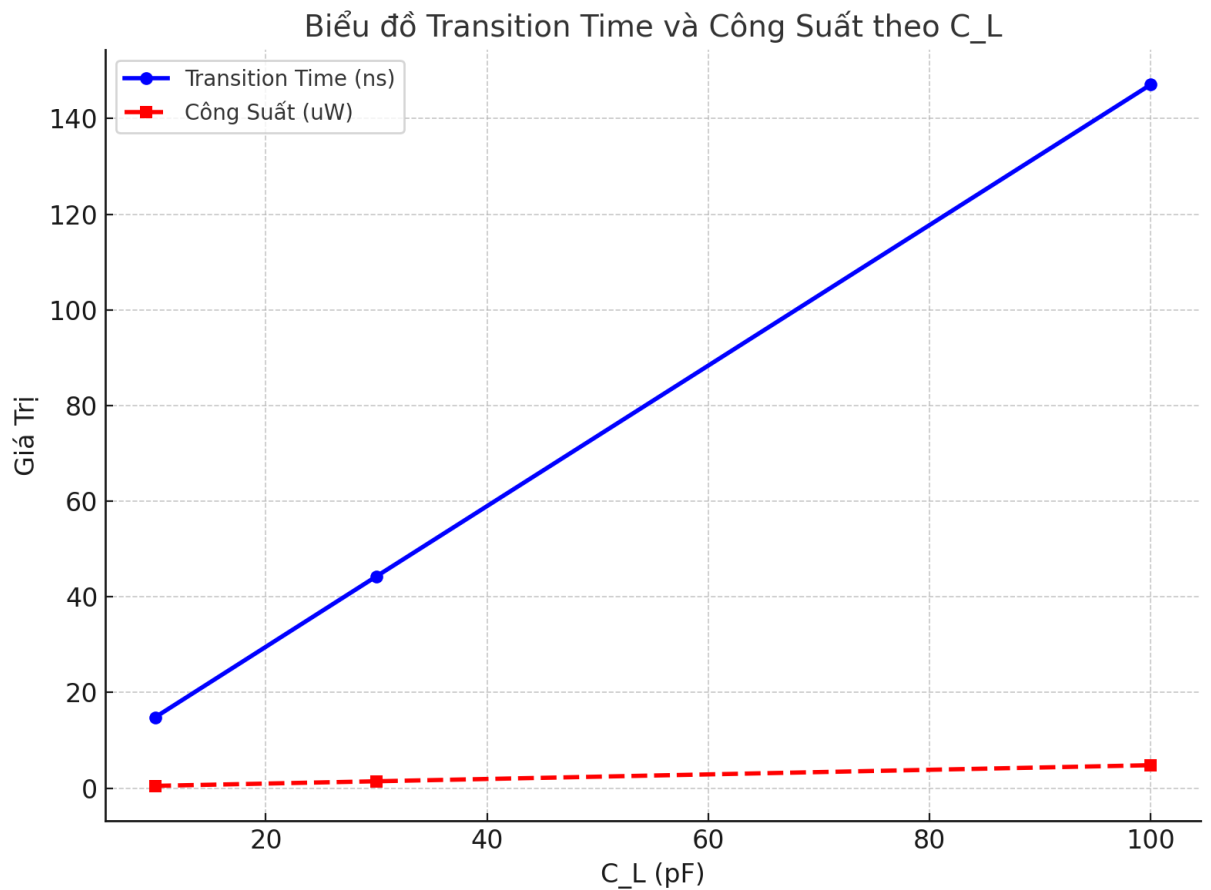
Hình 2.16. Công suất trung bình

Kết quả so sánh mạch với và 1 NAND:

- * Transition time của mạch chậm hơn so với 1 NAND **rất nhiều**
- * Ở cùng nhiệt độ 27°C mạch có công suất tiêu thụ lớn hơn 1 cổng NAND rất nhiều

Bảng 2.3. Bảng so sánh transition time và công suất trung bình khi gắn tải C_L, R_L ở các giá trị khác nhau

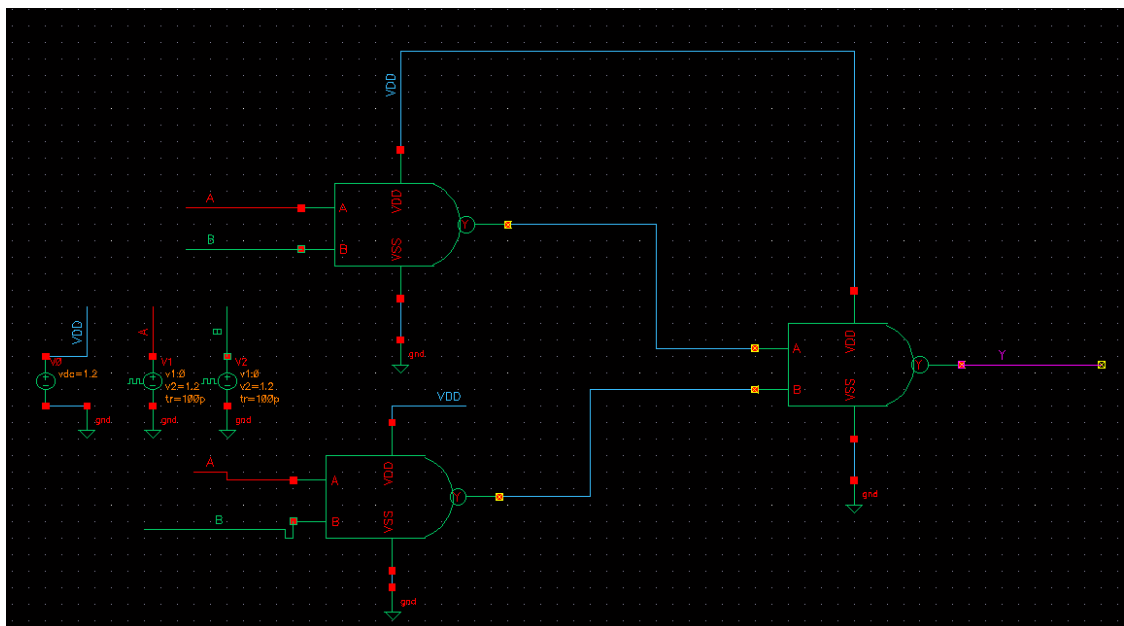
C_L (pF)	Transition time (ns)	Công suất (uW)
10	14,83085	0,4815
30	44,296	1,442
100	147,137	4,802



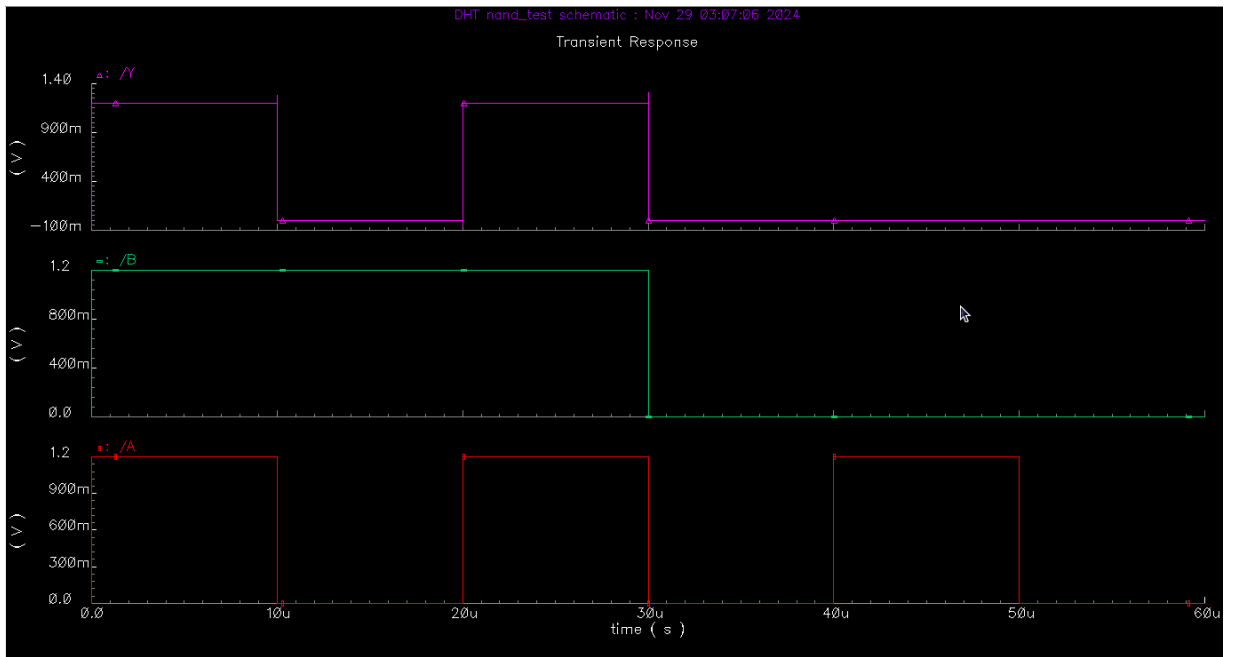
Hình 2.17. Đồ thị thể hiện transition time và delay khi thay đổi thông số giá trị C_L

2.2.6. Mạch ghép 3 cổng NAND

- So sánh với 1 NAND transition time và công suất:

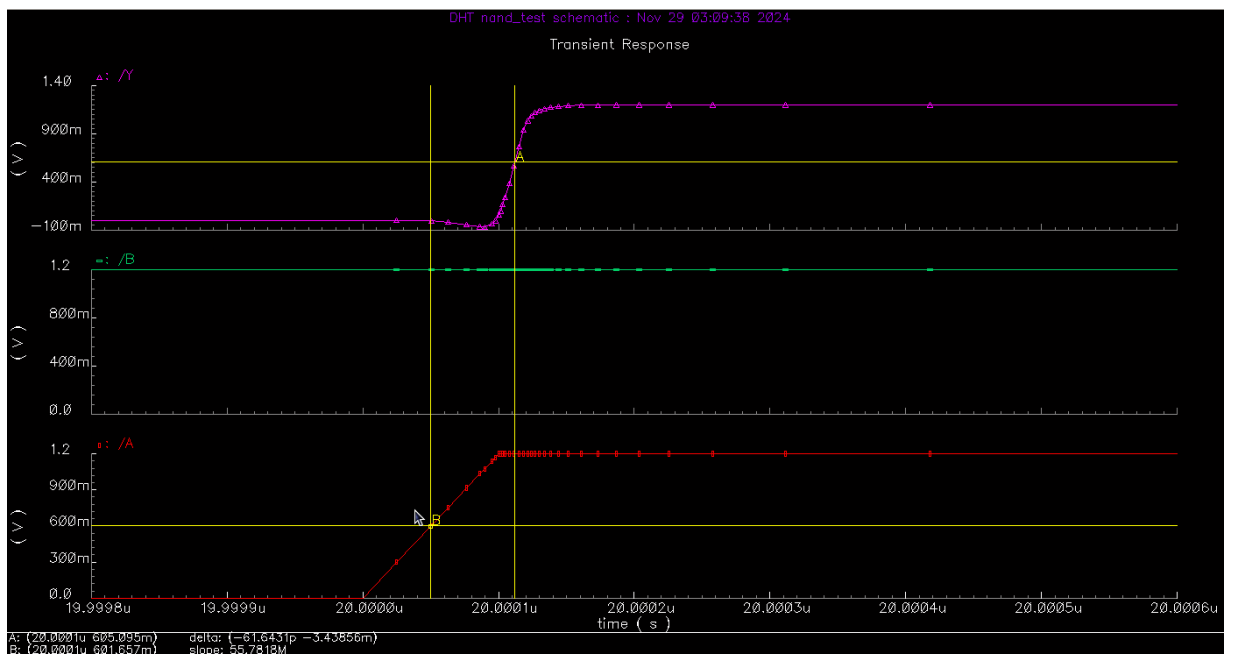


Hình 2.18. Mạch kết nối 3 cổng NAND

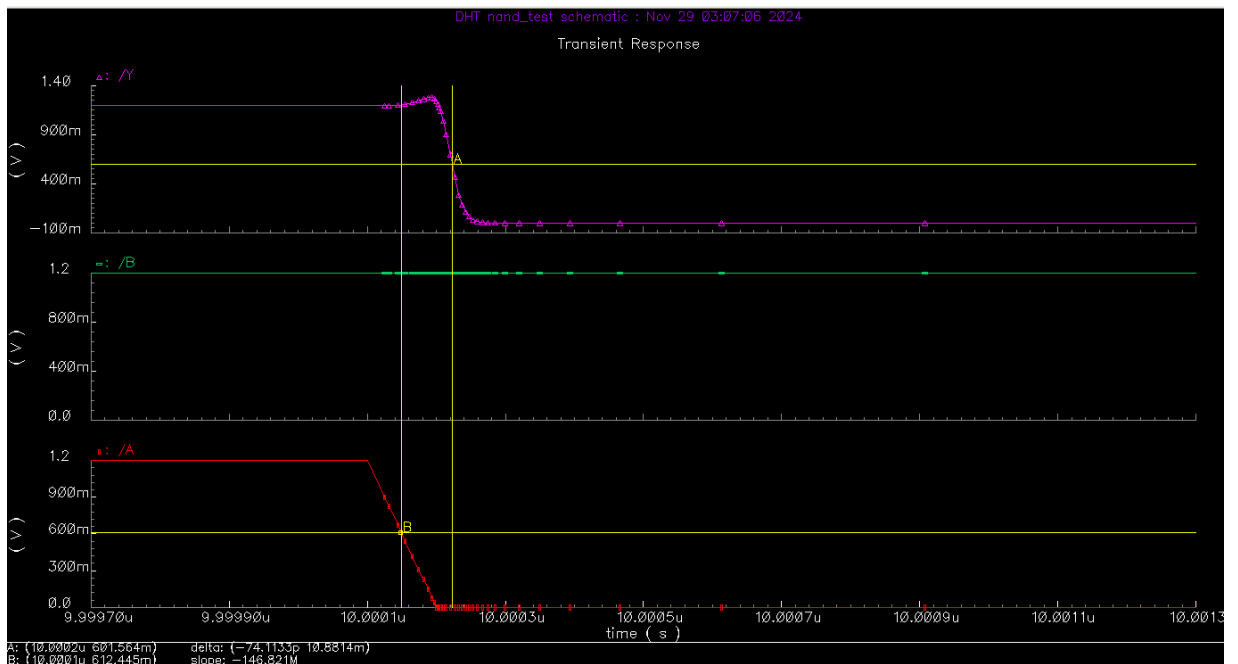


Hình 2.19. Kết quả mô phỏng

- Tương tự như khi dùng 1 cổng NAND ta tìm thời gian chuyển mạch và công suất mạch trên để so sánh:



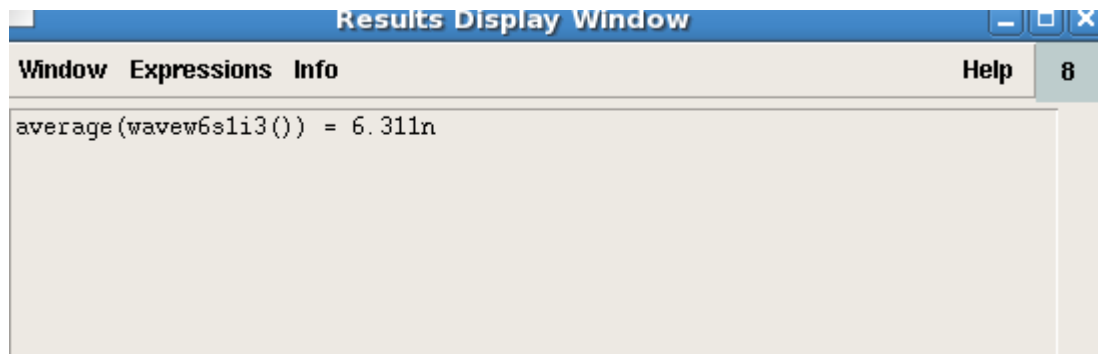
Hình 2.20. Cận lên



Hình 2.21. Cảnh xuống

+ Tương tự:

$$tpd = \frac{tpdf + tpd_r}{2} = 67,8792 \text{ ps}$$



Hình 2.22. Công suất trung bình mạch

Kết quả so sánh mạch với 1 NAND:

* Transition time của mạch ghép 3 cổng NAND chậm hơn so với 1 NAND **54,44%**

* Ở cùng nhiệt độ 27°C mạch 3 cổng NAND ghép công suất tiêu thụ nhiều hơn 1 cổng NAND **75,53478%**

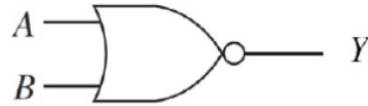
2.3. Kết luận

- Qua quá trình thiết kế, mô phỏng và đánh giá cổng logic NAND:
 - ➔ Cổng NAND được tạo thành từ 2 transistor p-Mos mắc song song kết hợp 2 transistor n-Mos mắc nối tiếp. Với đầu vào A,B và đầu ra Y thì cổng logic NAND có chức năng thực hiện phép nhân đảo bit 2 số nhị phân. Nghĩa là với 2 đầu vào mức cao khi qua cổng NAND ta sẽ cho kết quả đầu ra ở mức thấp và chỉ cần 1 trong 2 đầu vào ở mức thấp thì đầu ra sẽ ở mức cao.
- Khi mắc nối tiếp 3 cổng NAND với nhau thành 2 tầng thì kết quả mô phỏng cho thấy: khi 1 trong 2 tín hiệu đầu vào của cổng logic ở mức thấp thì sẽ cho ra kết quả đầu ra mức thấp, nếu cả 2 tín hiệu ngõ vào mức cao thì ra mức cao, điều này cho thấy khi ghép theo cách này thì sẽ tạo ra cổng AND. Và transition time và công suất tiêu thụ trung bình cũng trễ và tăng đáng kể so với cổng NAND lắp đơn (transition time trễ hơn 54,44% và công suất tiêu thụ tăng 75,53478%)

CHƯƠNG 3. CÔNG NOR

3.1. Lý thuyết

3.1.1. Ký hiệu

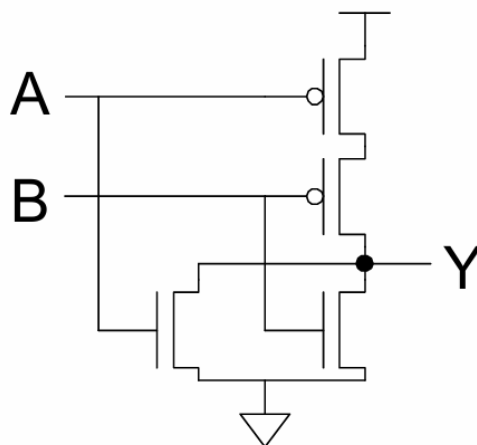


Hình 3.1. Ký hiệu cổng NOR

Bảng 3.1. Bảng trạng thái cổng NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

3.1.2. Sơ đồ nguyên lí

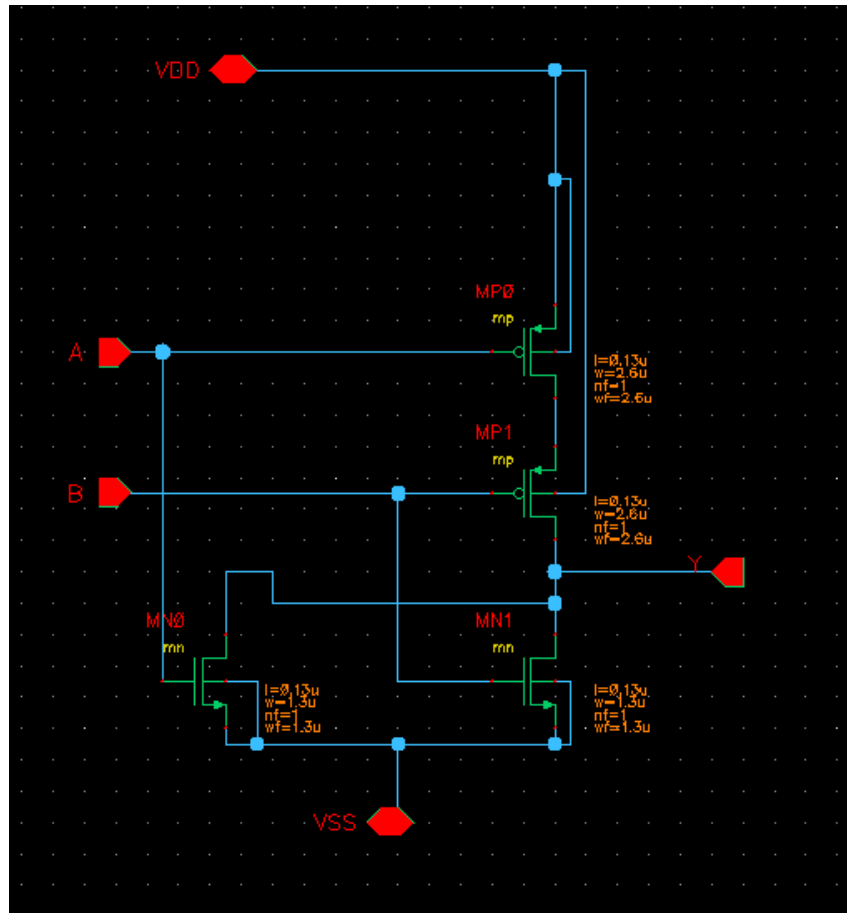


Hình 3.2. Sơ đồ cổng NOR CMOS

- Thông số W/L như ở cổng Inverter.

3.2. Mô phỏng

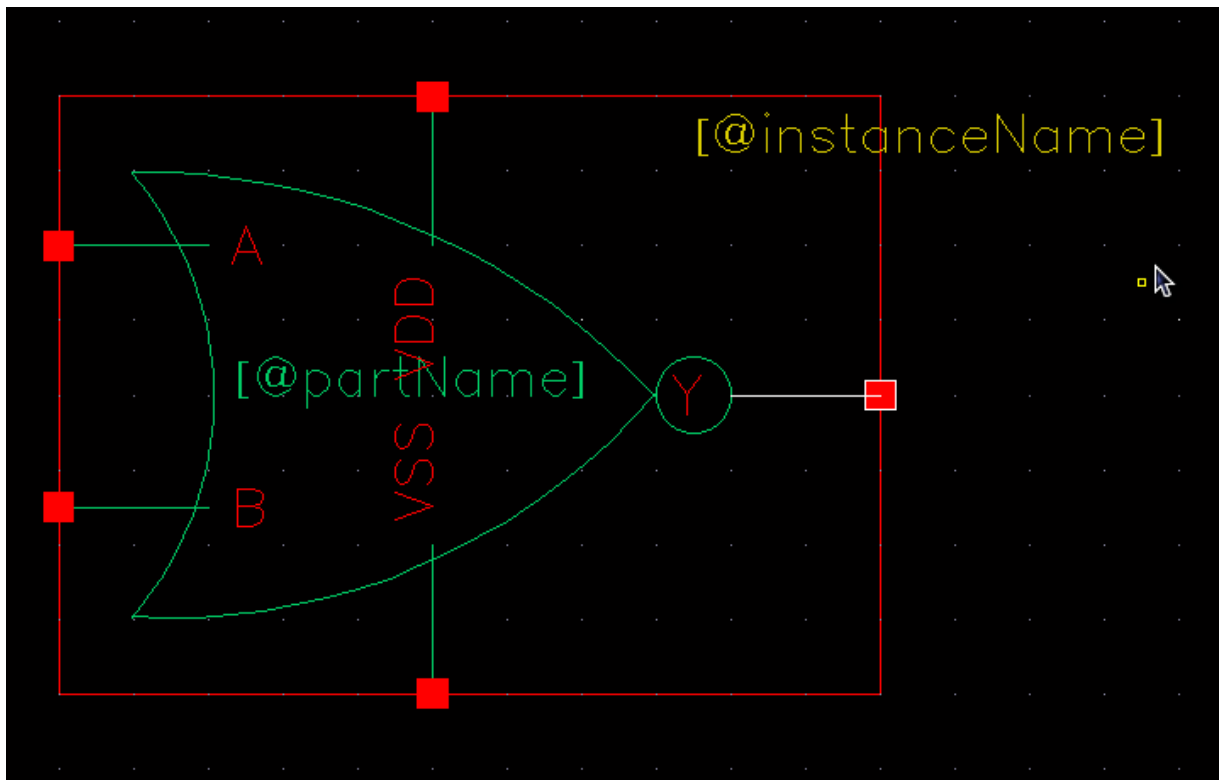
3.2.1. Sơ đồ nguyên lý



Hình 3.3. Schematic của cổng NOR trên Cadence

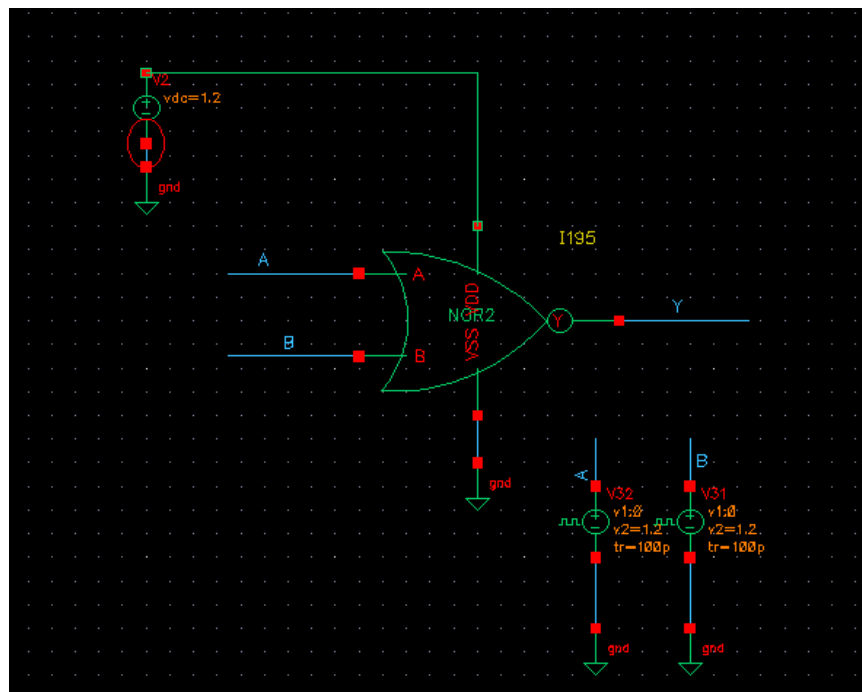
- Bảng thông số transistor (W, L, nhiệt độ) tương tự như ở cổng inverter.

3.2.2. Đóng gói ký hiệu



Hình 3.4. Symbol cổng NOR

- Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse}):



Hình 3.5. Mạch kiểm tra cổng NOR

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :

- V_{DD} nối với nguồn V_{DC} (V_0) = 1,2 V.

- V_{SS} ta nối đất.

- Chân ngõ vào A, B nối với nguồn V_{Pulse} (V_1 , V_2) với các thông số cài đặt như sau:

+ mức điện áp 1: 0 V.

+ mức điện áp 2: 1,2 V.

+ thời gian trễ: 0 s.

+ thời gian xung cạnh lên: 100 ps.

+ thời gian xung xuống: 100 ps.

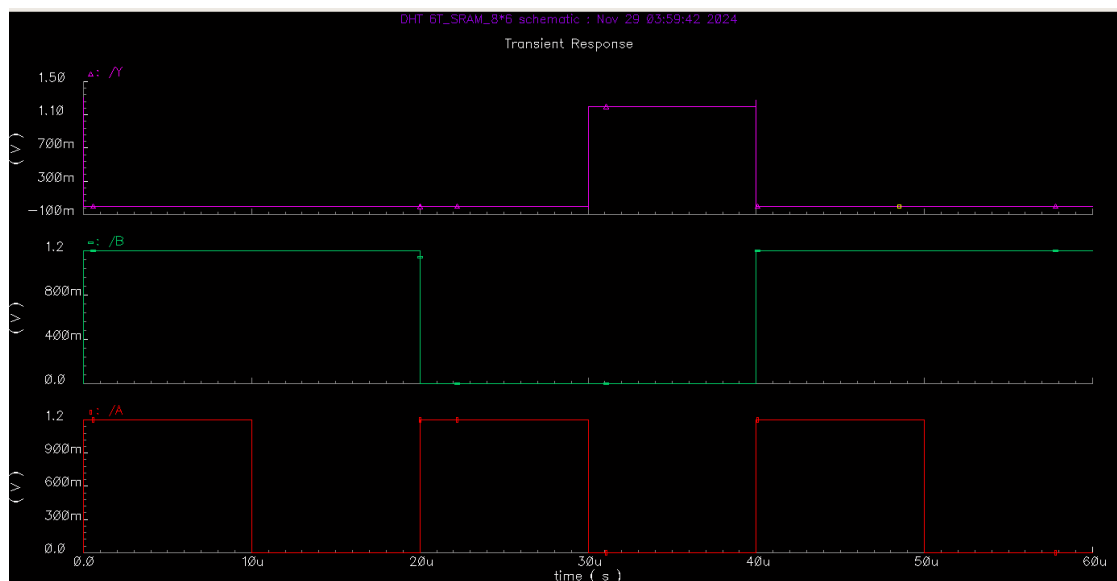
+ độ rộng xung: 10 us (tại A), 20 us (tại B).

+ chu kỳ: 20 us (tại A), 40 us (tại B).

3.2.3. Dạng sóng

+ Kết quả mô phỏng:

- A: ngõ vào (màu lục).
- Y: ngõ ra (màu đỏ).



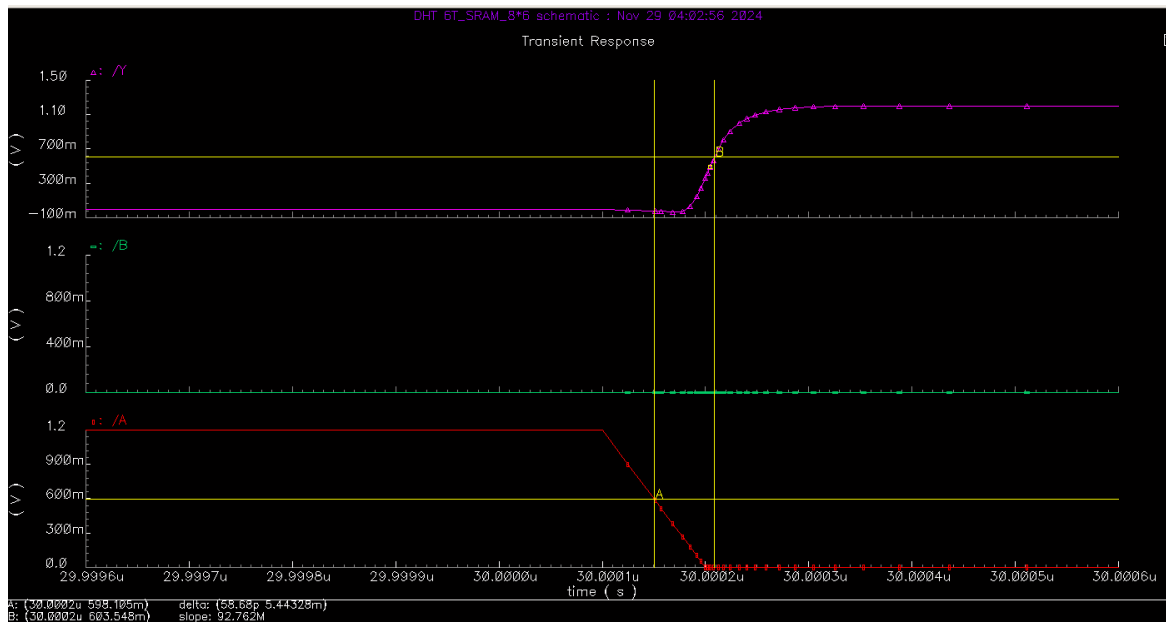
Hình 3.6. Kết quả mô phỏng

+ 0 us tới 10 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 0 V (mức 0).

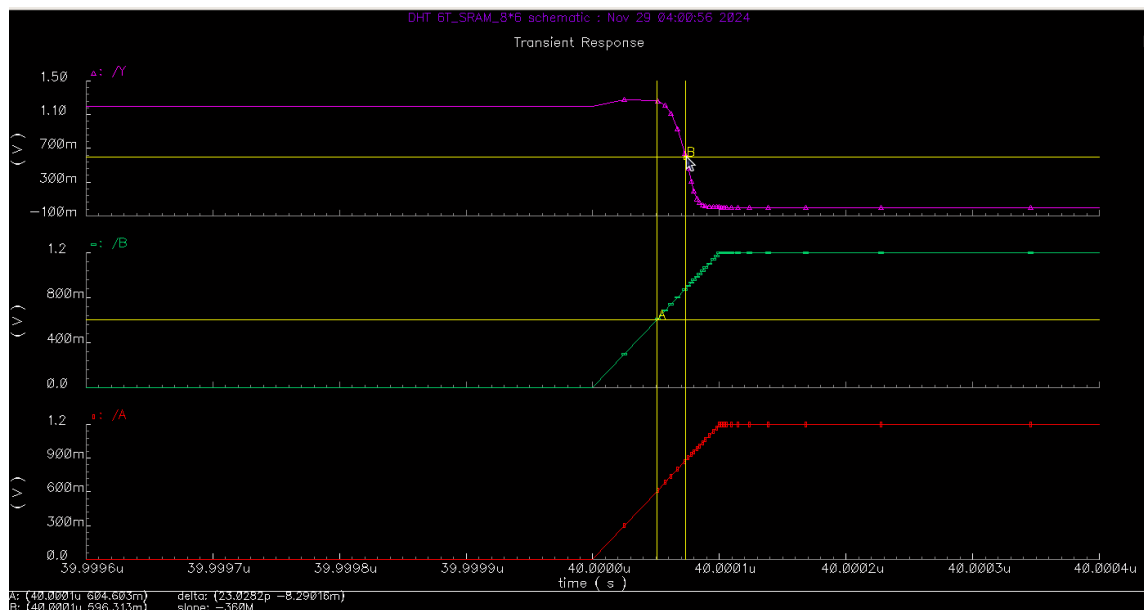
+ 10 us tới 20 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 1,2 V (mức 0).

+ 20 us tới 30 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 0 V (mức 0).

+ 30 us tới 40 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 1,2 V (mức 1).



Hình 3.7. Thời gian trễ cạnh lên t_{pdf}: 58,68 ps



Hình 3.8. Thời gian trễ cạnh xuống t_{pdf}: 23,0282 ps

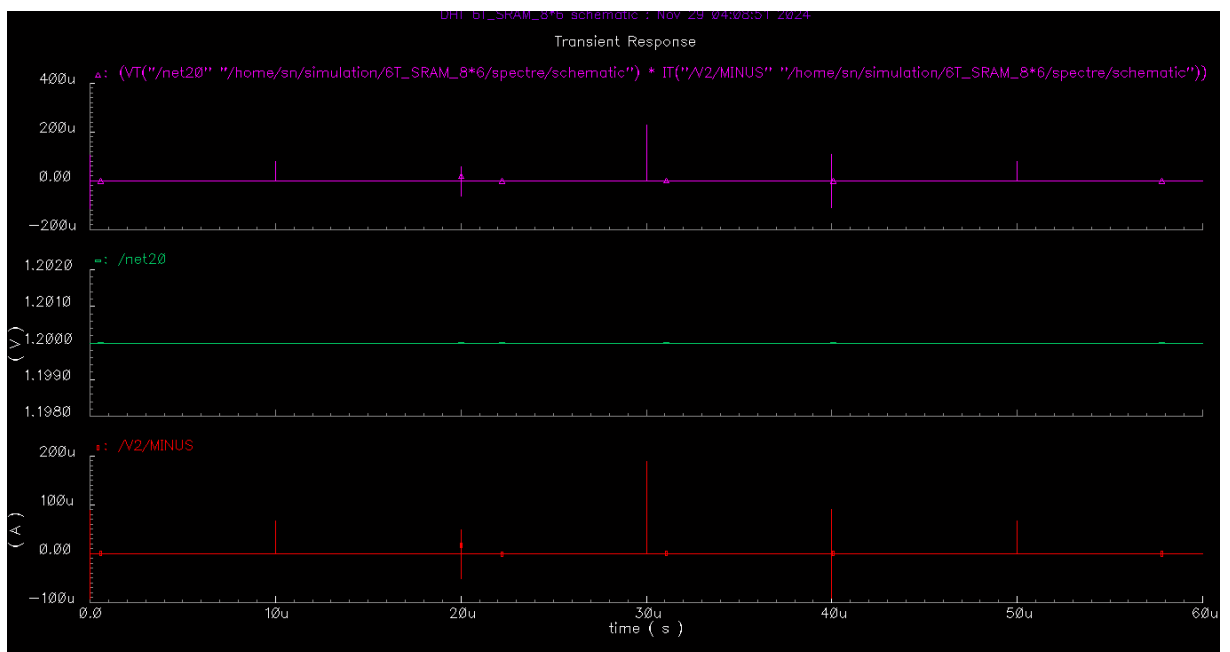
→ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

$$tpd = \frac{tpdf + tpdr}{2} = 40,8541 \text{ ps}$$

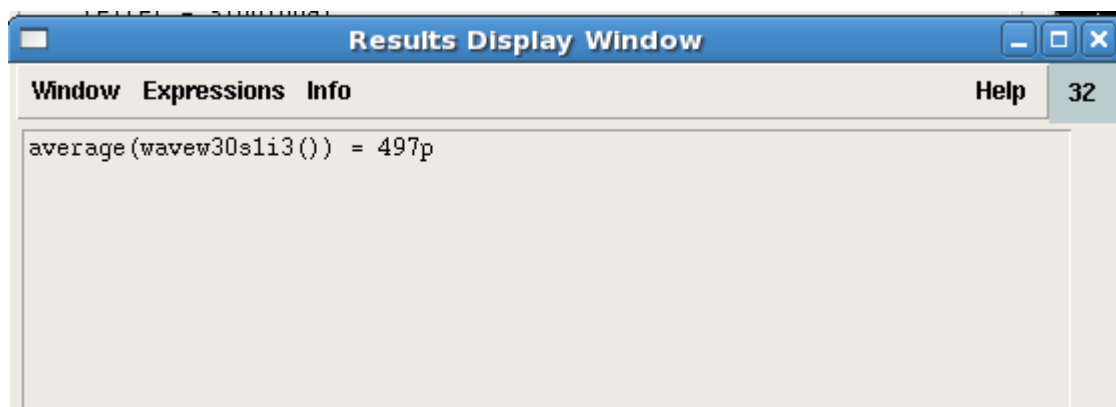
+ Trong đó:

- Tpd_r là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.
- Tpd_f là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

3.2.4. Công suất của mạch



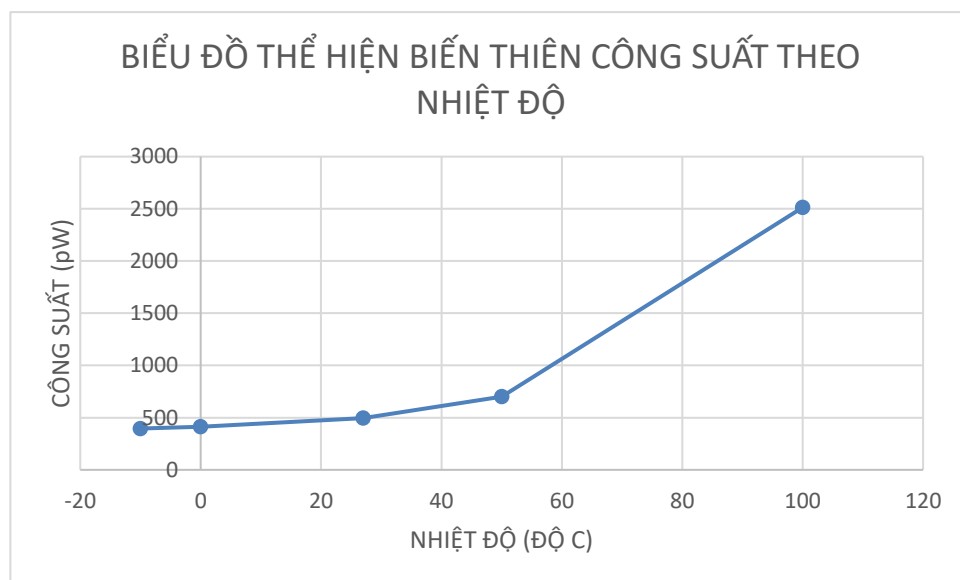
Hình 3.9. Mô phỏng công suất của mạch $P=U.I$



Hình 3.10. Công suất trung bình tại 27°C

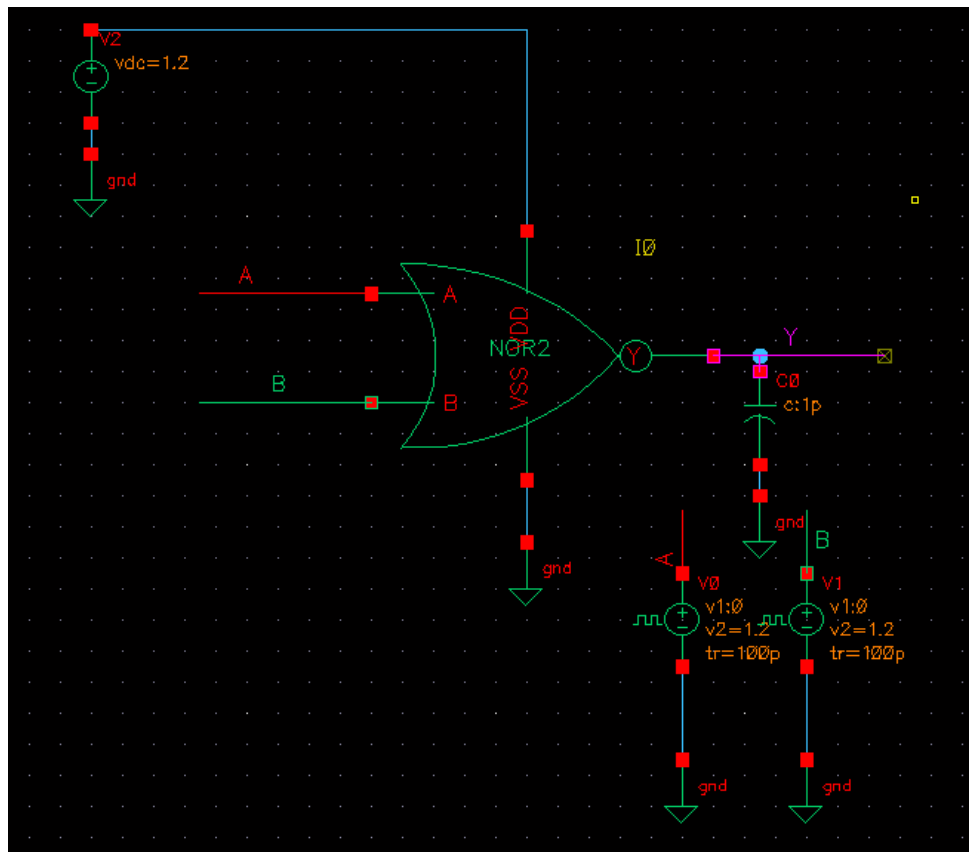
Bảng 2.3. Bảng thể hiện công suất theo nhiệt độ

Nhiệt độ (°C)	Công suất (pW)
-10	395,8
0	411,2
27	497
50	699,7
100	2513

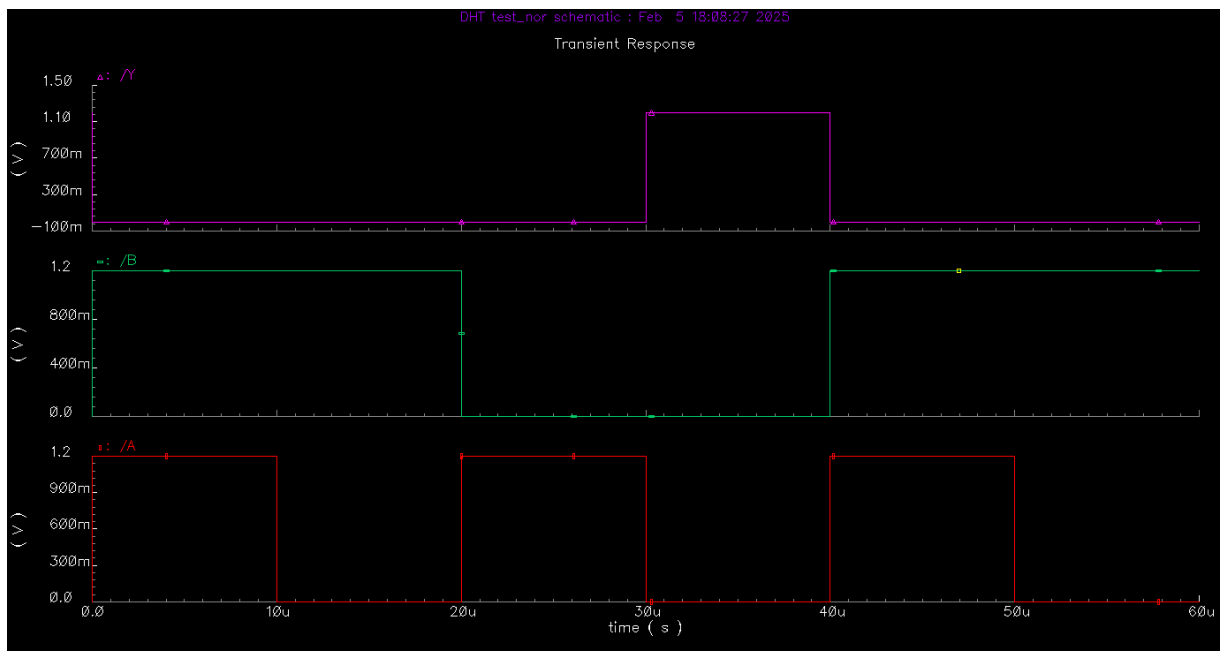


Hình 3.11. Biểu đồ thể hiện công suất theo nhiệt độ

3.2.5. Có tải CL



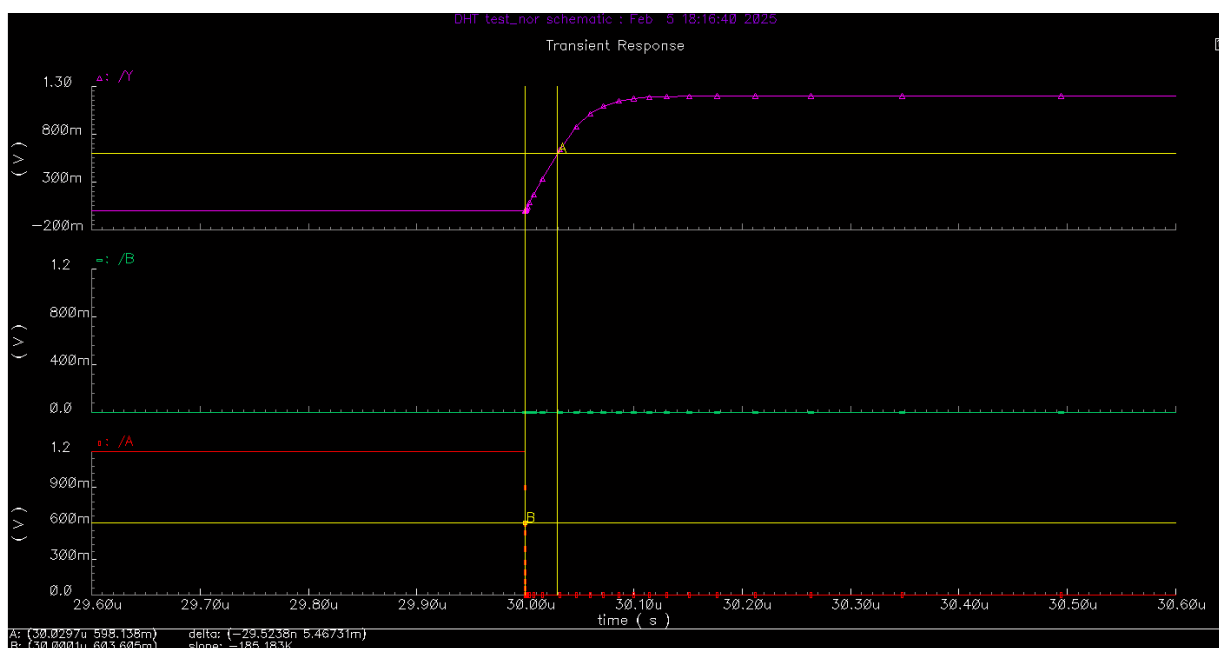
Hình 3.12. Mạch cổng NOR có tải $CL=10\text{ pF}$



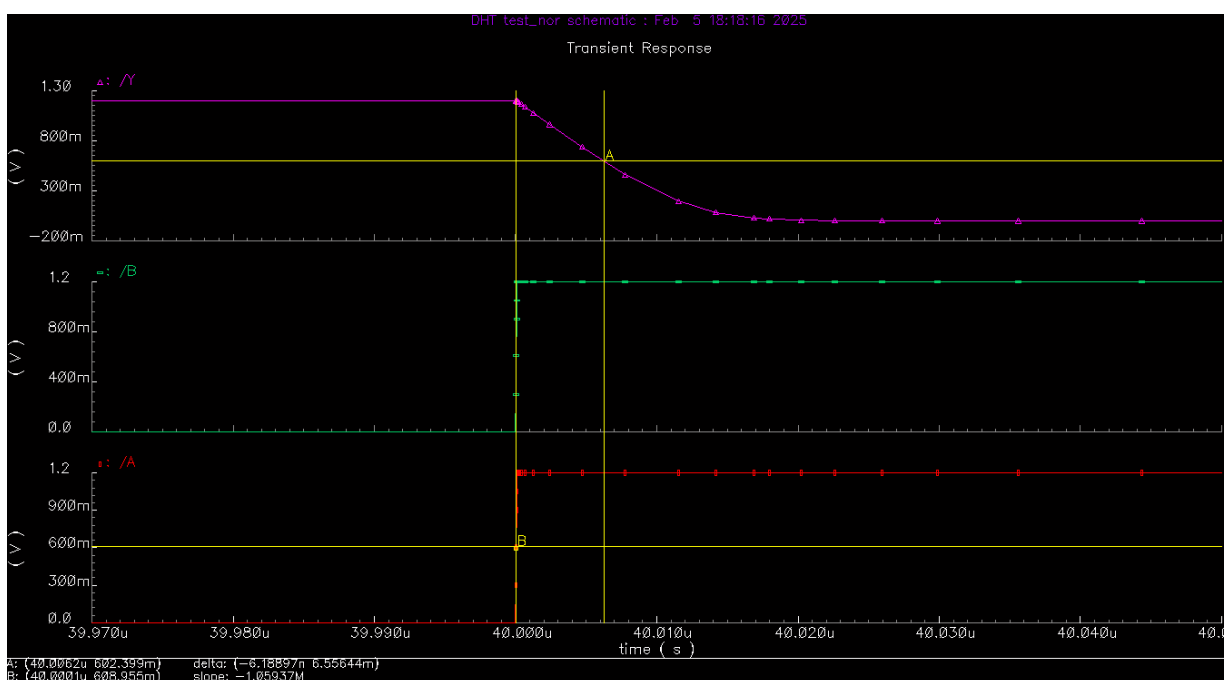
Hình 3.13. Dạng sóng input/output

+ Tương tự như khi dùng 1 cổng NOR ta tìm thời gian chuyển mạch và công suất mạch

trên để so sánh:



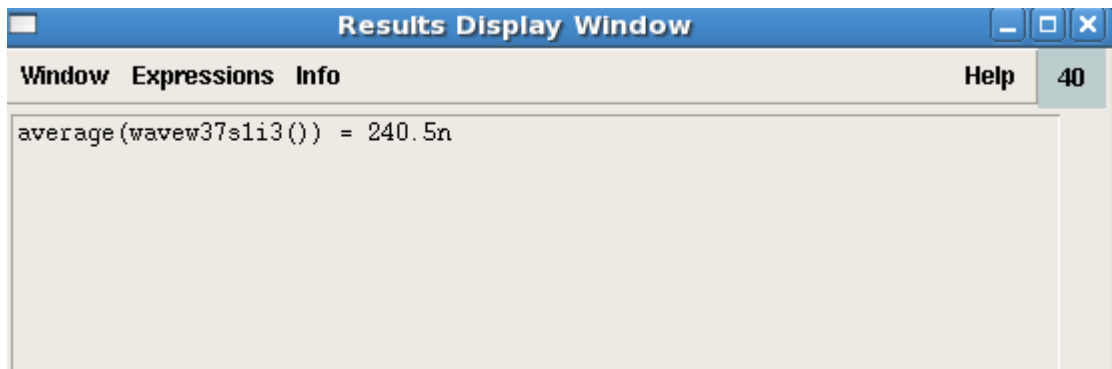
Hình 3.14. Cạnh lên



Hình 3.15. Cạnh xuống

+ Tương tự:

$$tpd = \frac{tpdf + tpdr}{2} = 17,856385 \text{ ps}$$



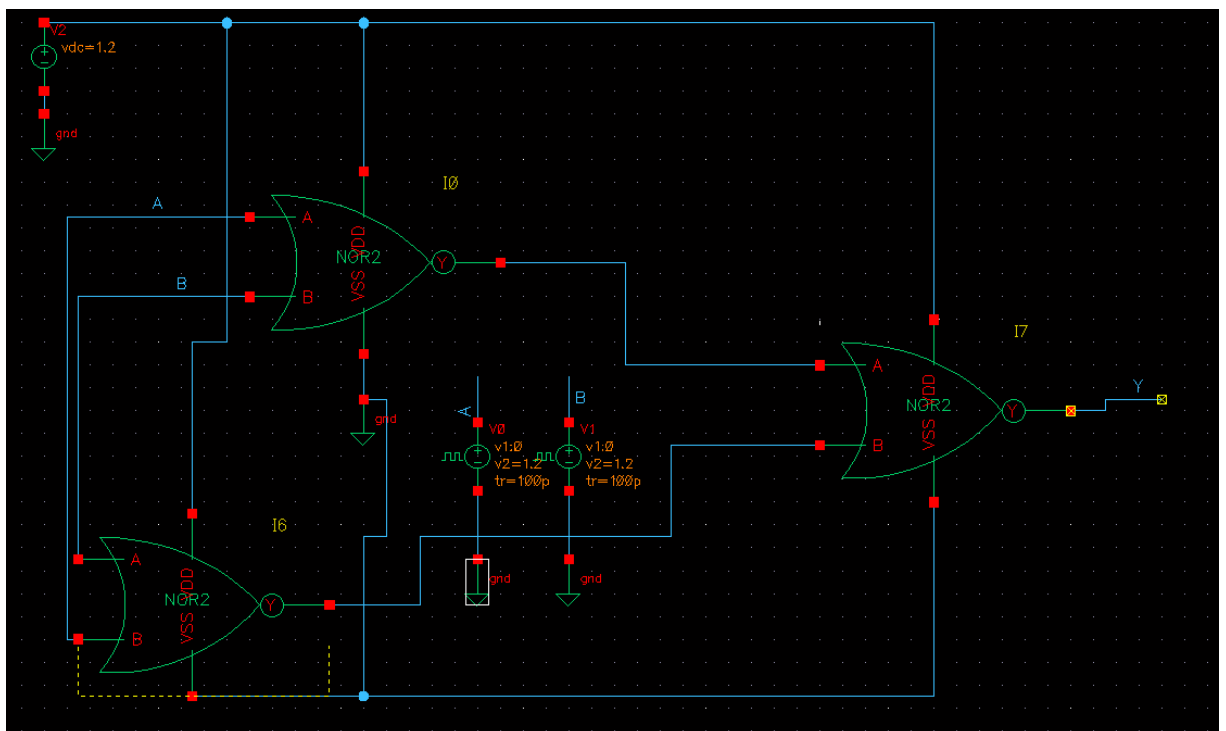
Hình 3.16. Công suất trung bình

Kết quả so sánh mạch với 1 NOR:

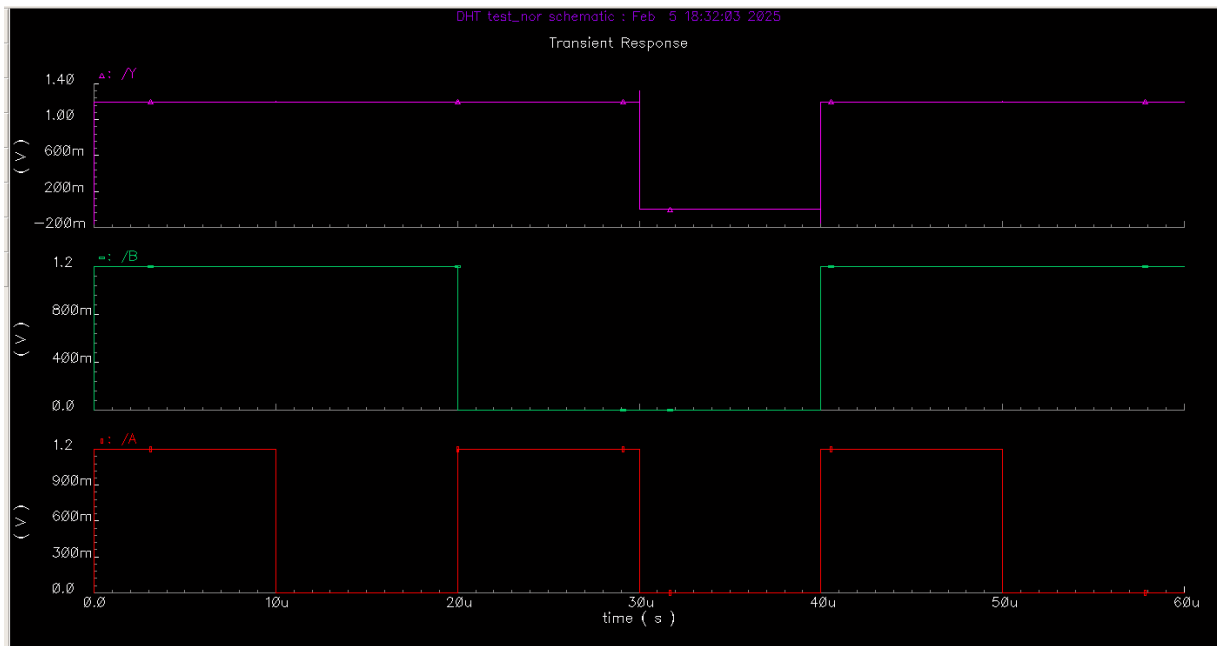
- * Transition time của mạch chậm hơn so với 1 NOR **rất nhiều**
- * Ở cùng nhiệt độ 27°C mạch có công suất tiêu thụ lớn hơn 1 cổng NOR rất nhiều

3.2.6. Mạch ghép 3 cổng NOR

- So sánh với 1 NOR transition time và công suất:

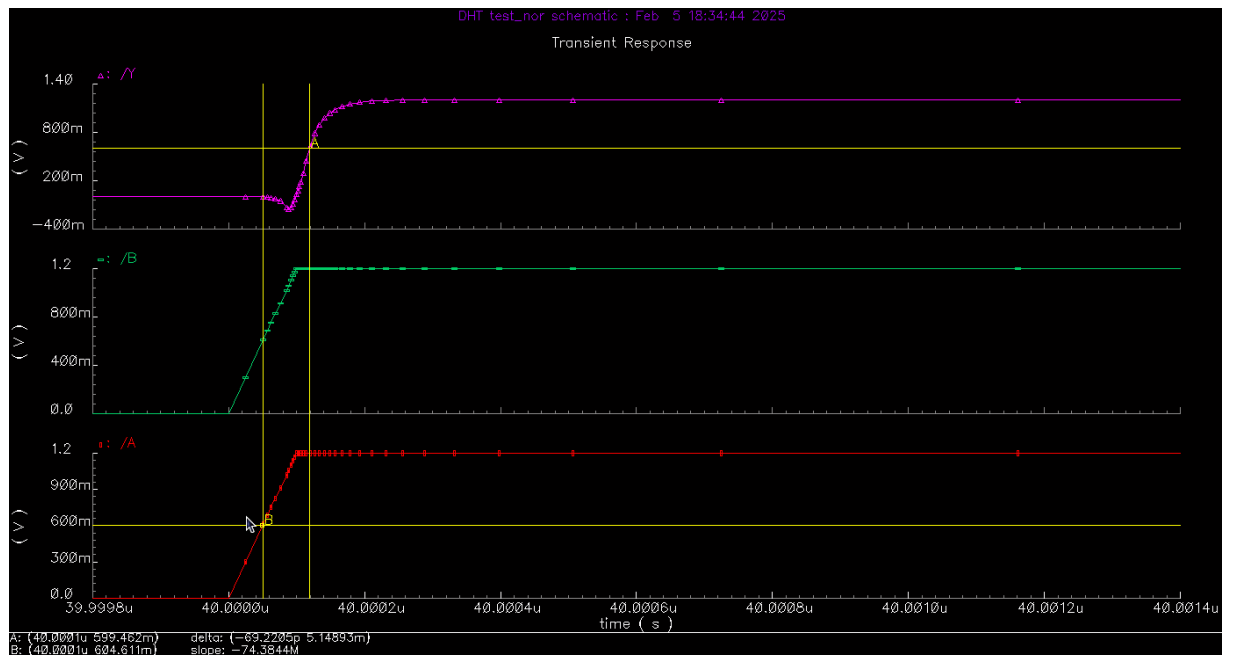


Hình 3.17. Mạch kết nối 3 cổng NOR

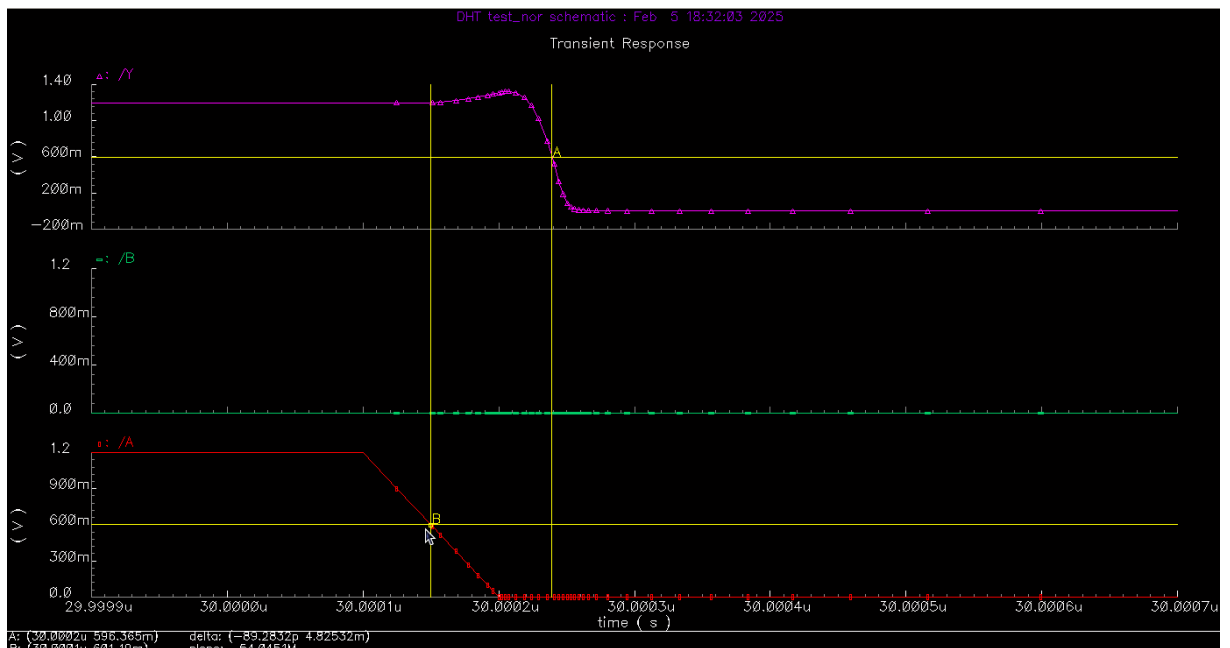


Hình 3.18. Kết quả mô phỏng

- Tương tự như khi dùng 1 cổng NOR ta tìm thời gian chuyển mạch và công suất mạch trên để so sánh:



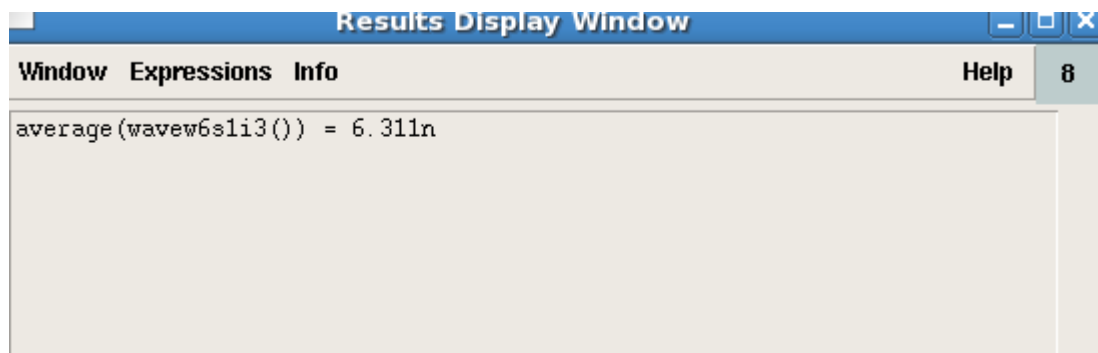
Hình 3.19. Cận lên



Hình 3.20. Cạnh xuống

- Tương tự:

$$tpd = \frac{tpdf + tpdr}{2} = 79,25185 \text{ ps}$$



Hình 3.21. Công suất trung bình mạch

Kết quả so sánh mạch với 1 NOR:

- * Transition time của mạch ghép 3 cổng NOR chậm hơn so với 1 NOR **48,45%**
- * Ở cùng nhiệt độ 27°C mạch 3 cổng NOR ghép công suất tiêu thụ nhiều hơn 1 cổng NOR **92,125%**

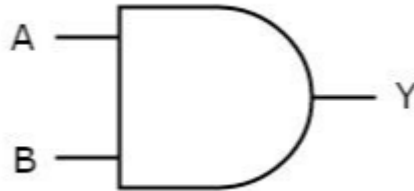
3.3. Kết luận

- Qua quá trình thiết kế, mô phỏng và đánh giá cổng logic NOR:
 - ➔ Cổng NOR được tạo thành từ 2 transistor p-Mos mắc nối tiếp kết hợp 2 transistor n-Mos mắc song song. Với đầu vào A,B và đầu ra Y thì cổng logic OR có chức năng thực hiện phép cộng đảo bit 2 số nhị phân. Nghĩa là với 2 đầu vào mức thấp khi qua cổng NOR ta sẽ cho kết quả đầu ra ở mức cao và chỉ cần 1 trong 2 đầu vào mức cao thì đầu ra sẽ ở mức thấp.
- Khi mắc nối tiếp 3 cổng NOR với nhau thành 2 tầng thì kết quả mô phỏng cho thấy: khi 1 trong 2 tín hiệu đầu vào của cổng logic ở mức cao thì sẽ cho ra kết quả đầu ra mức cao, nếu cả 2 tín hiệu ngõ vào mức thấp thì ra mức thấp, điều này cho thấy khi ghép theo cách này thì sẽ tạo ra cổng OR. Và transition time và công suất tiêu thụ trung bình cũng trễ và tăng đáng kể so với cổng OR lắp đơn (transition time trễ hơn 48,45% và công suất tiêu thụ tăng 92,125%)
 - ➔ *Do về mặt gắn tụ CL thì transition time sẽ trễ hơn và công suất tiêu thụ sẽ tăng dần khi tăng giá trị CL, nên đối với cổng AND, OR, XOR, XNOR chỉ khảo sát bảng chân trị, transition time, công suất tiêu thụ trung bình ở 1 cổng logic, ghép nối tiếp 3 cổng logic để xem có sự bất thường theo bảng chân lý không (còn về đánh giá transition time và công suất tiêu thụ trung bình sẽ không thực hiện).*

CHƯƠNG 4. CỔNG AND

4.1. Lý thuyết

4.1.1. Ký hiệu

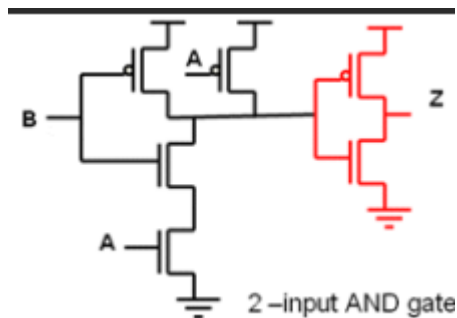


Hình 4.1. Ký hiệu cổng AND

Bảng 4.1. Bảng trạng thái cổng AND

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

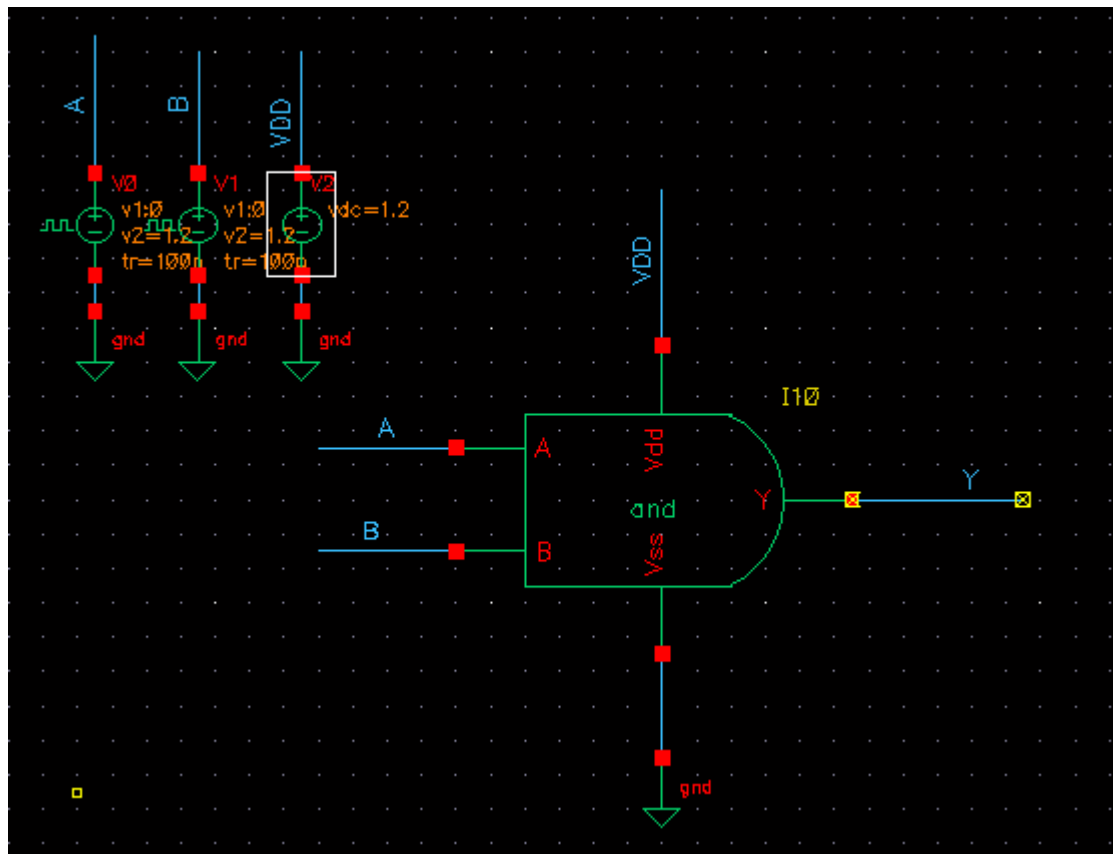
4.1.2. Sơ đồ nguyên lý



Hình 4.2. Sơ đồ cổng AND CMOS

- Thông số W/L như ở cổng Inverter.

- Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse})



Hình 4.5. Mạch kiểm tra cổng AND

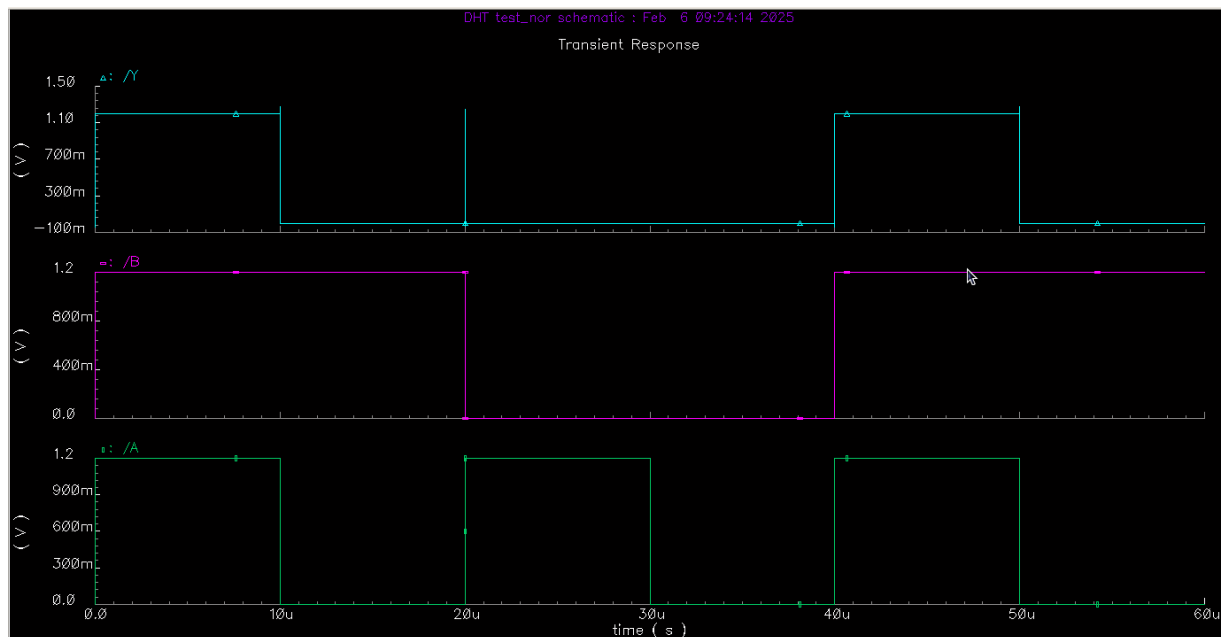
- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :
 - V_{DD} nối với nguồn V_{DC} ($V0$) = 1,2 V.
 - V_{SS} ta nối đất.
 - Chân ngõ vào A, B nối với nguồn V_{Pulse} ($V1$, $V2$) với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.
 - + thời gian trễ: 0 s.
 - + thời gian xung cạnh lên: 100 ps.
 - + thời gian xung xuống: 100 ps.
 - + độ rộng xung: 10 us (tại A), 20 us (tại B).

+ chu kỳ: 20 us (tại A), 40 us (tại B).

4.2.3. Dạng sóng

+ Kết quả mô phỏng:

- A: ngõ vào (màu lục).
- Y: ngõ ra (màu đỏ).



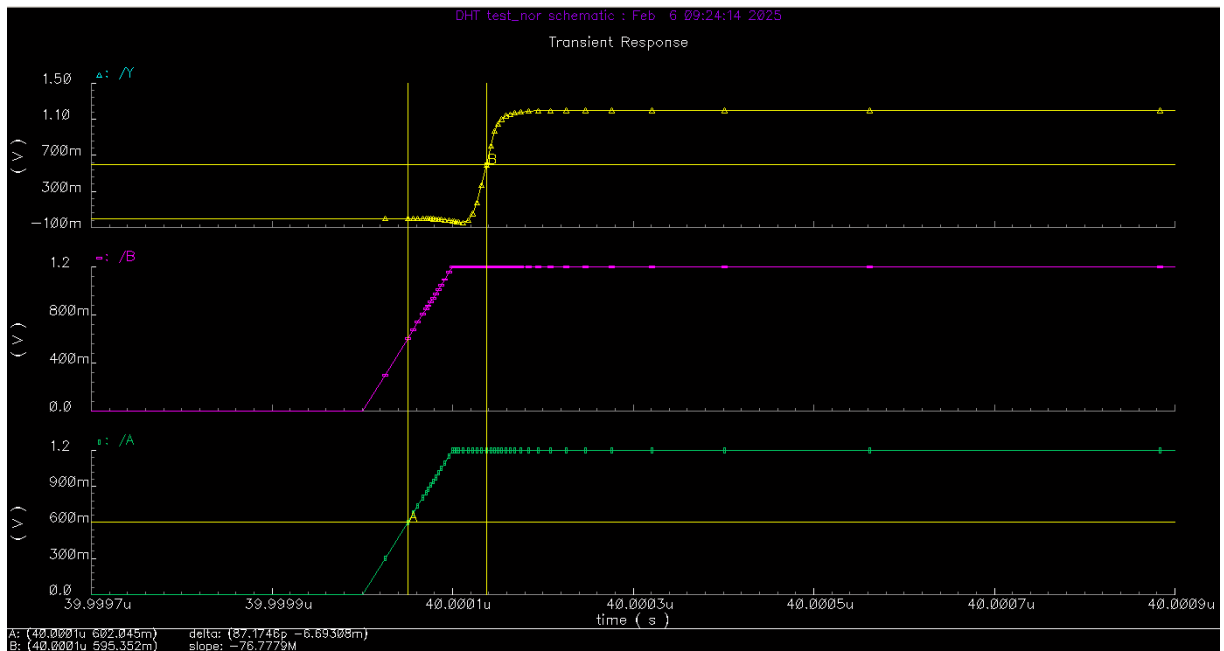
Hình 4.6. Kết quả mô phỏng

+ 0 us tới 10 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 1,2 V (mức 1).

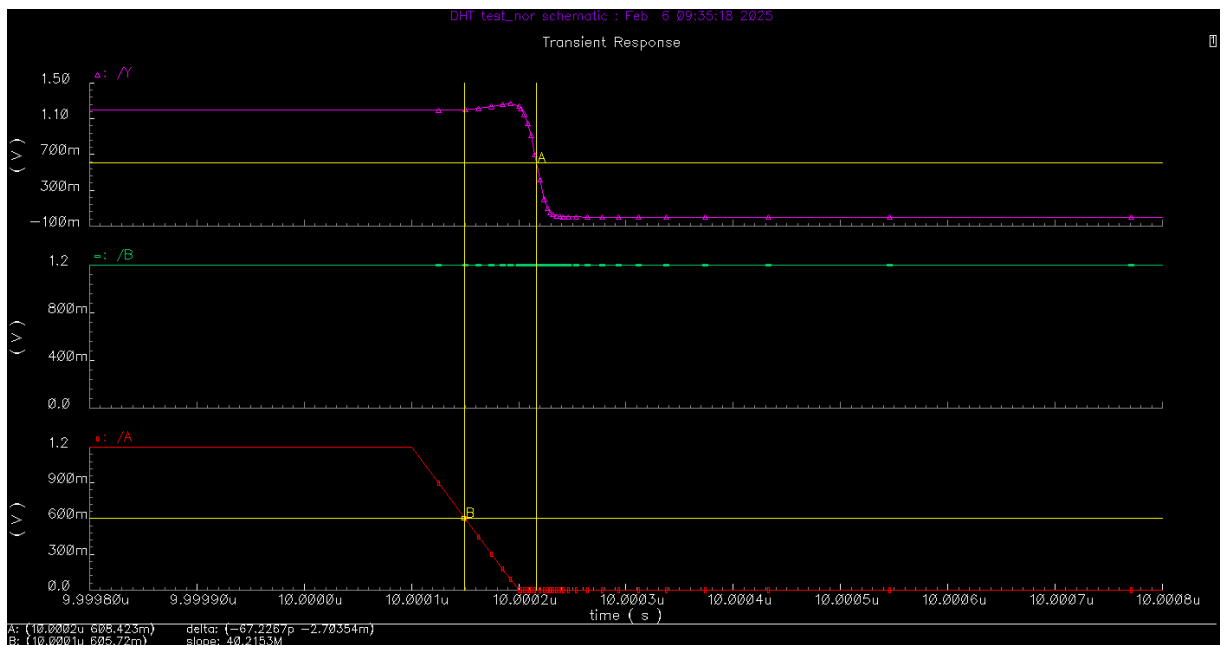
+ 10 us tới 20 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 0 V (mức 0).

+ 20 us tới 30 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 0 V (mức 0).

+ 30 us tới 40 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 0 V (mức 0).



Hình 4.7. Thời gian trễ cạnh lên $tpdr$: 87,1746 ps



Hình 4.8. Thời gian trễ cạnh xuống $tpdf$: 67,2267 ps

➔ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

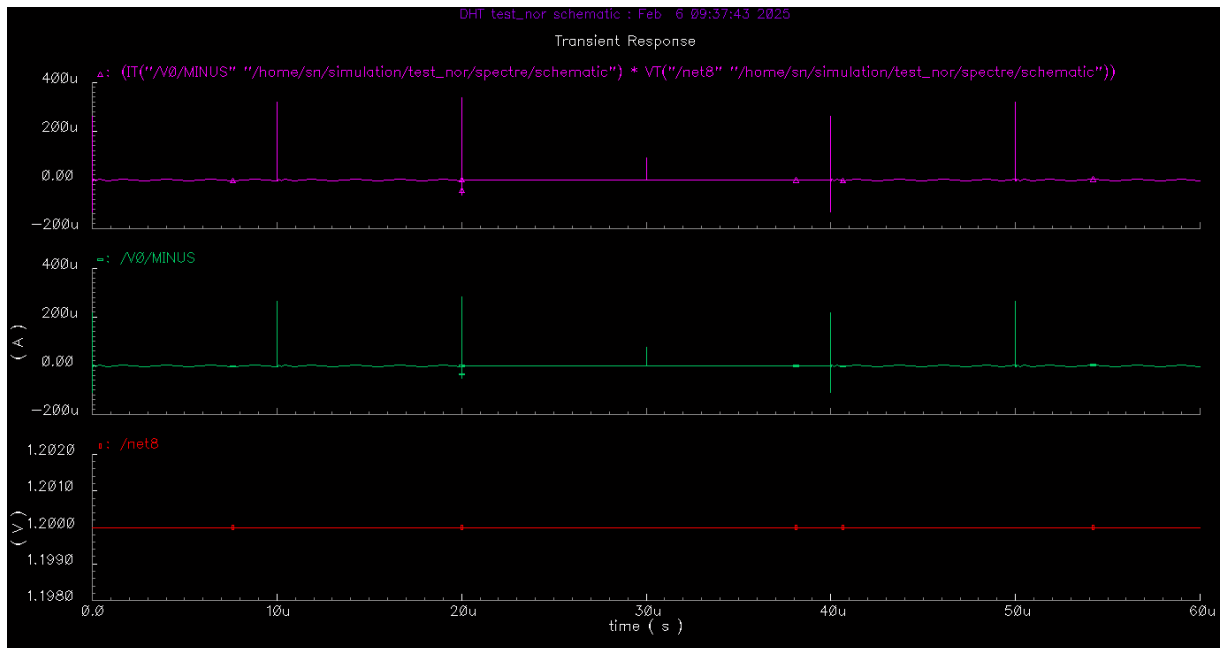
$$tpd = \frac{tpdf + tpdr}{2} = 77,20065 \text{ ps}$$

+ Trong đó:

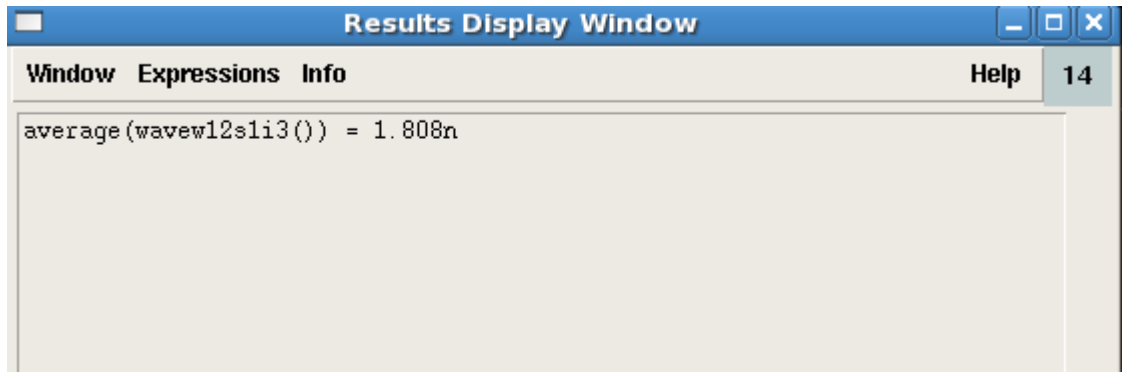
- $tpdr$ là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.

- T_{pdf} là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

4.2.4. Công suất của mạch



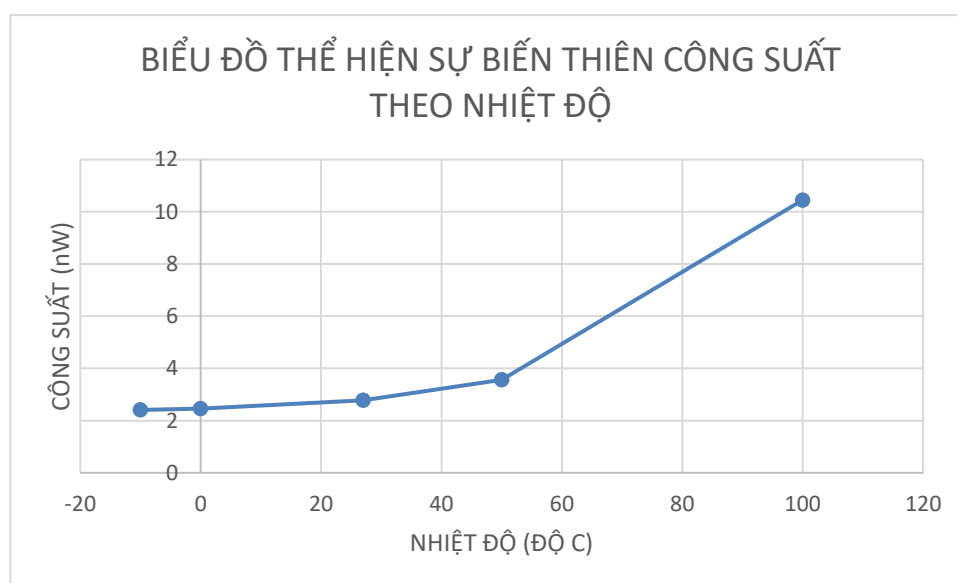
Hình 4.9. Mô phỏng công suất của mạch $P=U.I$



Hình 4.10. Công suất trung bình tại 27°C

Bảng 1.3. Bảng thể hiện công suất theo nhiệt độ

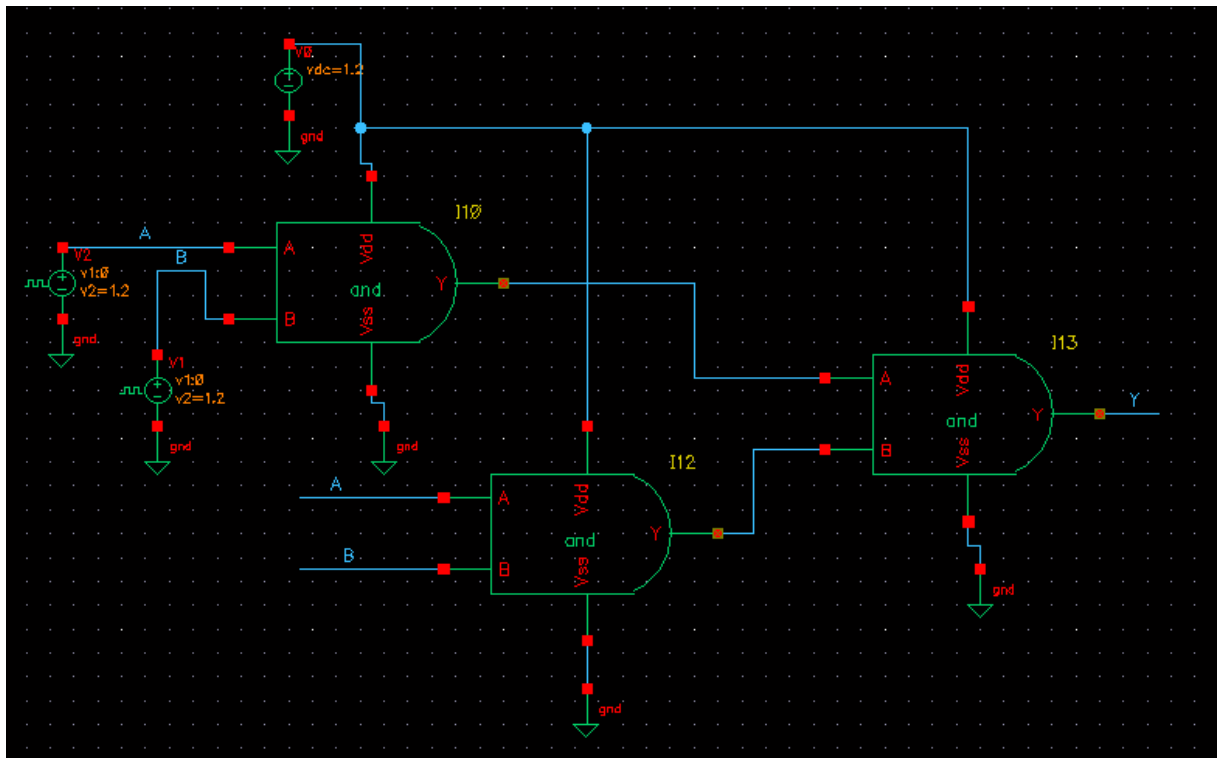
Nhiệt độ (°C)	Công suất trung bình(nW)
-10	1,586
0	1,613
27	1,808
50	2,3
100	6,644



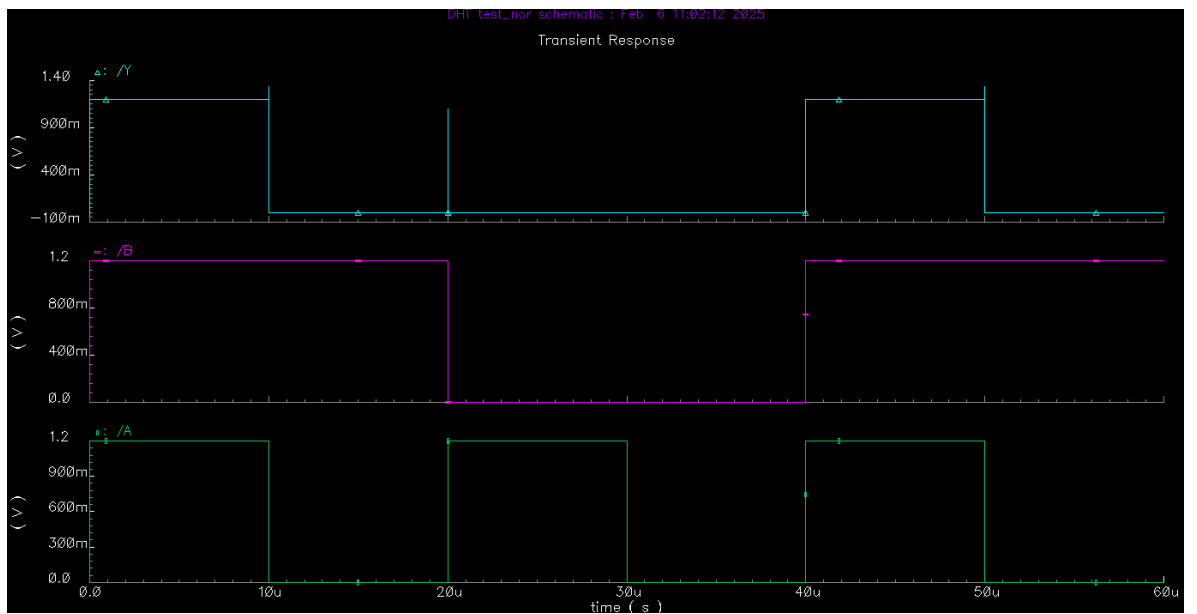
Hình 4.11. Biểu đồ thể hiện công suất theo nhiệt độ

4.2.5. Mạch ghép 3 cổng AND

- Khảo sát bảng chân lý khi ghép 3 cổng AND thành 2 tầng:



Hình 3.17. Mạch kết nối 3 cổng AND



Hình 3.18. Kết quả mô phỏng

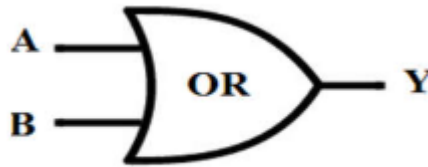
4.3. Kết luận

- Qua quá trình thiết kế và mô phỏng cổng AND ta thấy được cổng AND được tạo thành từ cổng NAND nối tiếp với cổng NOT. Với đầu vào A, B và đầu ra Y thì cổng AND có chức năng thực hiện phép nhân bit 2 số nhị phân. Nghĩa là với 2 đầu vào mức cao khi qua cổng AND ta sẽ cho kết quả đầu ra ở mức cao và chỉ cần 1 trong 2 đầu vào ở mức thấp thì đầu ra sẽ ở mức thấp.
- Khi mắc nối tiếp 3 cổng AND với nhau thì kết quả mô phỏng cho ta thấy được, khi 1 trong 2 tín hiệu đầu vào của cổng logic ở mức thấp thì sẽ cho ra kết quả đầu ra ở mức thấp, nếu cả 2 tín hiệu đầu vào ở mức cao thì kết quả đầu ra sẽ ở mức cao. Điều này cho ta biết được, khi lắp nối tiếp 3 cổng AND thì kết quả sẽ không thay đổi so với cổng AND về mặt logic.

CHƯƠNG 5. CÔNG OR

5.1. Lý thuyết

5.1.1. Ký hiệu

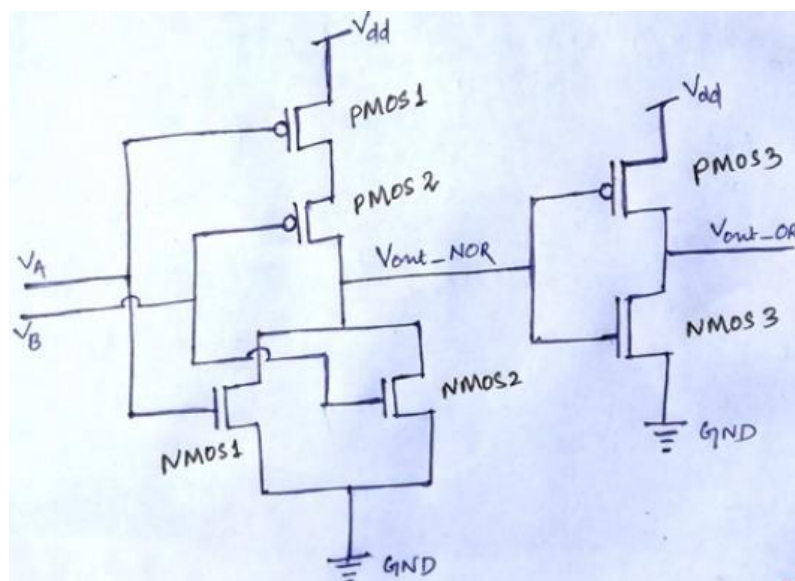


Hình 5.1. Ký hiệu cổng OR

Bảng 5.1. Bảng trạng thái cổng OR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

5.1.2. Sơ đồ nguyên lý

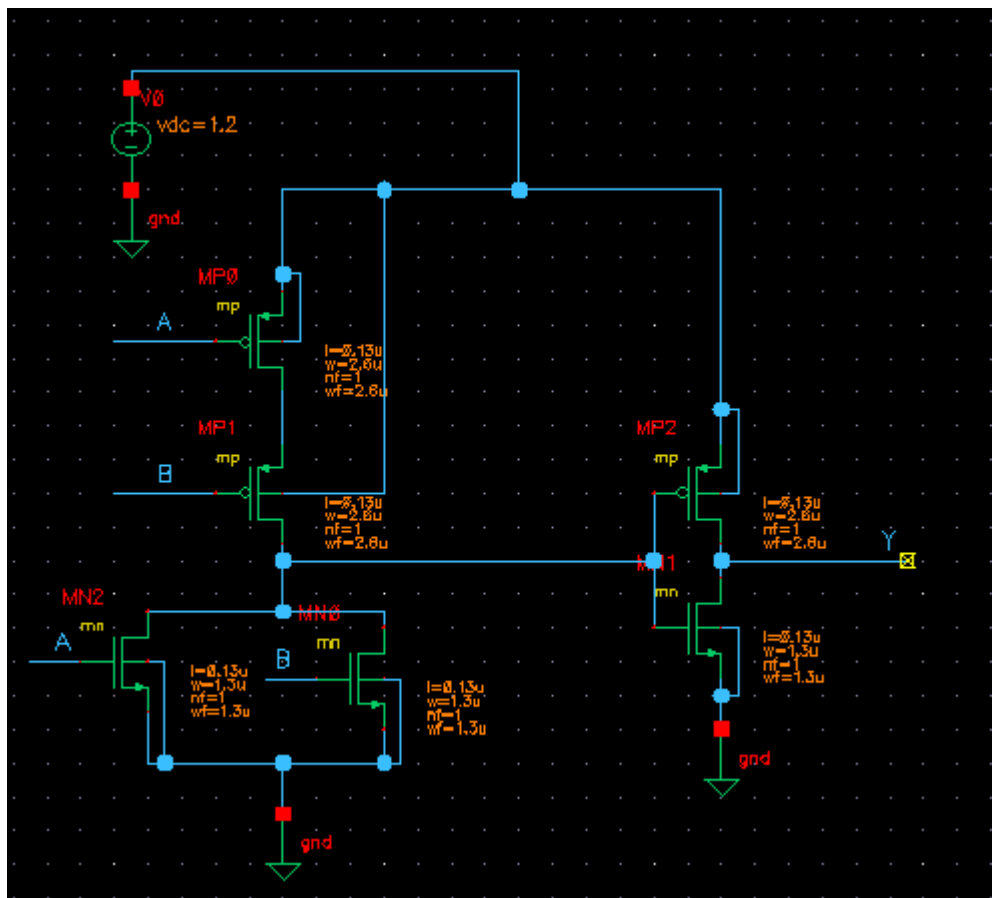


Hình 5.2. Sơ đồ cổng OR CMOS

- Thông số W/L như ở cổng Inverter.

5.2. Mô phỏng

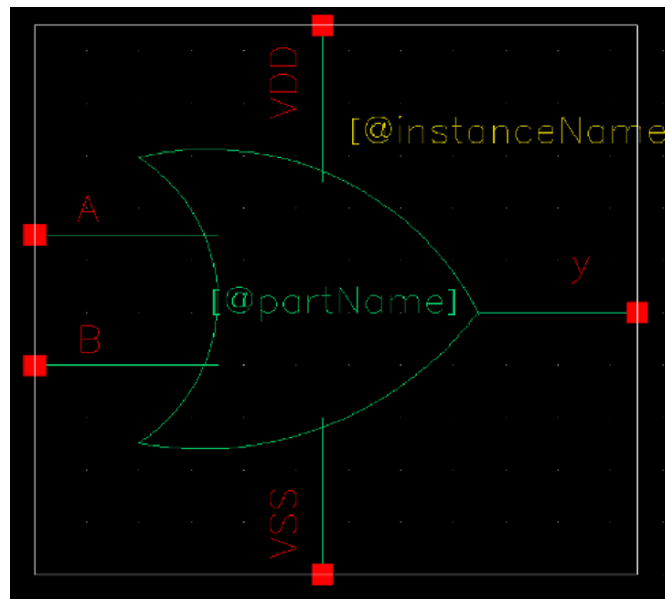
5.2.1. Sơ đồ nguyên lý



Hình 5.3. Schematic của cổng OR trên Cadence

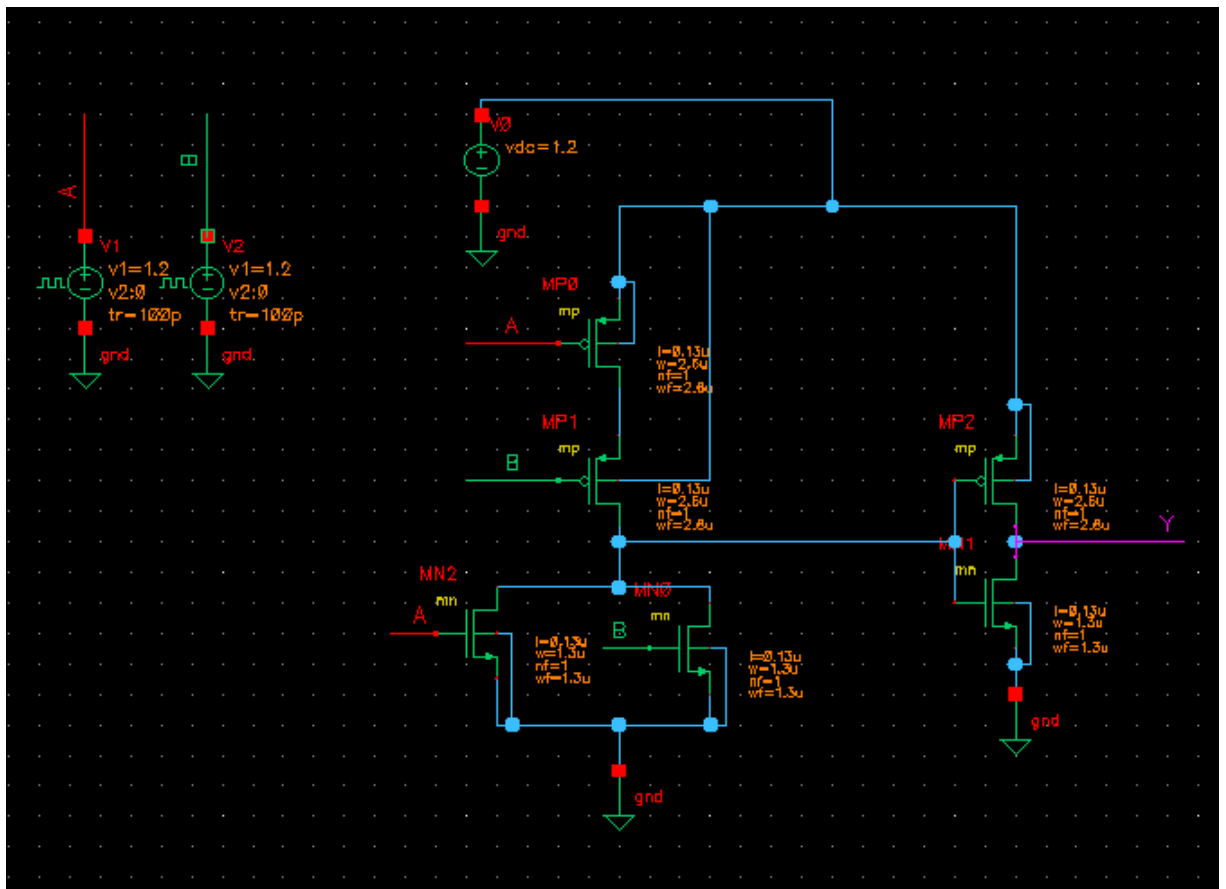
- Bảng thông số transistor (W, L, nhiệt độ) tương tự như ở cổng inverter.

5.2.2. Đóng gói ký hiệu



Hình 5.4. Symbol cổng OR

- Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse})



Hình 5.5. Mạch kiểm tra cổng OR

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :

- V_{DD} nối với nguồn V_{DC} (V_0) = 1,2 V.

- V_{SS} ta nối đất.

- Chân ngõ vào A, B nối với nguồn V_{Pulse} (V_1 , V_2) với các thông số cài đặt như sau:

+ mức điện áp 1: 0 V.

+ mức điện áp 2: 1,2 V.

+ thời gian trễ: 0 s.

+ thời gian xung cạnh lên: 100 ps.

+ thời gian xung xuống: 100 ps.

+ độ rộng xung: 10 us (tại A), 20 us (tại B).

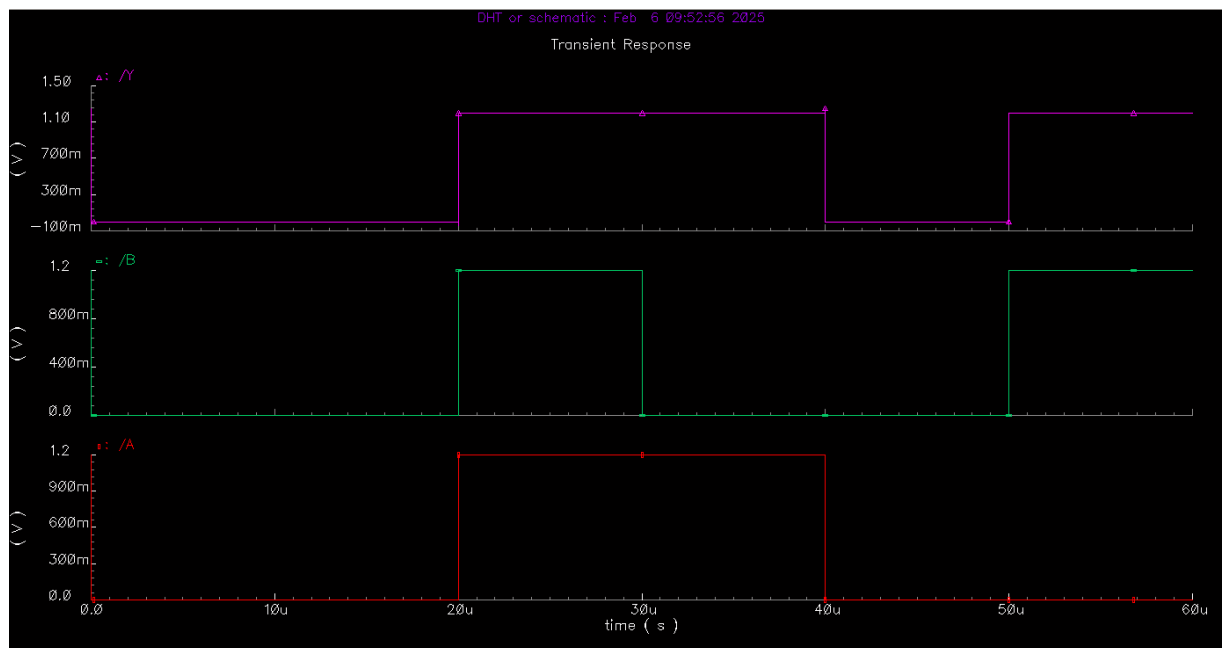
+ chu kỳ: 20 us (tại A), 40 us (tại B).

5.2.3. Dạng sóng

+ Kết quả mô phỏng:

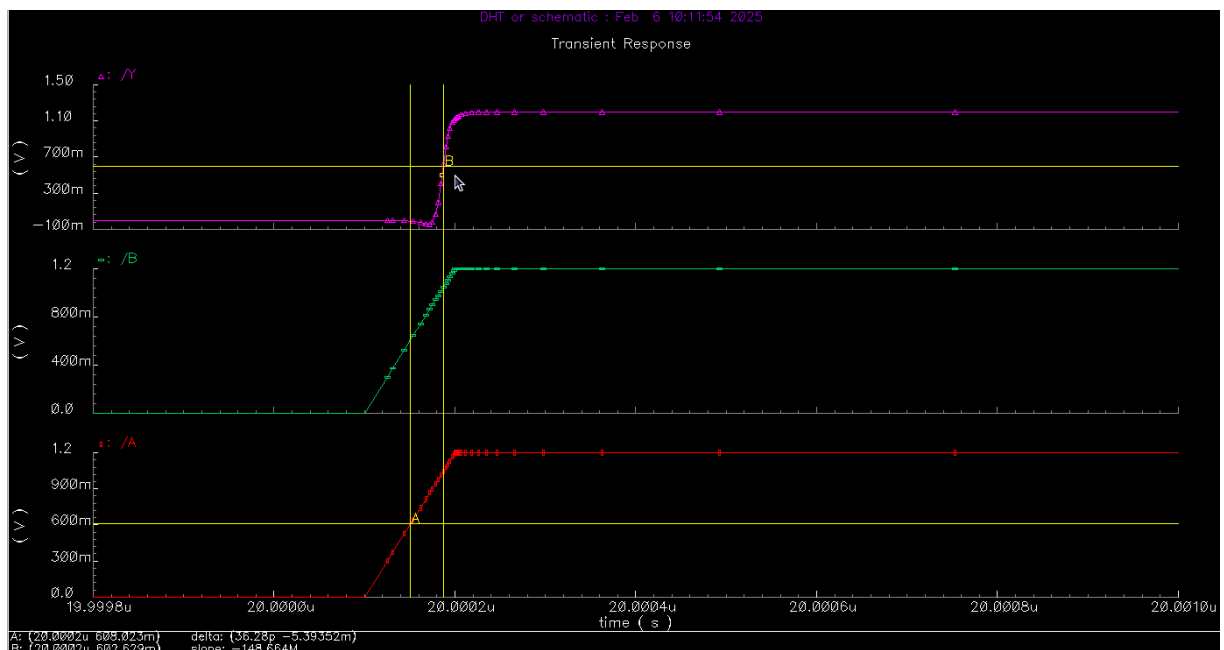
- A: ngõ vào (màu lục).

- Y: ngõ ra (màu đỏ).

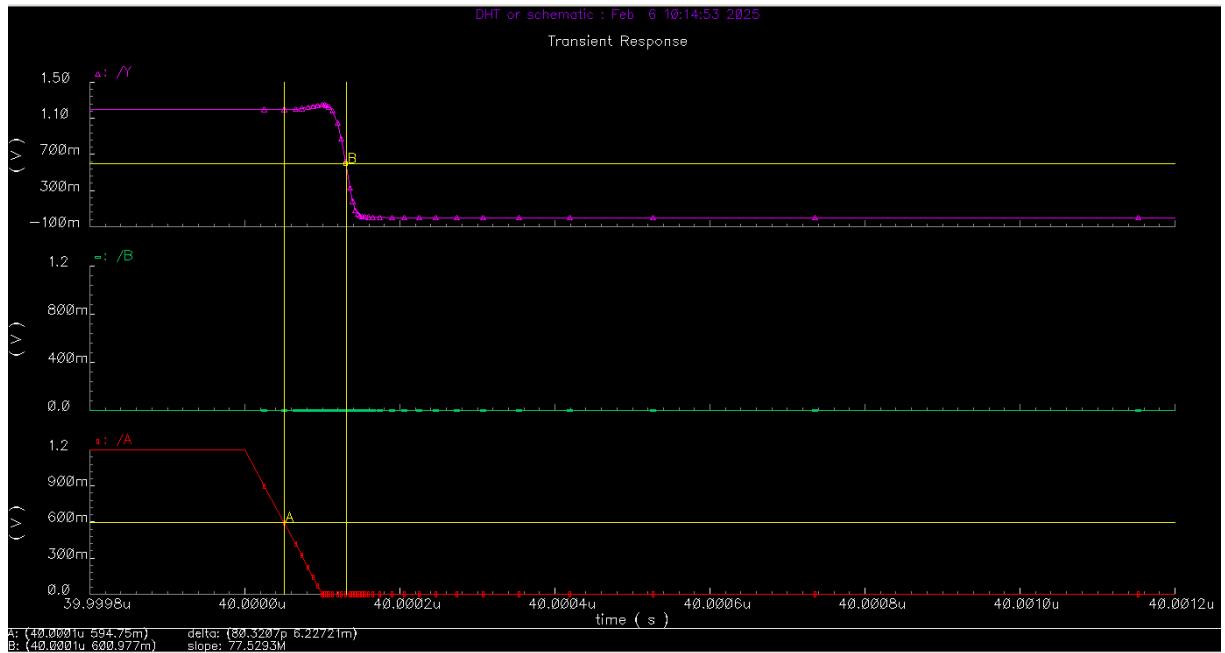


Hình 5.6. Kết quả mô phỏng

- + 0 us tới 20 us, tín hiệu ngõ vào tại A là 0V (mức 0), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 0 V (mức 0).
- + 20 us tới 30 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 1,2 V (mức 1).
- + 30 us tới 40 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 1,2 V (mức 1).
- + 50 us tới 60 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 1,2 V (mức 1).



Hình 5.7. Thời gian trễ cạnh lên t_{pdr}: 36,28 ps



Hình 5.8. Thời gian trễ cạnh xuống $tpdf$: 80,3207 ps

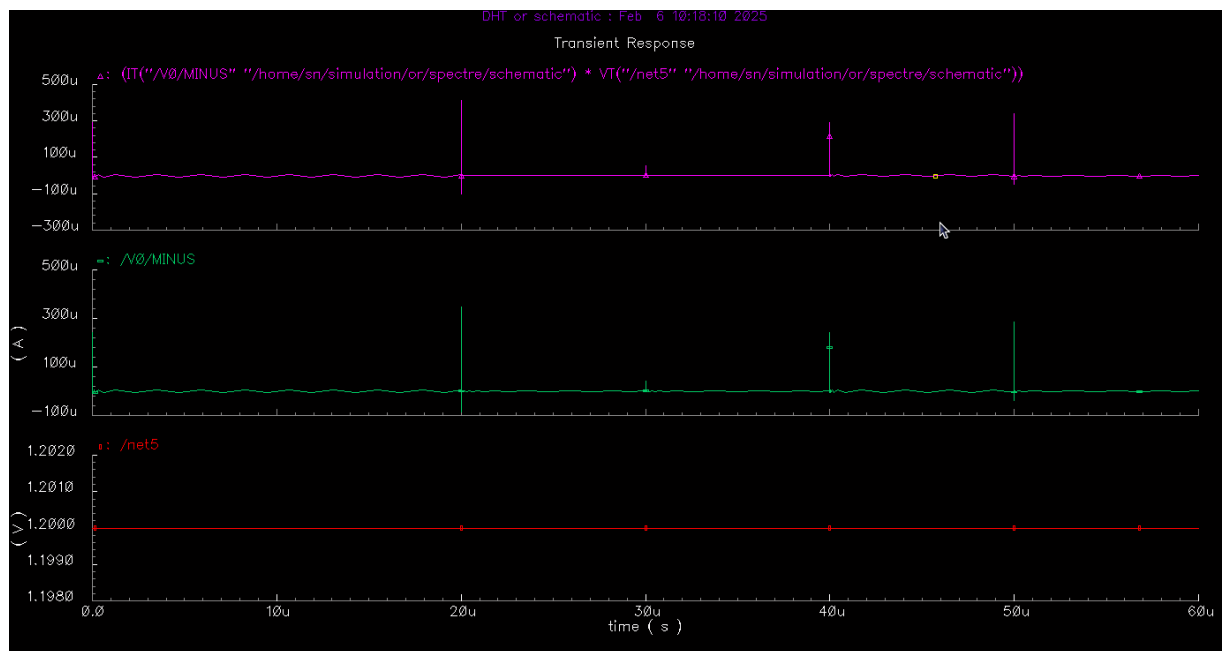
➔ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

$$tpd = \frac{tpdf + tpdr}{2} = 58,0035 \text{ ps}$$

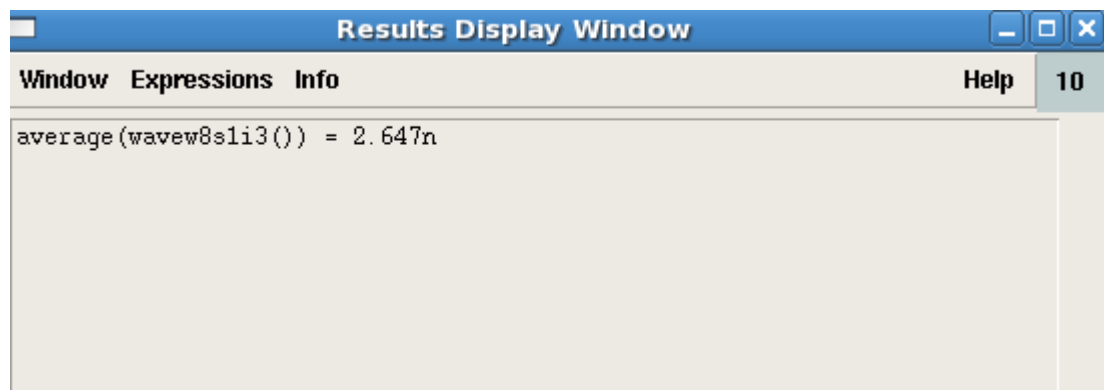
+ Trong đó:

- $tpdr$ là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.
- $tpdf$ là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

5.2.4. Công suất của mạch



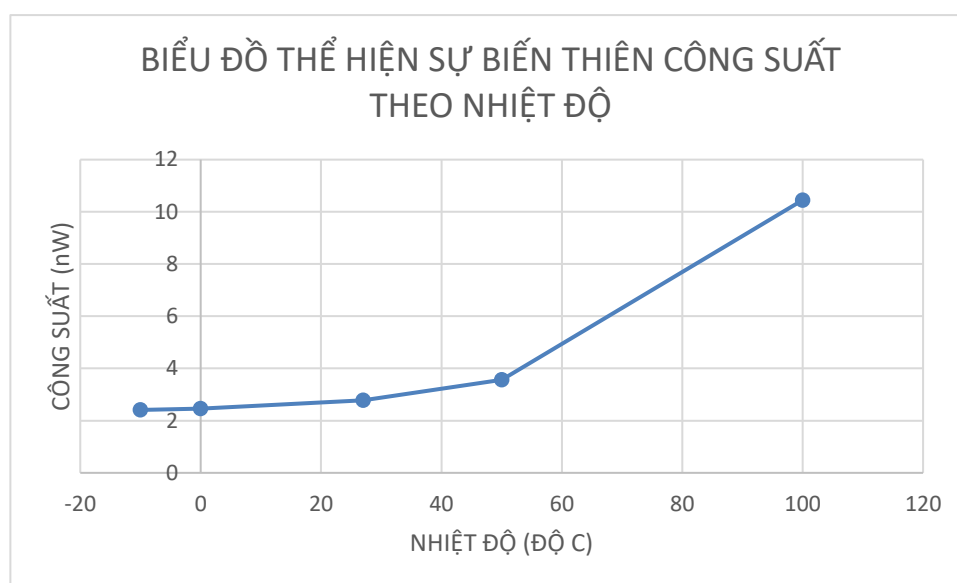
Hình 5.9. Mô phỏng công suất của mạch $P=U.I$



Hình 5.10. Công suất trung bình tại 27°C

Bảng 5.3. Bảng thể hiện công suất theo nhiệt độ

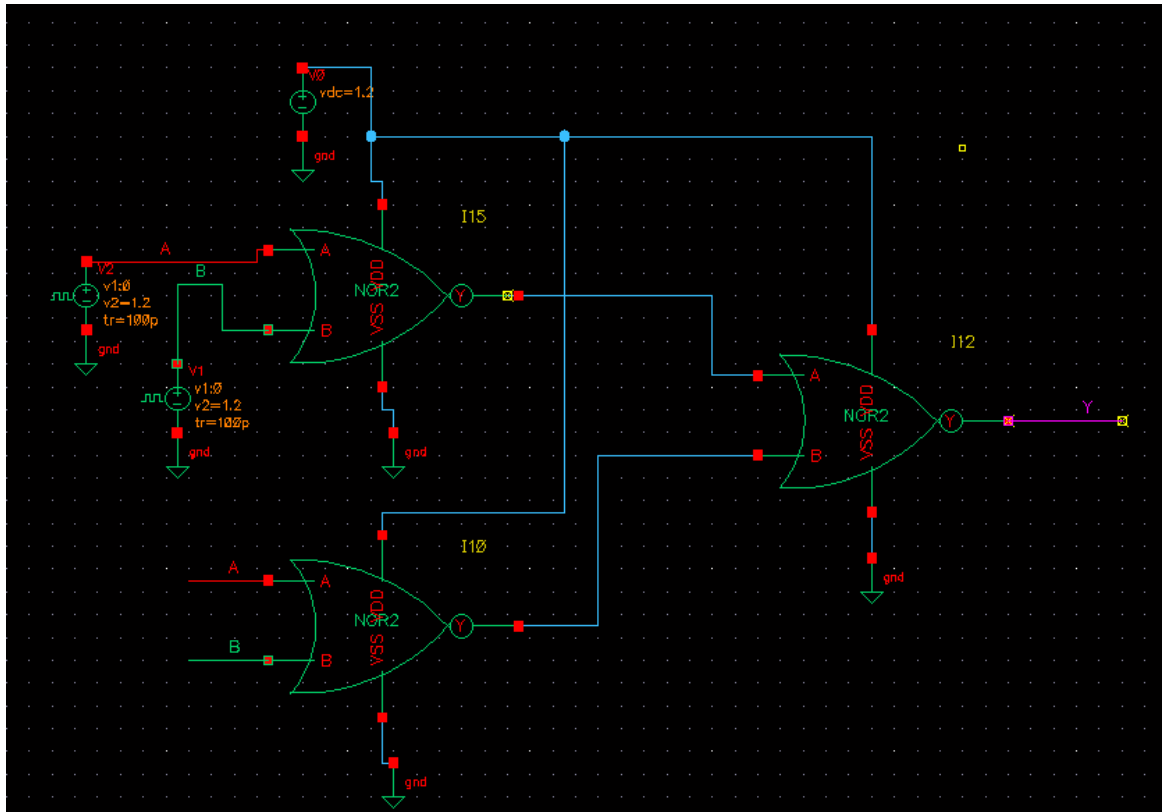
Nhiệt độ (°C)	Công suất (nW)
-10	1,507
0	1,657
27	2,647
50	4,816
100	20,38



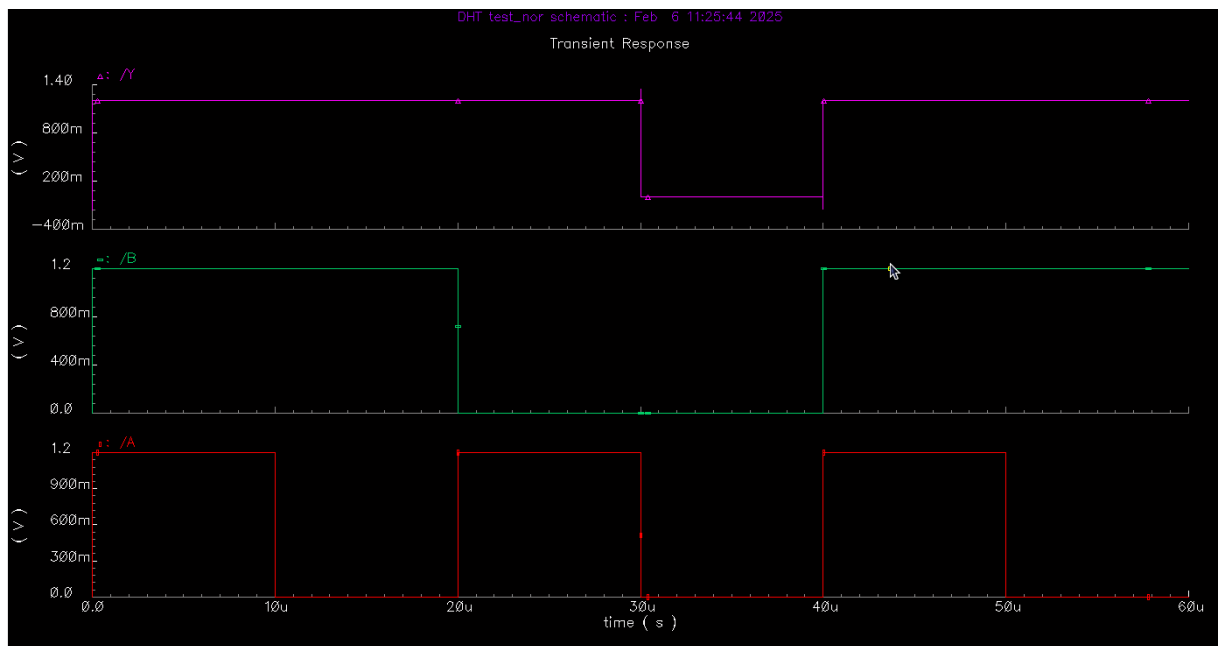
Hình 5.11. Biểu đồ thể hiện công suất theo nhiệt độ

5.2.5. Mạch ghép 3 cổng OR

- Khảo sát bảng chân lý khi ghép 3 cổng OR thành 2 tầng:



Hình 5.12. Mạch kết nối 3 cổng OR



Hình 5.13. Kết quả mô phỏng

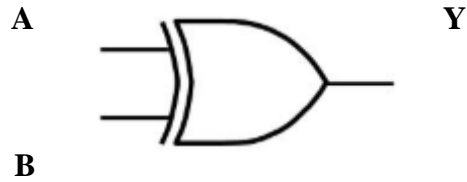
5.3. Kết luận

- Qua quá trình thiết kế và mô phỏng cổng OR ta thấy được cổng OR được tạo thành từ cổng NOR nối tiếp với cổng NOT. Với đầu vào A, B và đầu ra Y thì cổng OR có chức năng thực hiện phép cộng bit 2 số nhị phân. Nghĩa là với 2 đầu vào mức thấp khi qua cổng OR ta sẽ cho kết quả đầu ra ở mức thấp và chỉ cần 1 trong 2 đầu vào ở mức cao thì đầu ra sẽ ở mức cao.
- Khi mắc nối tiếp 3 cổng OR với nhau thì kết quả mô phỏng cho ta thấy được, khi 1 trong 2 tín hiệu đầu vào của cổng logic ở mức cao thì sẽ cho ra kết quả đầu ra ở mức cao, nếu cả 2 tín hiệu đầu vào ở mức thấp thì kết quả đầu ra sẽ ở mức thấp. Điều này cho ta biết được, khi lắp nối tiếp 3 cổng OR thì kết quả sẽ không thay đổi so với cổng OR về mặt logic.

CHƯƠNG 6. CÔNG XOR

6.1. Lý thuyết

6.1.1. Ký hiệu

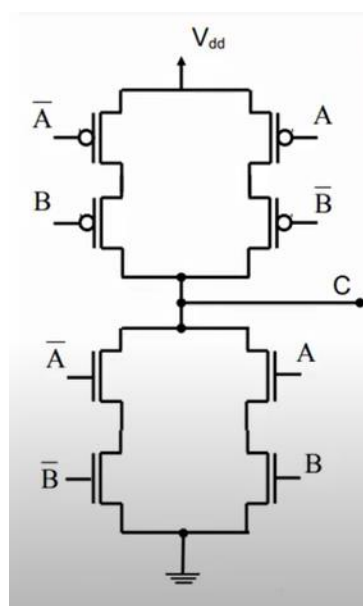


Hình 6.1. Ký hiệu cổng XOR

Bảng 6.1. Bảng trạng thái cổng XOR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

6.1.2. Sơ đồ nguyên lí

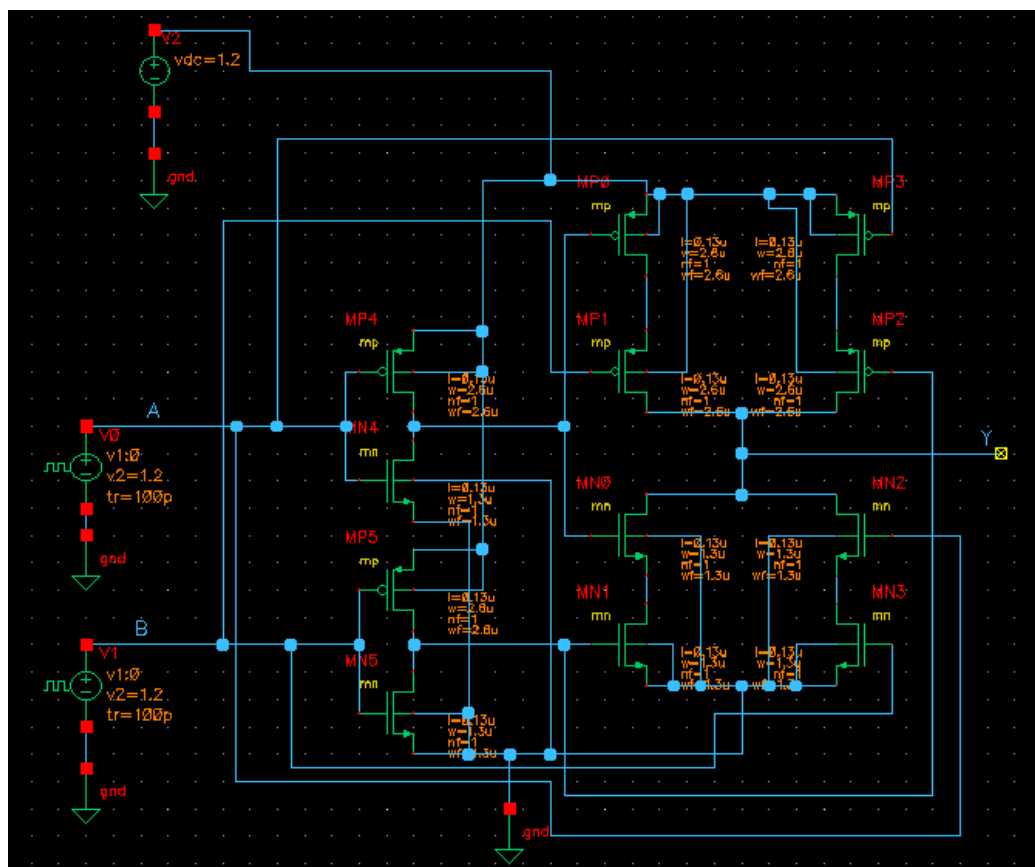


Hình 6.2. Sơ đồ cổng XOR CMOS

- Thông số W/L như ở cổng Inverter.

6.2. Mô phỏng

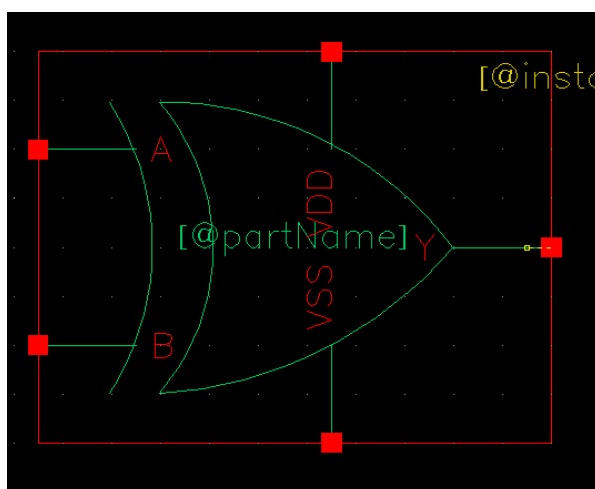
6.2.1. Sơ đồ nguyên lý:



Hình 6.3. Schematic của cổng XOR trên Cadence

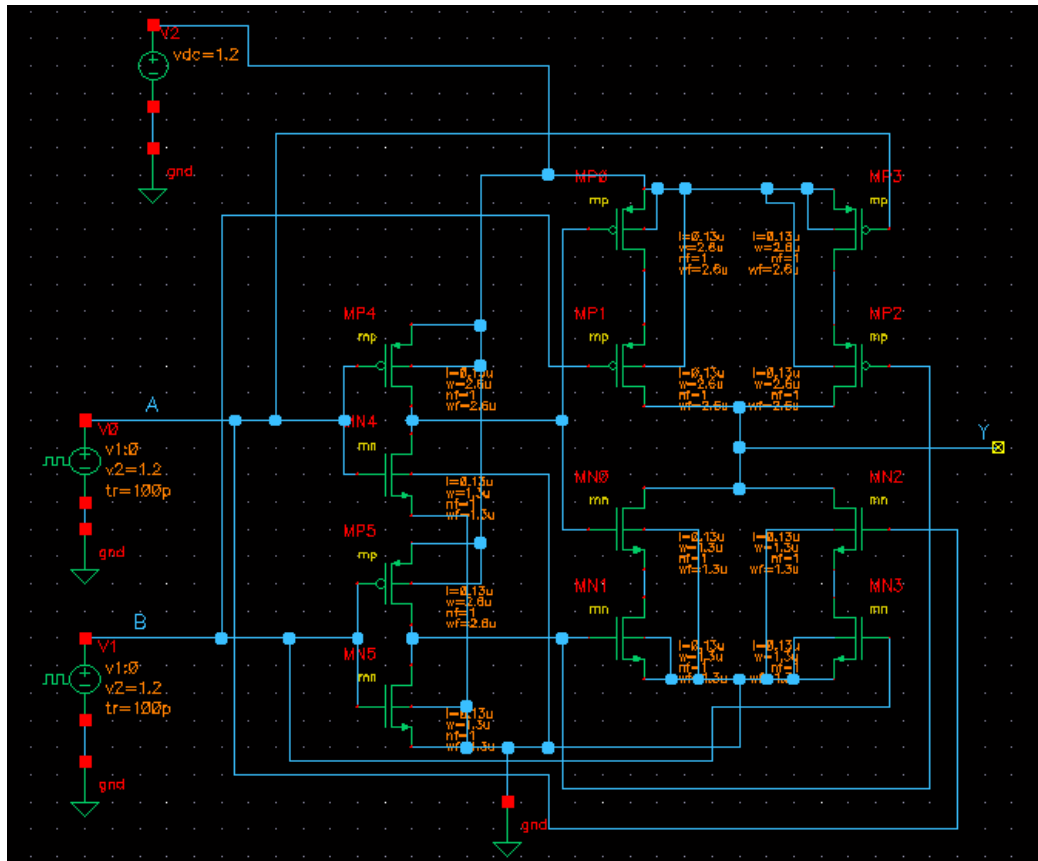
- Bảng thông số transistor (W, L, nhiệt độ) tương tự như ở cổng inverter.

6.2.2. Đóng gói ký hiệu



Hình 6.4. Symbol cổng XOR

- Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse})



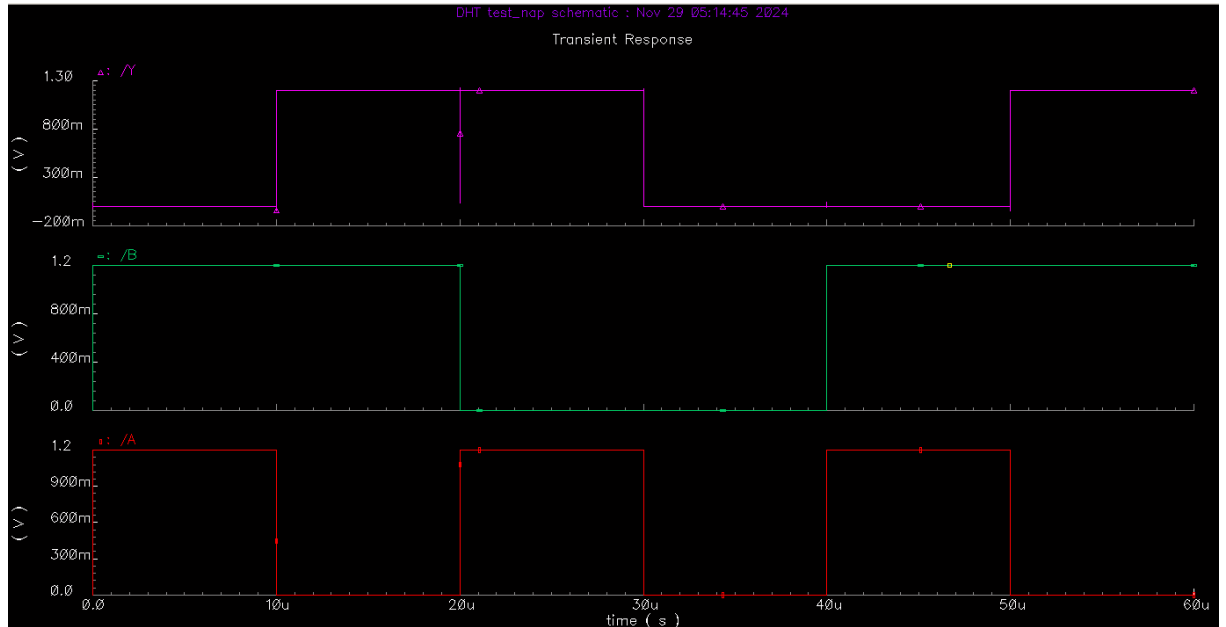
Hình 6.5. Mạch kiểm tra cổng XOR

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :
 - V_{DD} nối với nguồn V_{DC} (V_0) = 1,2 V.
 - V_{SS} ta nối đất.
 - Chân ngõ vào A, B nối với nguồn V_{Pulse} (V_1 , V_2) với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.
 - + thời gian trễ: 0 s.
 - + thời gian xung cạnh lên: 100 ps.
 - + thời gian xung xuống: 100 ps.
 - + độ rộng xung: 10 us (tại A), 20 us (tại B).
 - + chu kỳ: 20 us (tại A), 40 us (tại B).

6.2.3. Dạng sóng

+ Kết quả mô phỏng:

- A: ngõ vào (màu lục).
- Y: ngõ ra (màu đỏ).



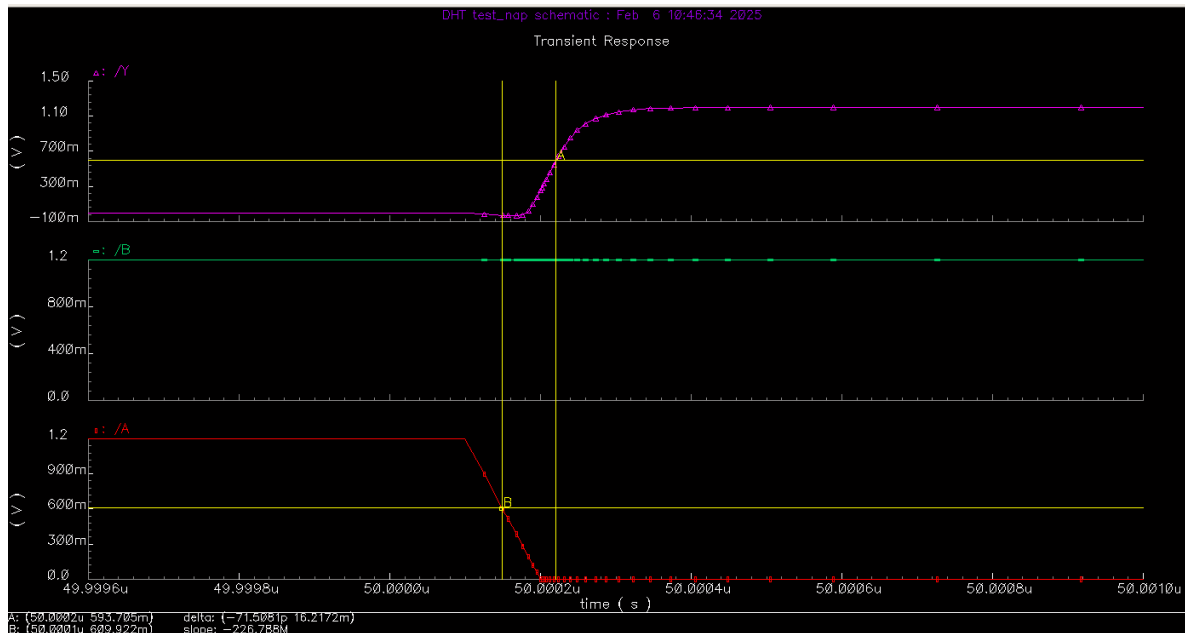
Hình 6.6. Kết quả mô phỏng

+ 0 us tới 10 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 0 V (mức 0).

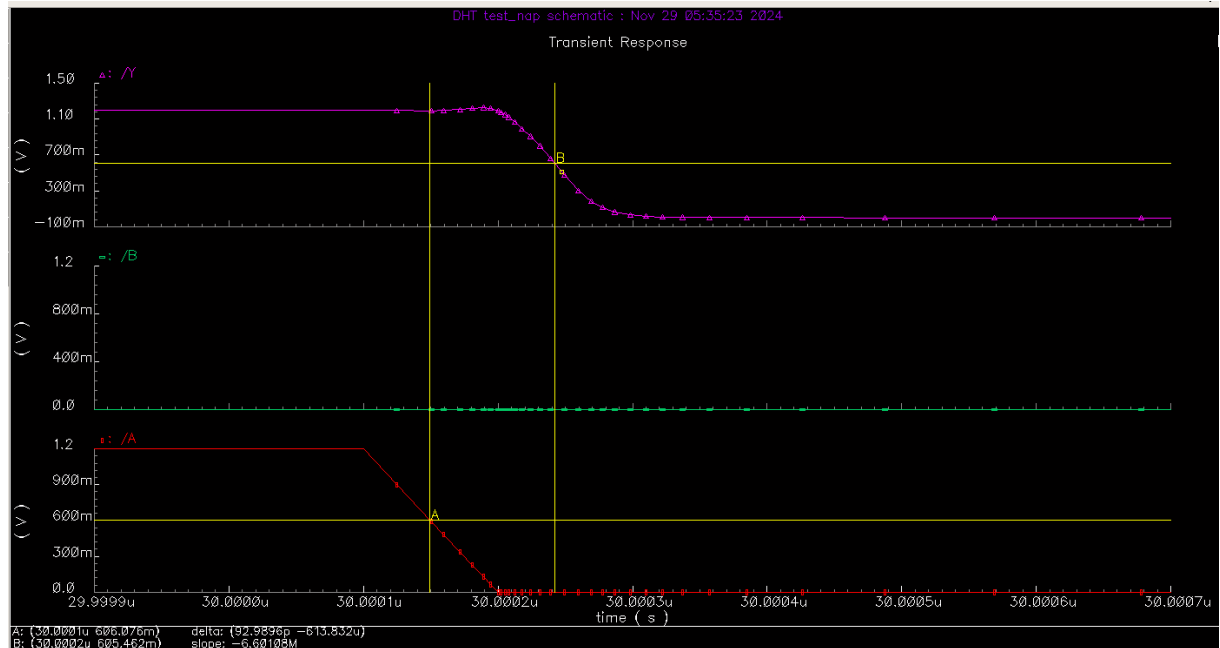
+ 10 us tới 20 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 1,2 V (mức 1).

+ 20 us tới 30 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 1,2 V (mức 1).

+ 30 us tới 40 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 0 V (mức 0).



Hình 6.7. Thời gian trễ cạnh lên tpdr: 71,5051 ps



Hình 6.8. Thời gian trễ cạnh xuống tpdf: 92,9896 ps

➔ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

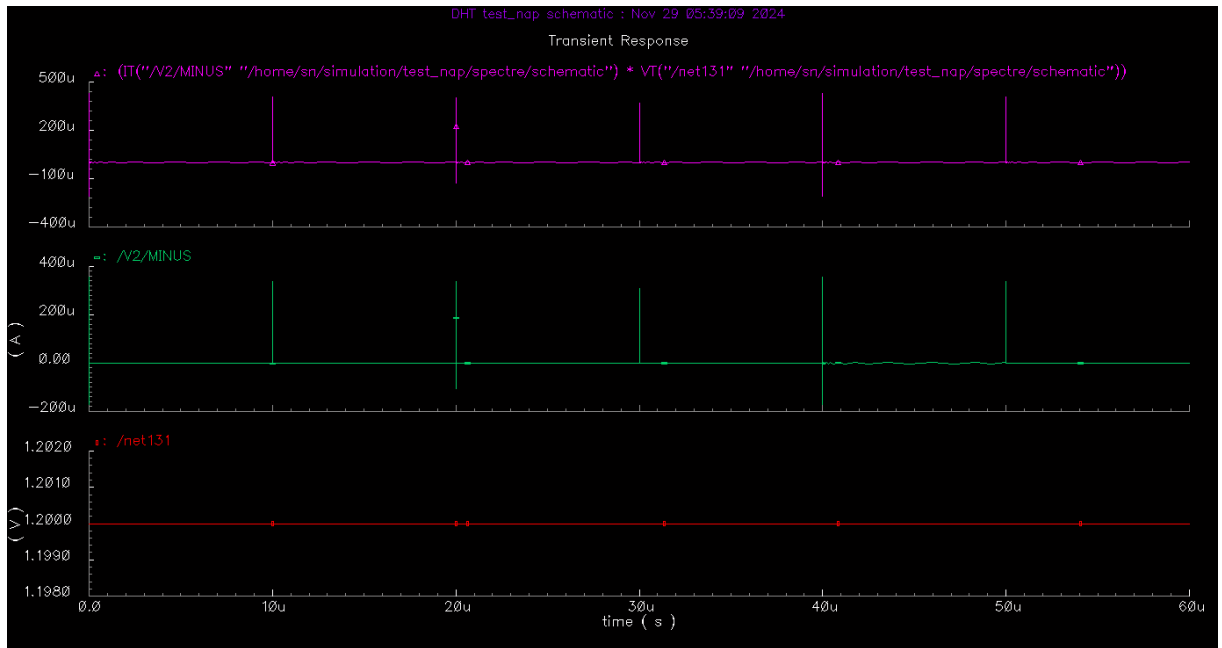
$$tpd = \frac{tpdf + tpdr}{2} = 82,24735 \text{ ps}$$

+ Trong đó:

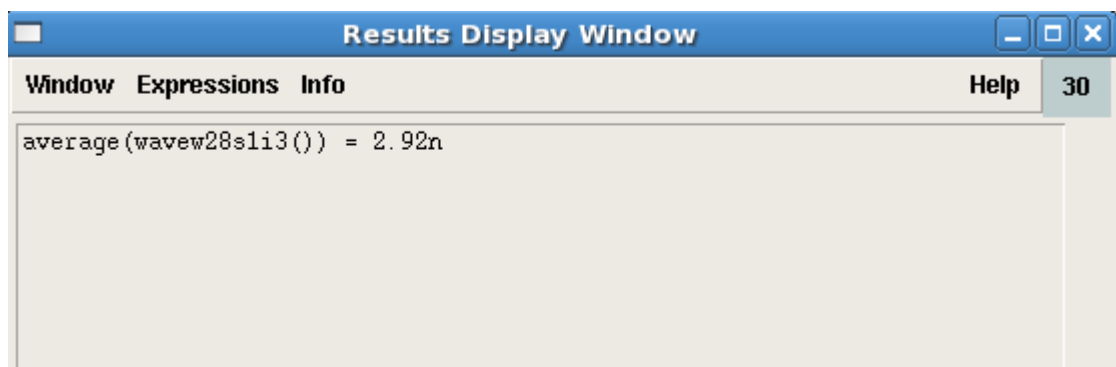
- Tpdr là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.

- T_{pdf} là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

6.2.4. Công suất của mạch



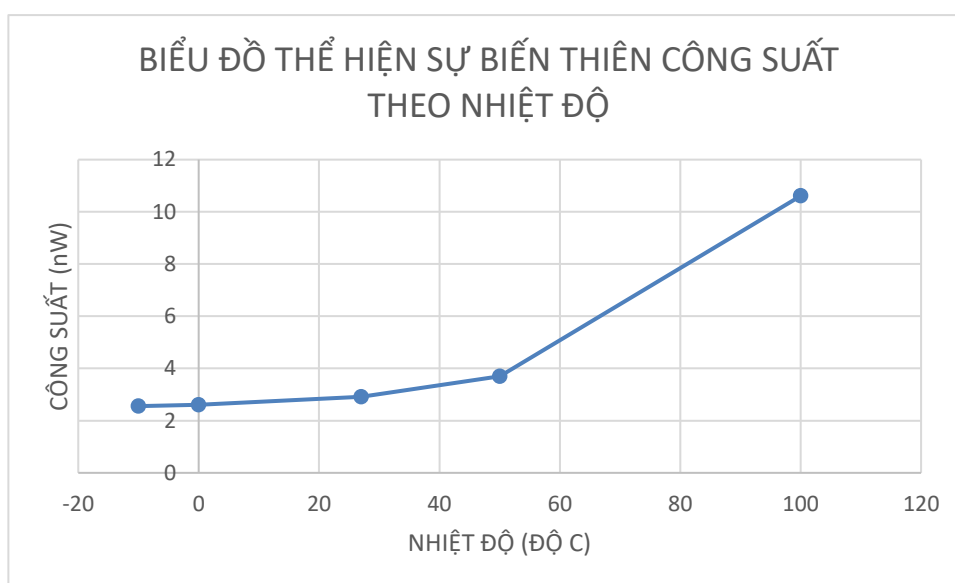
Hình 6.9. Mô phỏng công suất của mạch $P=U.I$



Hình 6.10. Công suất trung bình tại $27^{\circ}C$

Bảng 6.2. Bảng thể hiện công suất theo nhiệt độ

Nhiệt độ (°C)	Công suất (nW)
-10	2,556
0	2,603
27	2,92
50	3,702
100	10,61



Hình 6.11. Biểu đồ thể hiện công suất theo nhiệt độ

6.3. Kết luận

Qua quá trình thiết kế và mô phỏng cổng XOR ta thấy: với đầu vào A, B và đầu ra Y thì cổng logic XOR có chức năng thực hiện phép cộng đảo bit 2 số nhị phân. Nghĩa là với đầu vào mức logic giống nhau khi qua XOR sẽ cho kết quả đầu ra mức thấp, ngược lại đầu vào khác nhau thì ngõ ra mức cao.

CHƯƠNG 7. CÔNG XNOR

7.1. Lý thuyết

7.1.1. Ký hiệu

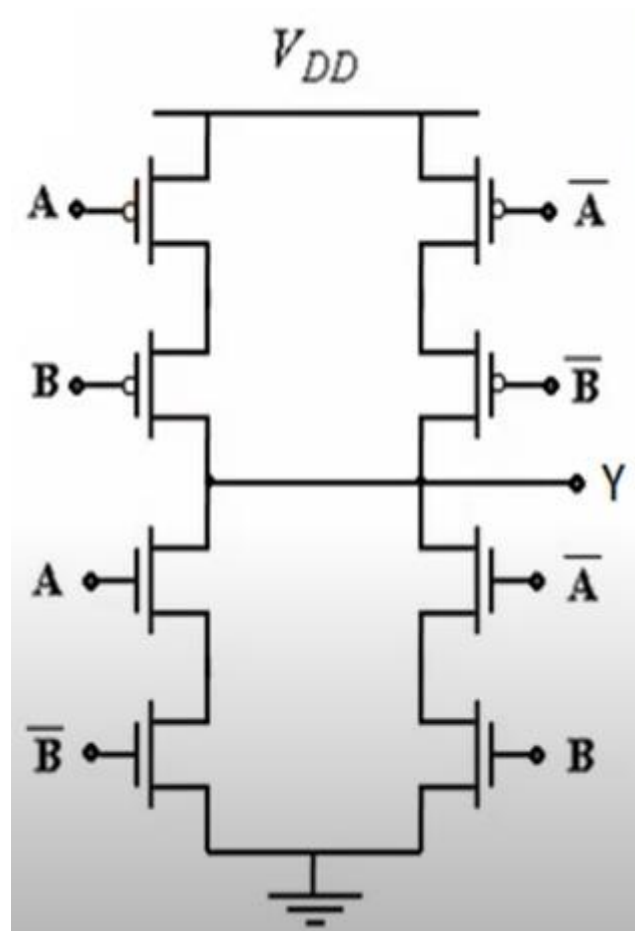


Hình 7.1. Ký hiệu cổng XNOR

Bảng 7.1. Bảng trạng thái cổng XNOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

7.1.2. Sơ đồ nguyên lý

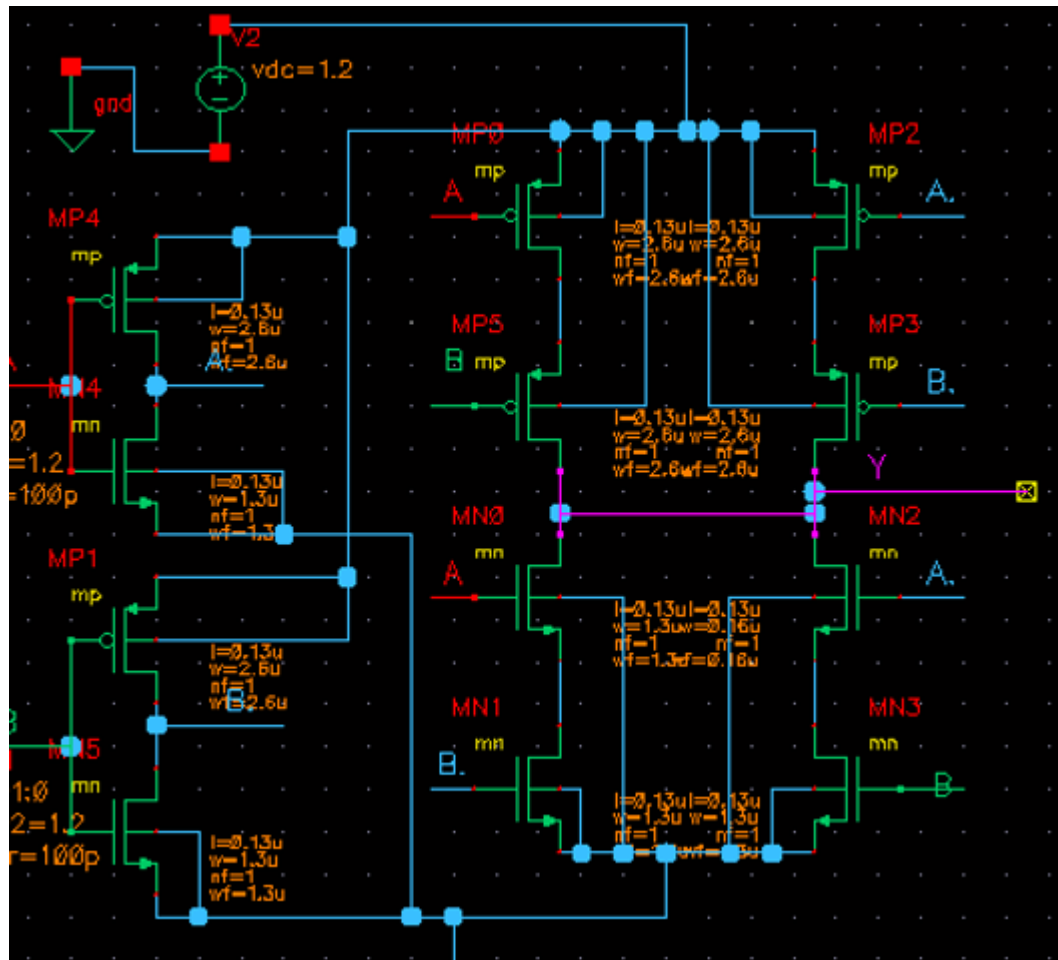


Hình 7.2. Sơ đồ cổng XNOR CMOS

- Thông số W/L như ở cổng Inverter.

7.2. Mô phỏng

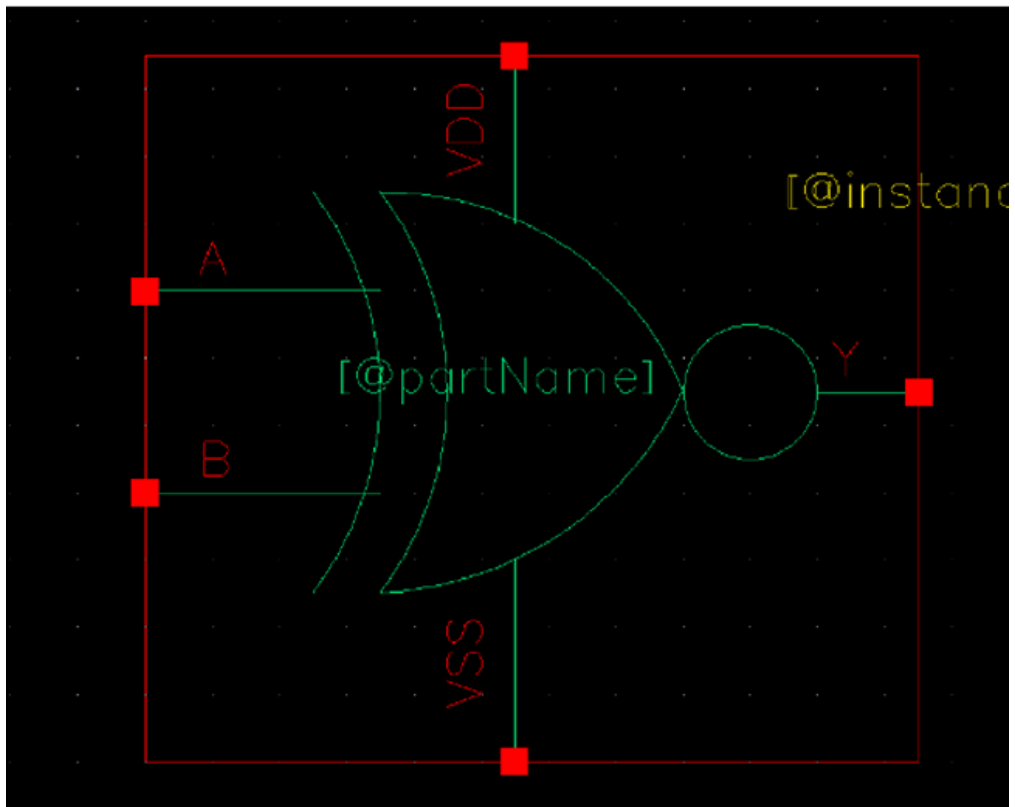
7.2.1. Sơ đồ nguyên lý



Hình 7.3. Schematic của cổng XNOR trên Cadence

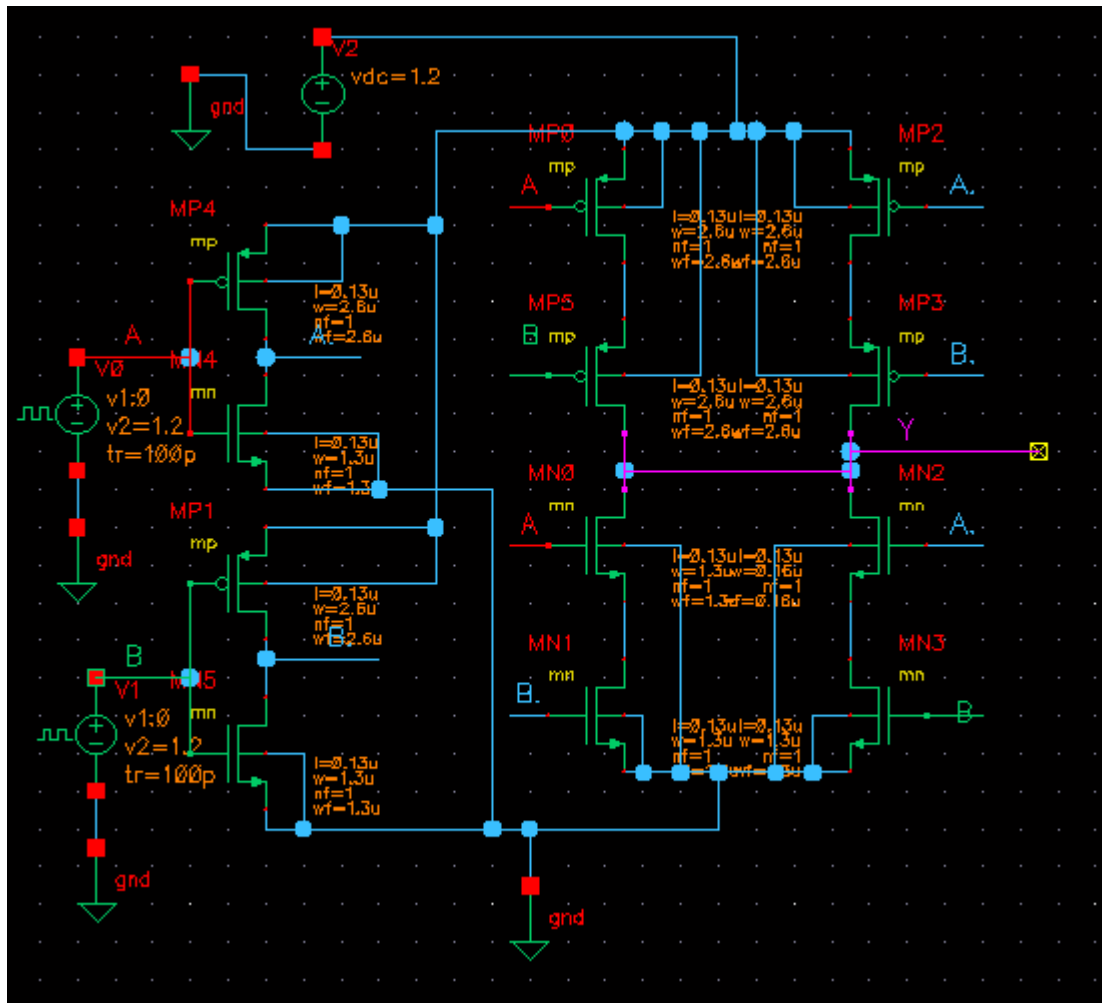
- Bảng thông số transistor (W, L, nhiệt độ) tương tự như ở cổng inverter.

7.2.2. Đóng gói ký hiệu



Hình 7.4. Symbol cổng XNOR

- Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse})



Hình 7.5. Mạch kiểm tra cổng XNOR

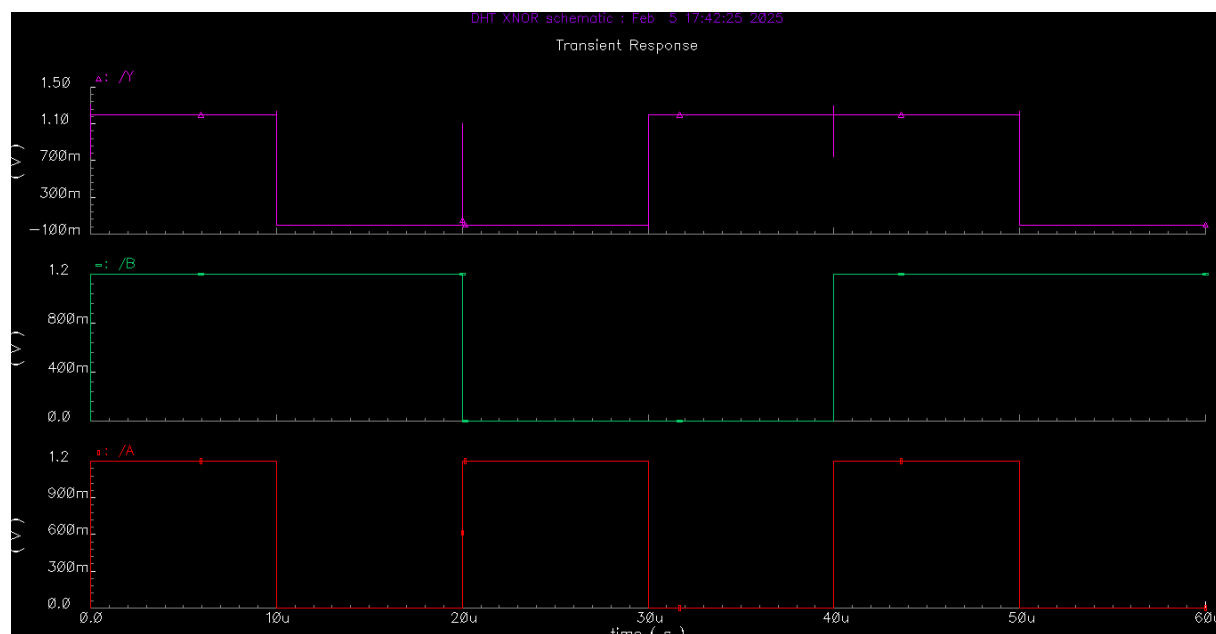
- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :
- V_{DD} nối với nguồn V_{DC} (V_0) = 1,2 V.
- V_{SS} ta nối đất.
- Chân ngõ vào A, B nối với nguồn V_{Pulse} (V_1 , V_2) với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.
 - + thời gian trễ: 0 s.
 - + thời gian xung cạnh lên: 100 ps.
 - + thời gian xung xuống: 100 ps.
 - + độ rộng xung: 10 us (tại A), 20 us (tại B).

+ chu kỳ: 20 us (tại A), 40 us (tại B).

7.2.3. Dạng sóng

+ Kết quả mô phỏng:

- A: ngõ vào (màu lục).
- Y: ngõ ra (màu đỏ).



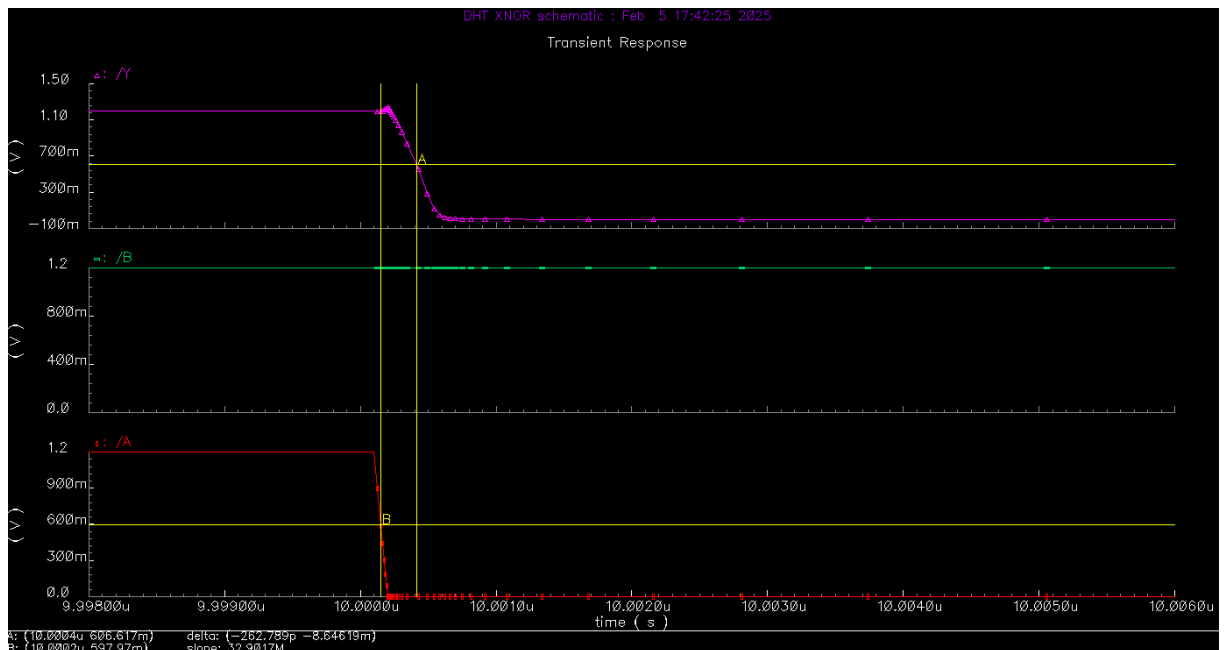
Hình 7.6. Kết quả mô phỏng

+ 0 us tới 10 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 0 V (mức 0).

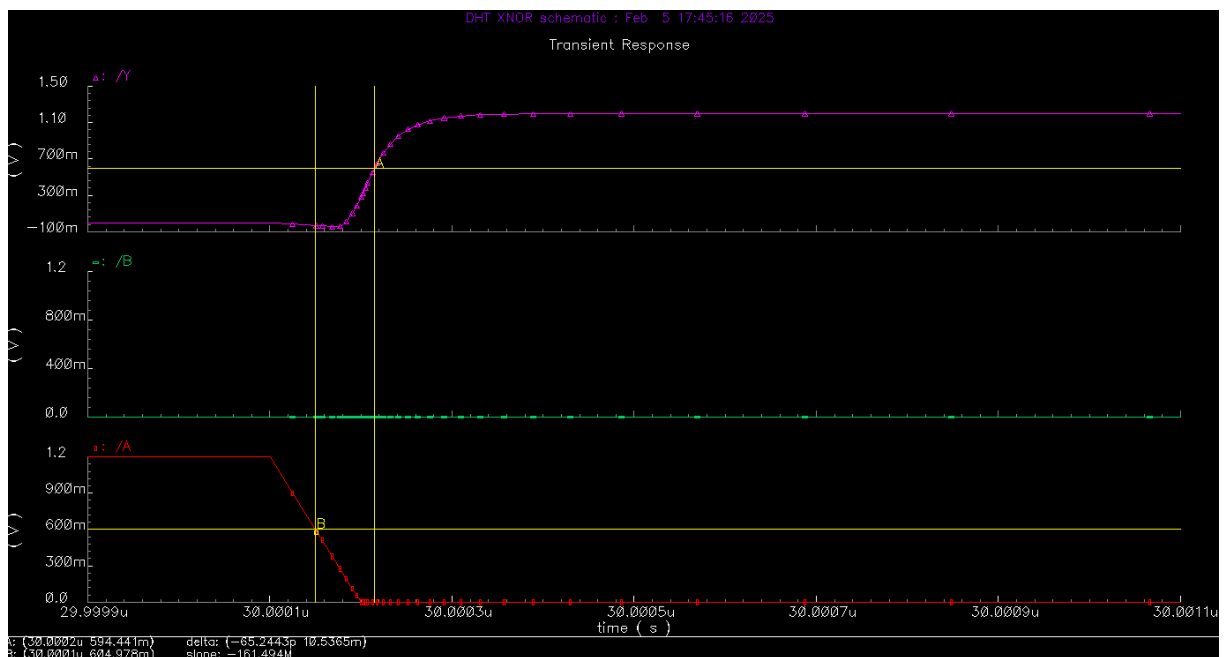
+ 10 us tới 20 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 1,2 V (mức 1) thì tín hiệu ngõ ra là 1,2 V (mức 1).

+ 20 us tới 30 us, tín hiệu ngõ vào tại A là 1,2 V (mức 1), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 1,2 V (mức 1).

+ 30 us tới 40 us, tín hiệu ngõ vào tại A là 0 V (mức 0), tại B là 0 V (mức 0) thì tín hiệu ngõ ra là 0 V (mức 0).



Hình 7.7. Thời gian trễ cạnh xuống tpdf: 262,789 ps



Hình 7.8. Thời gian trễ cạnh lên tpdr: 65,2443 ps

➔ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

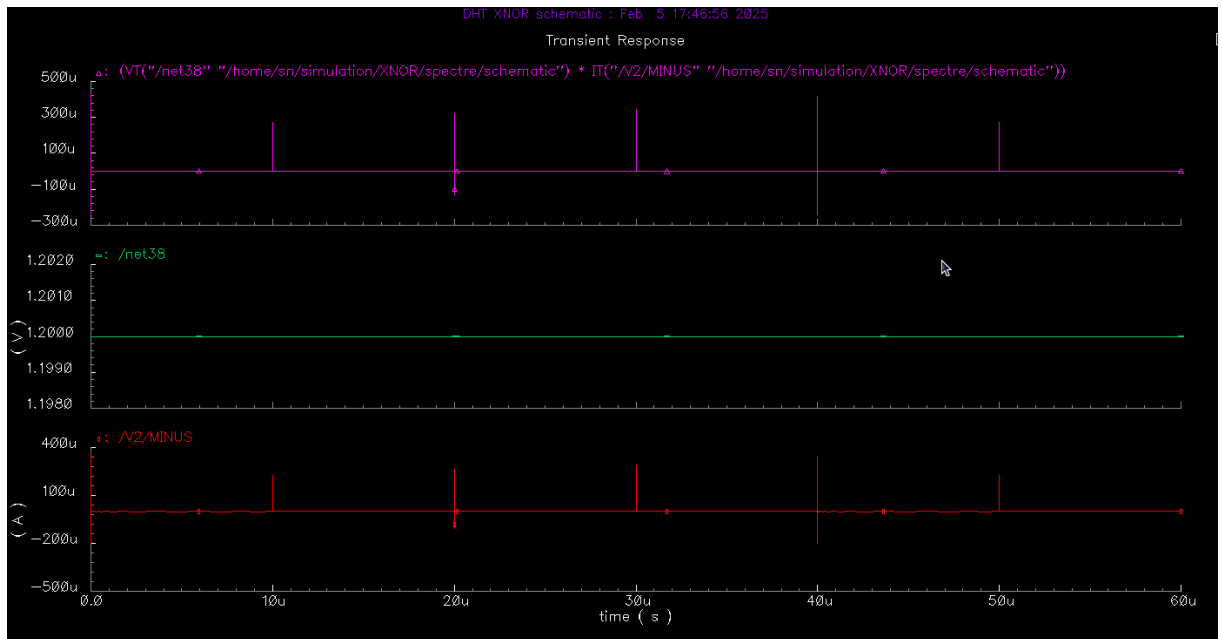
$$tpd = \frac{tpdf + tpdr}{2} = 164,01665 \text{ ps}$$

+ Trong đó:

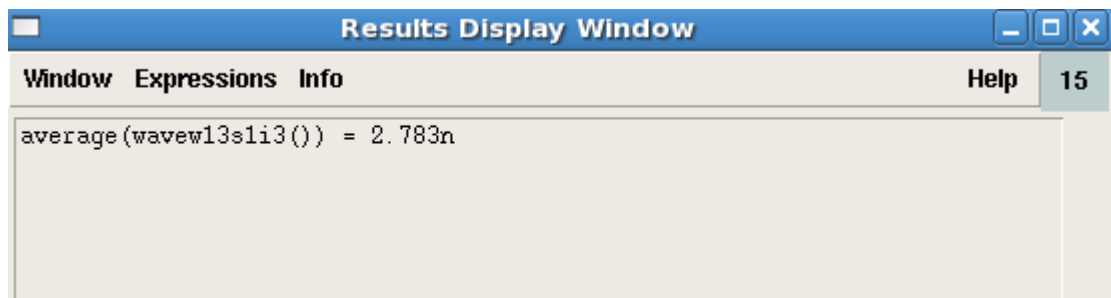
- Tpdr là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.

- T_{pdf} là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

7.2.4. Công suất của mạch



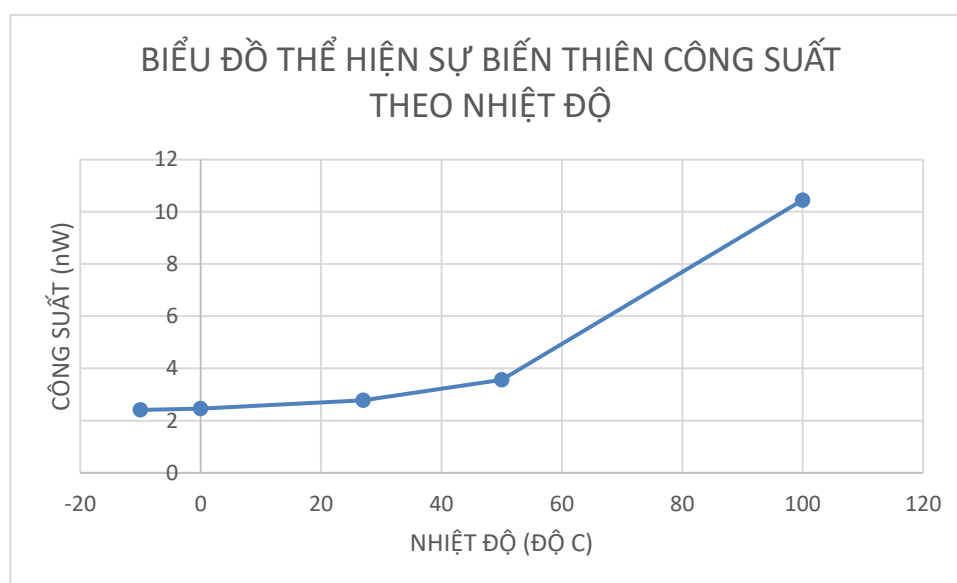
Hình 7.9. Mô phỏng công suất của mạch $P=U.I$



Hình 7.10. Công suất trung bình tại 27°C

Bảng 7.2. Bảng thể hiện công suất theo nhiệt độ

Nhiệt độ (°C)	Công suất trung bình (nW)
-10	2,41
0	2,46
27	2,783
50	3,566
100	10,45



Hình 1.15. Biểu đồ thể hiện công suất theo nhiệt độ

7.3. Kết luận

Qua quá trình thiết kế và mô phỏng cổng logic XNOR: với đầu vào A,B và đầu ra Y thì cổng XNOR có chức năng thực hiện phép đảo bit 2 số nhị phân. Nghĩa là với đầu vào mức logic giống nhau khi qua XNOR sẽ thu được kết quả mức cao và nếu khác nhau sẽ thu được ngõ ra mức thấp.

KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

Kết luận:

1. Tóm tắt kết quả đạt được:

- Các cổng logic cơ bản trong công nghệ CMOS (AND, OR, NOT, NAND, NOR, XOR, XNOR) đã được khảo sát và phân tích chi tiết về:
 - + **Bảng sự thật (Truth Table)** để xác minh chức năng logic chính xác.
 - + **Độ trễ (Delay)** giữa tín hiệu đầu vào và đầu ra, với sự phụ thuộc vào tải và kích thước transistor.
 - + **Công suất tiêu thụ** (dynamic power và static power), chịu ảnh hưởng bởi điện dung ký sinh và hoạt động chuyển mạch.

- Kết quả chỉ ra rằng cổng **NAND** và **NOR** có hiệu suất cao hơn về công suất và độ trễ so với các cổng logic phức tạp hơn như XOR, XNOR.
- Việc tối ưu hóa tỉ lệ β_p/β_n có vai trò quan trọng trong việc cân bằng hiệu suất, bao gồm giảm công suất tiêu thụ và tối ưu hóa noise margin.

2. Đánh giá ưu và nhược điểm của công nghệ CMOS:

- Ưu điểm:

- + Độ tiêu thụ công suất tĩnh rất thấp do đặc tính chỉ tiêu thụ năng lượng trong quá trình chuyển mạch.
- + Hiệu quả cao cho các mạch logic đơn giản (NAND, NOR).

- Nhược điểm:

- + Khi tích hợp các cổng logic phức tạp hơn (XOR, XNOR), công suất và độ trễ tăng đáng kể.
- + Hiện tượng noise margin có thể bị suy giảm nếu tỉ lệ kích thước transistor (β_p/β_n) không được tối ưu.

Hướng phát triển:

1. Tối ưu hóa thiết kế transistor:

- Tiếp tục nghiên cứu các tỷ lệ β_p/β_n tối ưu cho từng cổng logic để cân bằng giữa độ trễ, công suất và độ nhạy tín hiệu.
- Sử dụng công nghệ scaling (xuống nút công nghệ nhỏ hơn) để giảm kích thước

transistor, giảm điện dung ký sinh và tăng mật độ tích hợp.

2. Cải thiện hiệu suất công suất và độ trễ:

- Áp dụng kỹ thuật **dynamic power gating** để giảm tiêu thụ công suất động trong các trạng thái không hoạt động.
- Sử dụng cấu trúc logic thay thế (như pass-transistor logic hoặc domino logic) cho các cổng logic phức tạp như XOR/XNOR để giảm công suất và độ trễ.

3. Phát triển công nghệ mới:

- Đánh giá khả năng tích hợp công nghệ **FinFET** hoặc **Gate-All-Around (GAA)** để khắc phục hiện tượng rò rỉ và tăng hiệu suất.
- Tiếp cận các vật liệu bán dẫn mới (như graphene hoặc CNTFET) để vượt qua giới hạn của CMOS truyền thống.

4. Ứng dụng cụ thể:

- Nghiên cứu khả năng tích hợp các cổng logic CMOS vào các hệ thống vi mạch phức tạp (ASIC, FPGA) để tối ưu hóa hiệu suất tổng thể.
- Phân tích mức tiêu thụ năng lượng ở cấp hệ thống để tối ưu các thiết kế chip dành cho IoT, AI và ứng dụng di động.

TÀI LIỆU THAM KHẢO

1. CMOS VLSI Design A Circuits and Systems Perspective, 4th Edition (2011), D. Hodges, H. G. Jackson, R.A. Saleh, Analysis and design of Digital integrated circuits.
2. Digital analog conversion (lecture), Trường Đại học Sư phạm Kỹ Thuật TP. HCM, Ths. Nguyễn Trường Duy.

SIGN: DANG-HUNG THINH

DATE: 02/11/2025 (mm/dd/yyyy)

