

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA: ĐIỆN – ĐIỆN TỬ
MÔN: THỰC TẬP THIẾT KẾ VI MẠCH VLSI
-----oOo-----



HCMUTE

BÁO CÁO
SCHMITT TRIGGER

GVHD: TS. LÊ MINH THÀNH

SVTH:

ĐẶNG HƯNG THỊNH

MSSV:

22119137

Lớp thứ 4 – Tiết 1-6
Tp. Hồ Chí Minh, tháng 02 năm 2025

ĐIỂM SỐ

TIÊU CHÍ	NỘI DUNG	TRÌNH BÀY	TỔNG
ĐIỂM			

NHẬN XÉT

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

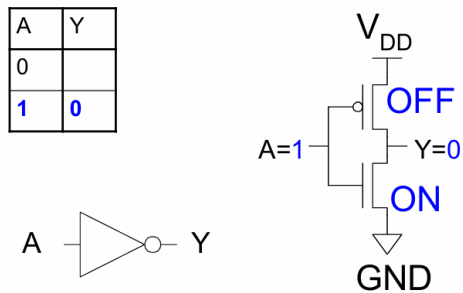
Ký tên

8.1. Lý thuyết

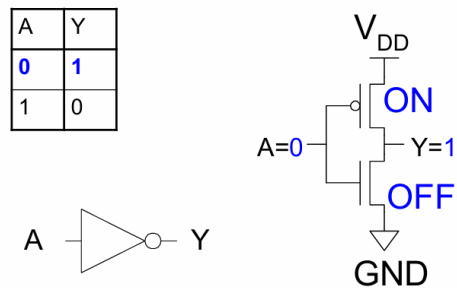
Bảng 8.1. Bảng trạng thái cổng NOT

A	Y
0	1
1	0

8.1.1. Nguyên lí hoạt động của mạch CMOS inverter



- Khi ngõ vào A=1 khi đó pmos tắt, nmos bật => kéo xuống đất => Ngõ ra Y=0



- Khi ngõ vào A=0 khi đó pmos bật, nmos tắt => kéo lên nguồn => Ngõ ra Y=1
- Tỷ lệ W/L trong khoảng 10 – 20

Bảng 8.2. Bảng thông số tỉ lệ W/L của transistor

Thông số kỹ thuật pmos	Thông số kỹ thuật nmos
- L = 0,13 u	- L = 0,13 u
- W = 2,6 u	- W = 1,3 u
- Nf = 1	- Nf = 1
- Nw = 2,6 u	- Nw = 1,3 u

➔ Tỉ lệ pmos/nmos = 2

- Trong đó:

+ L: Chiều dài kênh nhỏ, hiệu suất cao nhưng có thể có hiệu ứng kênh ngắn

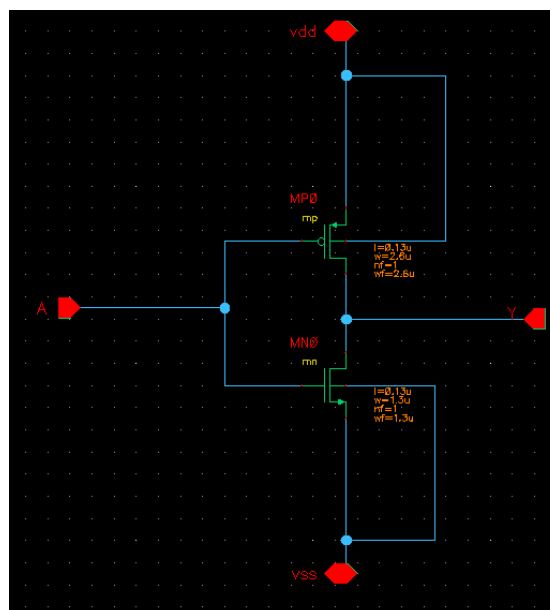
+ W: Chiều rộng kênh đảm bảo khả năng dẫn dòng điện tốt

+ Nf: Transistor có một ngón tay

+ Nw: Chiều rộng mỗi ngón tay là 2.6 micromet

8.2. Mô phỏng

8.2.1. Sơ đồ nguyên lý



Hình 8.1. Schematic của cổng NOT trên Cadence

8.2.2. Bảng thông số transistor (W , L , nhiệt độ)

Property	Value	Display
Library Name	113g_morfS	off
Cell Name	mp1	value
View Name	symbol1	off
Instance Name	MP1	value

CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	2.6u	off
Number of Fingers	1	off
Width (M)	2.6u	off
Multiplier	1	off
Source diffusion area	1.04p	off
Drain diffusion area	1.04p	off
Source diffusion periphery	3.4u	off
Drain diffusion periphery	3.4u	off
Distance from STI edge to Gate (M)	0.40u	off
Distance from another STI edge to Gate (M)	0.40u	off
Distance between neighboring Gates (M)	0.44u	off

Hình 8.2. Bảng thông số của pmos

Property	Value	Display
Library Name	113g_morf	off
Cell Name	mn1	value
View Name	symbol1	off
Instance Name	MN1	value

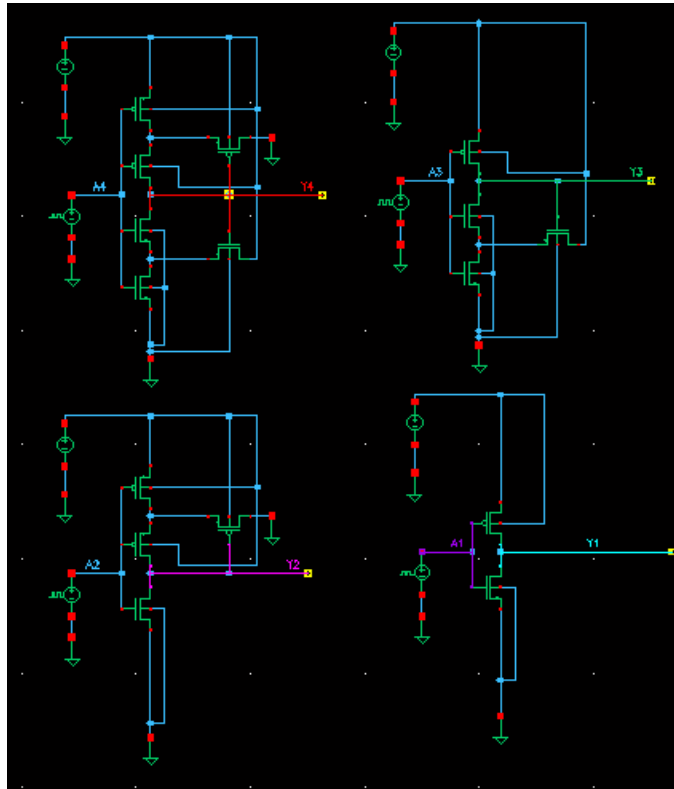
CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	1.3u	off
Number of Fingers	1	off
Width (M)	1.3u	off
Multiplier	1	off
Source diffusion area	0.52p	off
Drain diffusion area	0.52p	off
Source diffusion periphery	2.1u	off
Drain diffusion periphery	2.1u	off

Hình 8.3. Bảng thông số nmos

Scale: ☒ Celsius ☐ Farenheit ☐ Kelvin

Degrees:

Hình 8.4. Nhiệt độ mặc định 27°C Cấp nguồn, tín hiệu (V_{DD} , V_{SS} , V_{Pulse})



Hình 8.5. Bốn mạch strigger

Bảng 8.3. Bảng tên các mạch trong hình

Mạch	Tên
1	NOT CMOS thường
2	Schmitt Trigger (bỏ PMOS)
3	Schmitt Trigger (bỏ NMOS)
4	Schmitt Trigger đầy đủ

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :

- V_{DD} nối với nguồn $V_{DC} = 1,2 \text{ V}$.
- V_{SS} ta nối đất.
- Chân ngõ vào A nối với nguồn V_{Pulse} với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.

- + thời gian trễ: 0 s.
- + thời gian xung cạnh lên: 100 ps.
- + thời gian xung xuống: 100 ps.
- + độ rộng xung: 10 μ s.
- + chu kỳ: 20 μ s.

CDF Parameter	Value	Display
AC magnitude	<input type="text"/>	off <input type="checkbox"/>
AC phase	<input type="text"/>	off <input type="checkbox"/>
DC voltage	<input type="text"/>	off <input type="checkbox"/>
Voltage 1	0 V	off <input type="checkbox"/>
Voltage 2	1.2 V	off <input type="checkbox"/>
Delay time	0 s	off <input type="checkbox"/>
Rise time	100p s	off <input type="checkbox"/>
Fall time	100p s	off <input type="checkbox"/>
Pulse width	10 μ s	off <input type="checkbox"/>
Period	20 μ s	off <input type="checkbox"/>

Hình 8.6. Bảng thông số của nguồn

8.2.3. Phân tích mạch

8.2.3.1. Cấu trúc mạch

- Gồm 3 transistor PMOS (P1, P2, P3) và 3 transistor NMOS (N1, N2, N3).
- P1 và N1 tạo thành một tầng khuếch đại kiểu biến thiên đầu vào.
- P2 và N2 là phần điều khiển chính, quyết định trạng thái của đầu ra.
- P3 và N3 tạo phản hồi dương giúp tạo hiệu ứng trễ (hysteresis).

8.2.3.2. Hoạt động của mạch

- Khi $IN = 0V$ (mức thấp):
 - + P1 và P2 dẫn, kéo OUT lên mức cao (VCC).
 - + N1 và N2 tắt.
 - + P3 tắt, N3 tắt \rightarrow không ảnh hưởng đến OUT.
- Khi IN tăng lên và vượt qua một giá trị ngưỡng V_H :
 - + N1 và N2 bắt đầu dẫn, kéo OUT xuống mức thấp (0V).

+ P1 và P2 tắt.

+ N3 dẫn, kéo OUT về 0V mạnh hơn, giúp đảm bảo tín hiệu không bị nhiễu khi chuyển trạng thái.

- Khi IN giảm xuống dưới một giá trị ngưỡng thấp hơn V_L :

+ P1 và P2 dẫn trở lại, kéo OUT lên mức cao (VCC).

+ N1 và N2 tắt.

+ P3 tắt, N3 tắt \rightarrow giúp ổn định trạng thái cao.

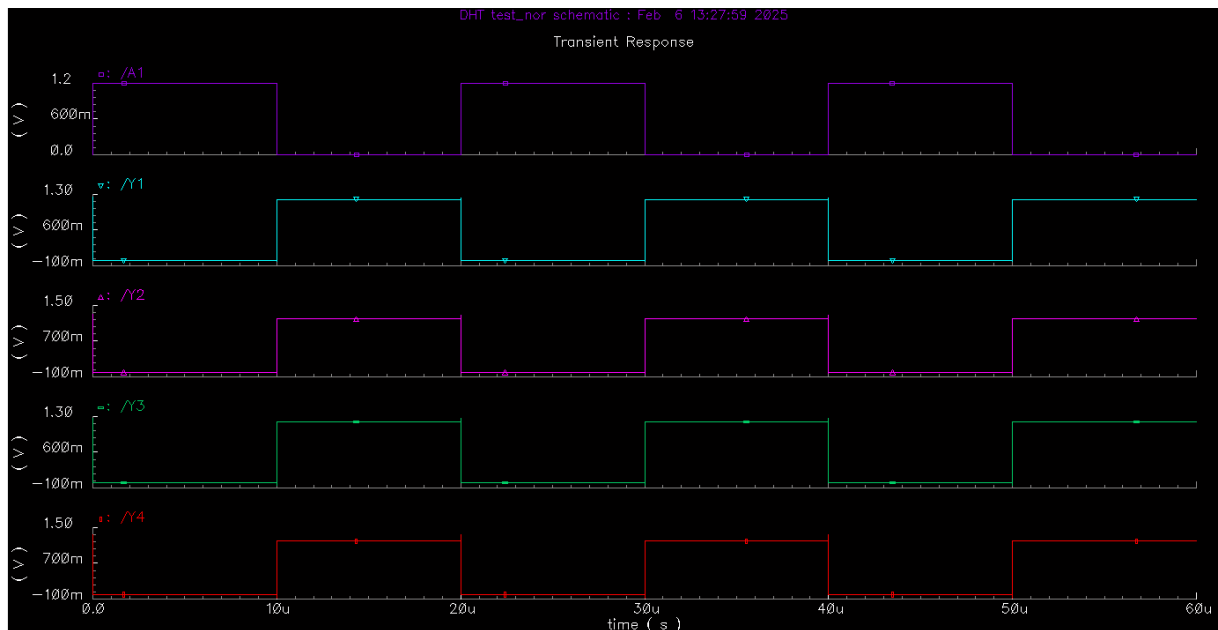
8.2.3.3. Ứng dụng của mạch Schmitt Trigger NOT

- Dùng trong mạch lọc nhiễu tín hiệu số.
- Tạo tín hiệu xung vuông từ tín hiệu đầu vào không ổn định.
- Ứng dụng trong vi điều khiển để xử lý tín hiệu từ cảm biến.

8.2.4. Dạng sóng

+ Kết quả mô phỏng:

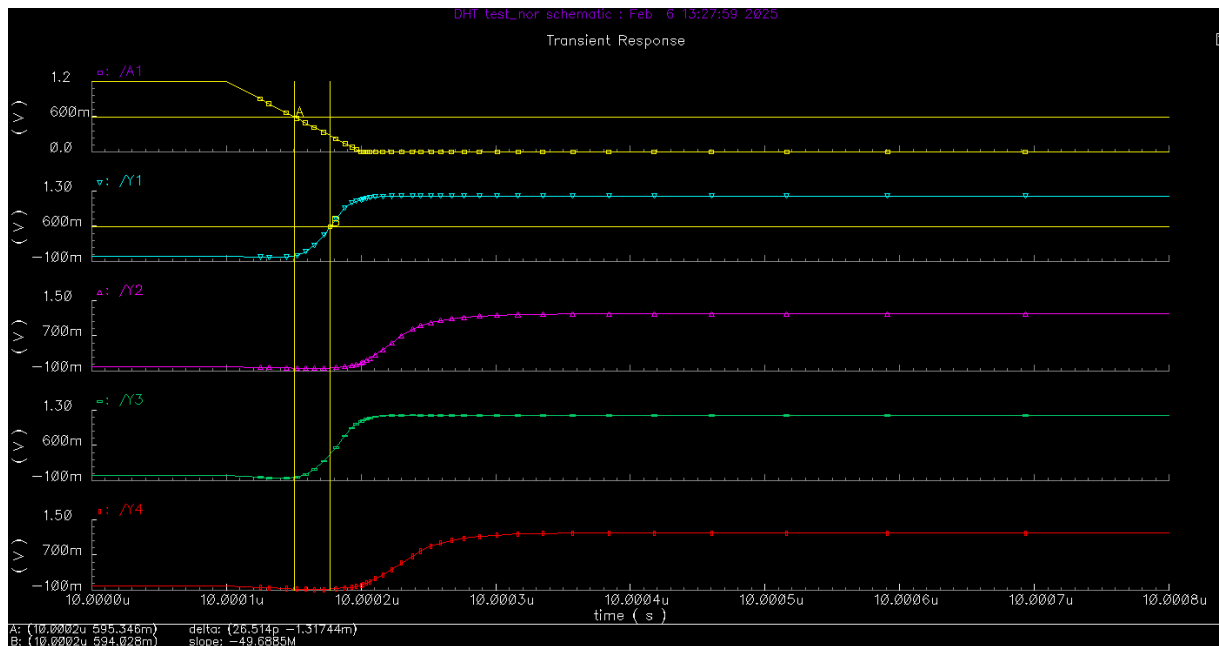
- A_1, A_2, A_3, A_4 (Ngõ vào).
- Y_1, Y_2, Y_3, Y_4 (Ngõ ra).



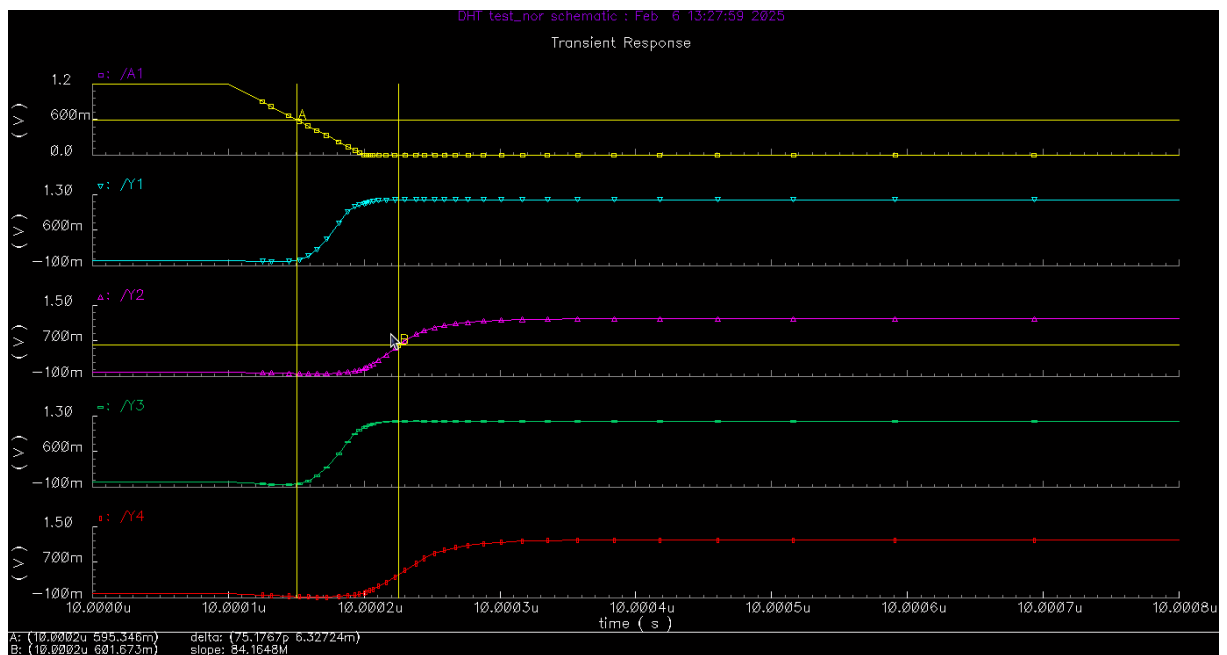
Hình 8.7. Kết quả mô phỏng

+ 0 us tới 10 us, tín hiệu ngõ vào là 1,2 V (mức 1) thì tín hiệu ngõ ra là 0 V (mức 0).

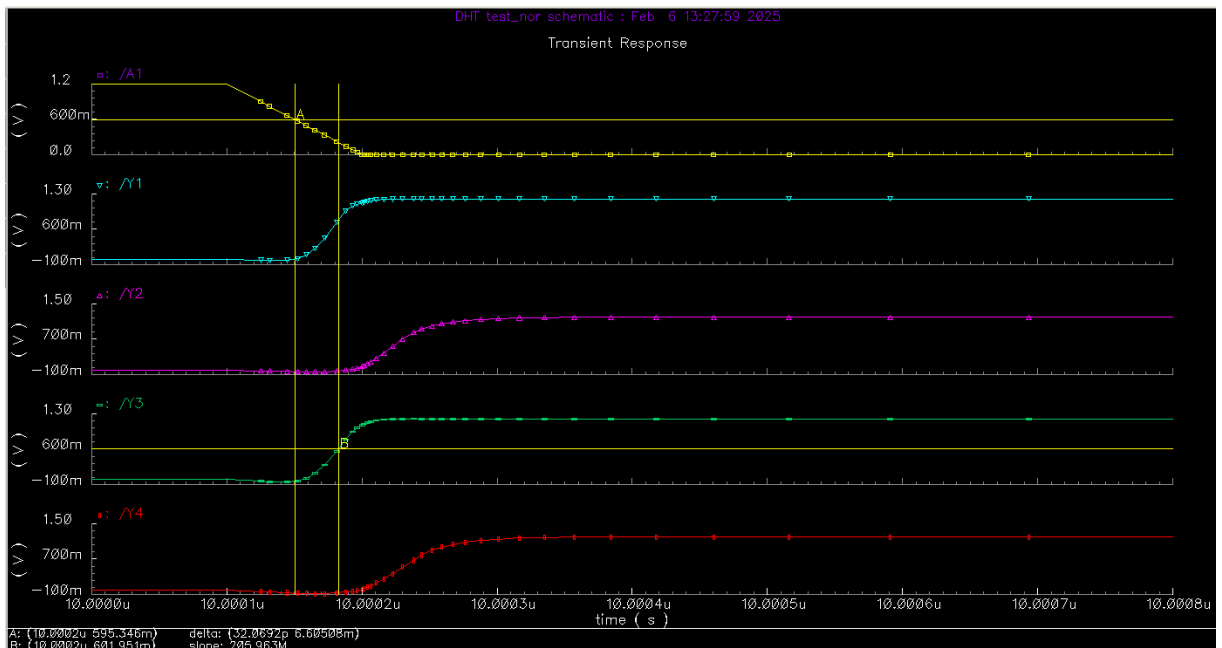
+ 10 us tới 20 us, tín hiệu ngõ vào là 0 V (mức 0) thì tín hiệu ngõ ra xấp xỉ 1,2 V (mức 1).



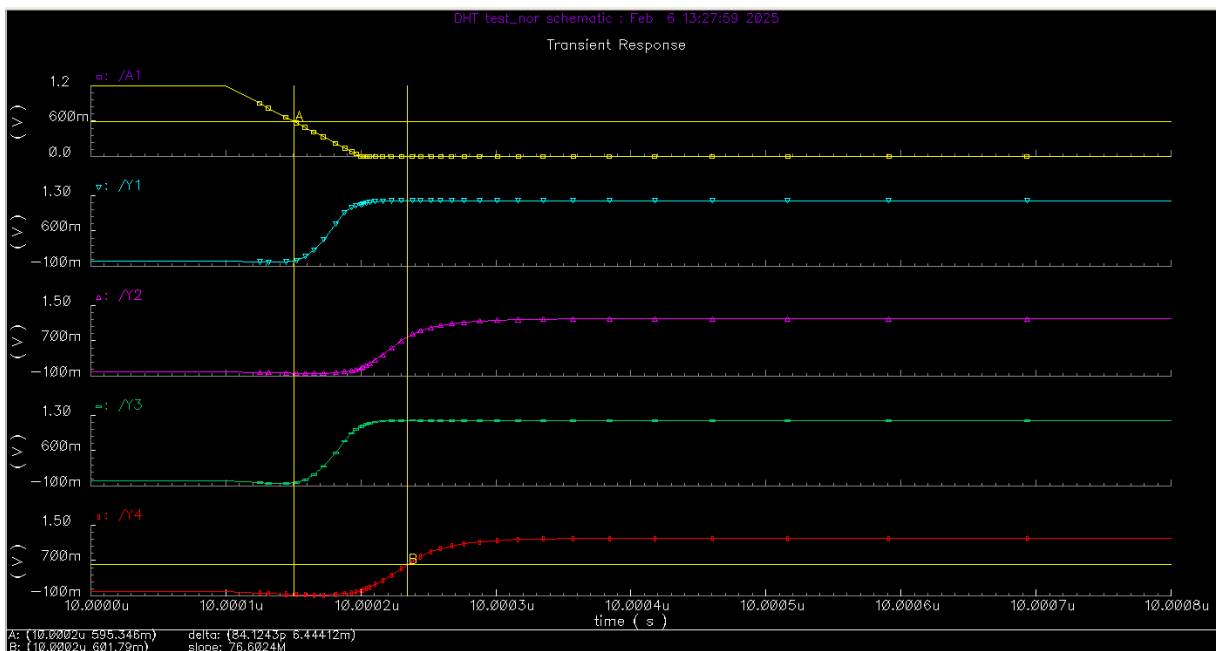
Hình 8.8. Thời gian trễ cạnh lên tpdr tại Y₁: 26,514 ps



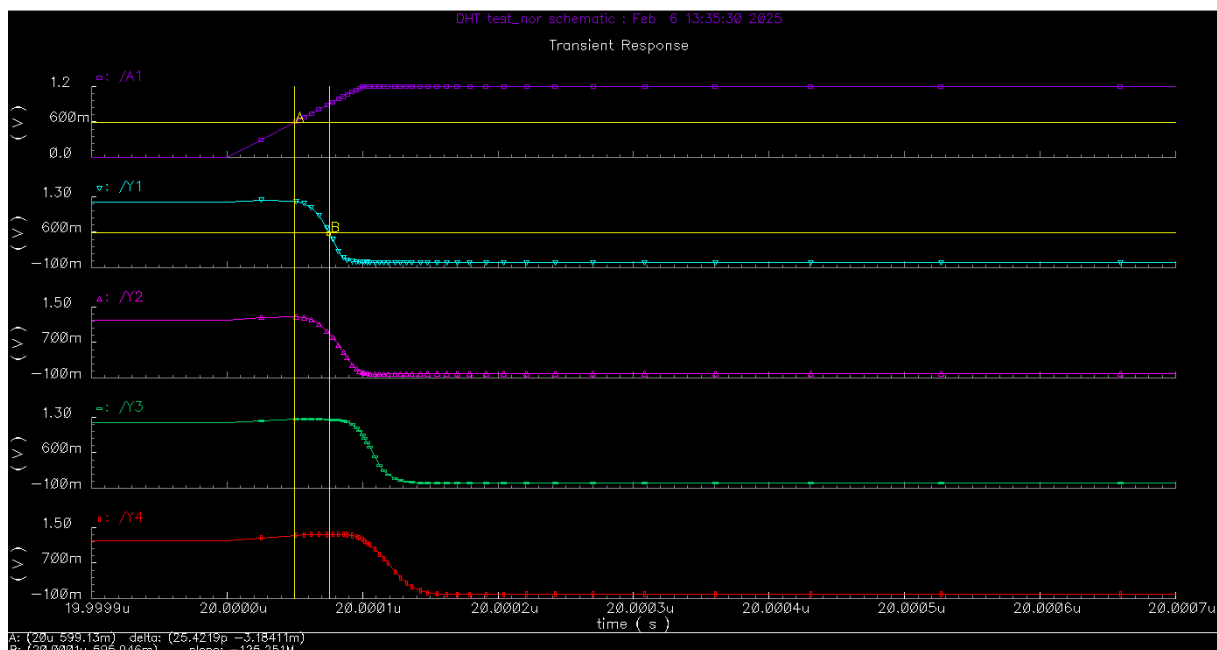
Hình 8.9. Thời gian trễ cạnh lên tpdr tại Y₂: 75,1767 ps



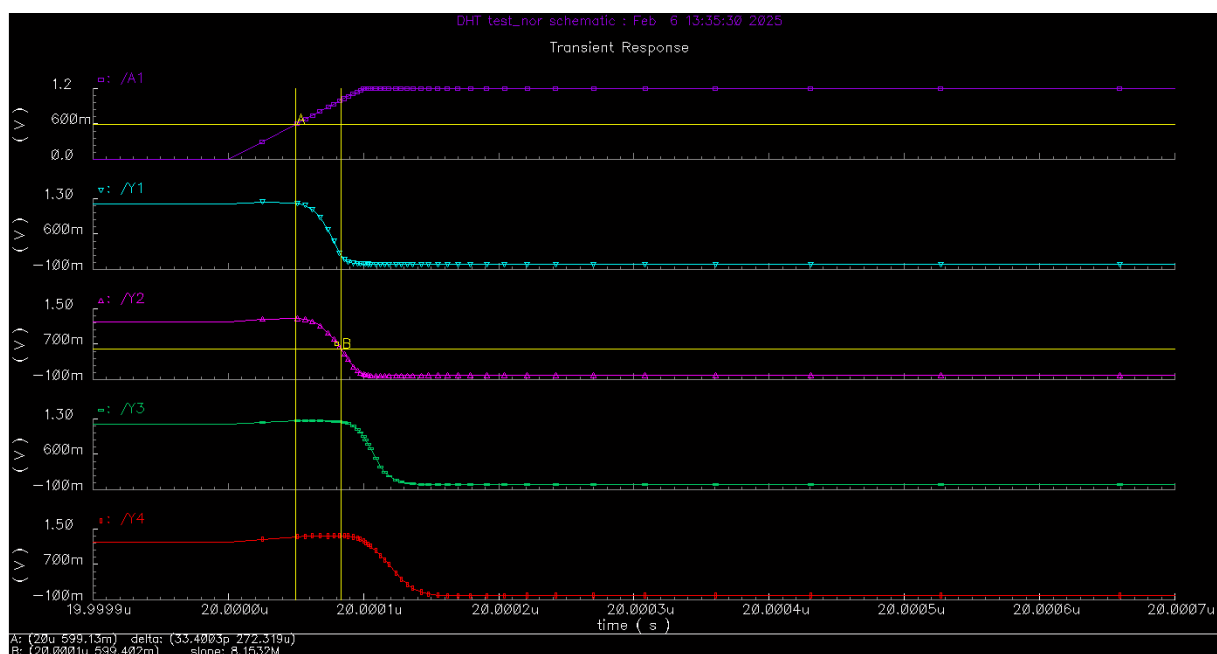
Hình 8.10. Thời gian trễ cạnh lên t_{pd} tại Y₃: 32,0692 ps



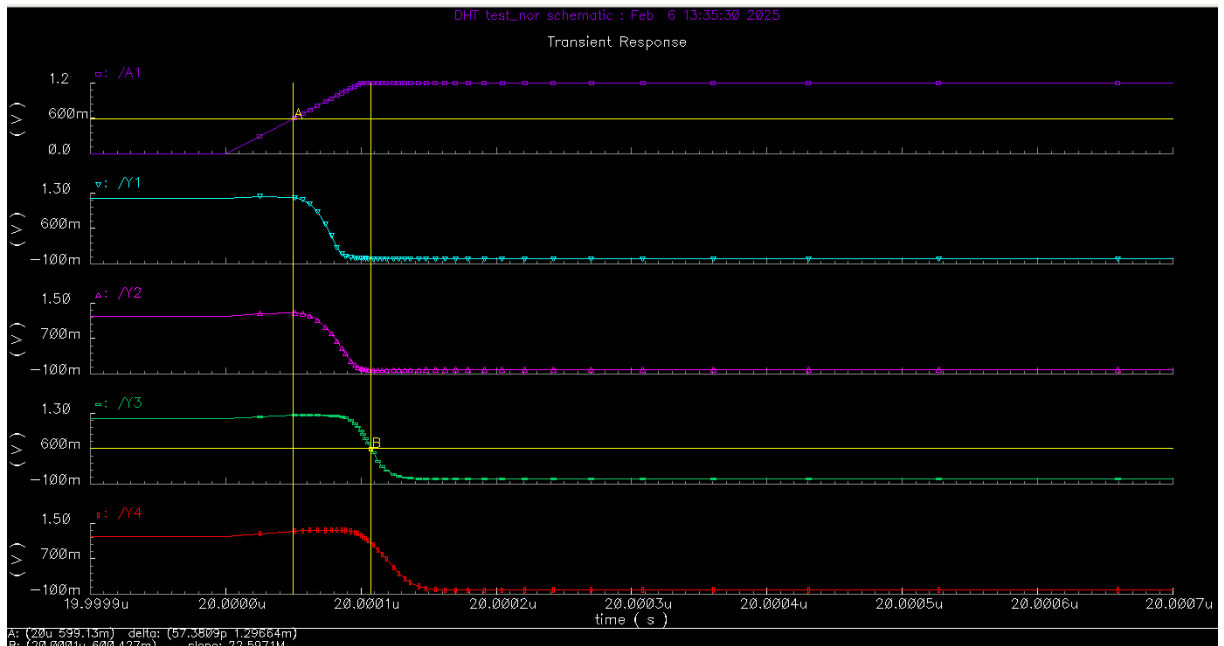
Hình 8.11. Thời gian trễ cạnh lên t_{pd} tại Y₄: 84,1243 ps



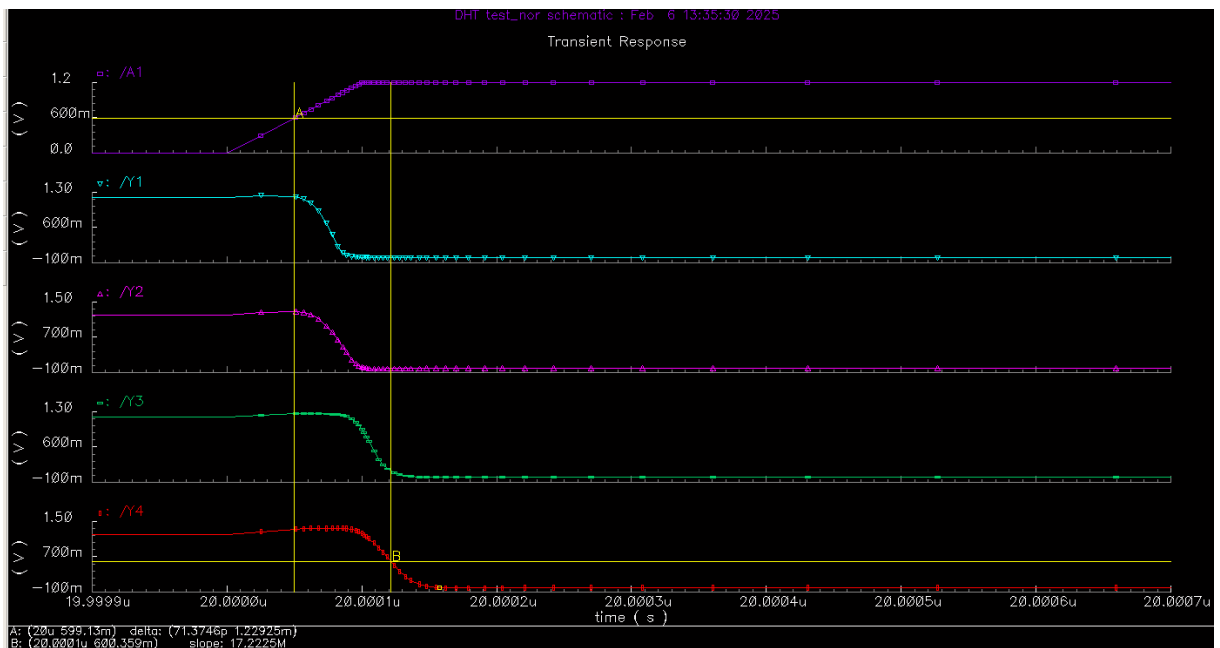
Hình 8.12. Thời gian trễ cạnh xuống tpdf tại Y_1 : 25,4219 ps



Hình 8.13. Thời gian trễ cạnh xuống tpdf tại Y_3 : 33,4003 ps



Hình 8.14. Thời gian trễ cạnh xuống tpdf tại Y₃: 57,3809 ps



Hình 8.15. Thời gian trễ cạnh xuống tpdf tại Y₄: 71,3746 ps

→ Để đánh giá được thời gian trễ lan truyền của mạch, ta tiến hành đo thời gian trễ ở các cạnh lên và cạnh xuống sau đó tính trung bình:

$$t_{pd} = \frac{t_{pdf} + t_{pdr}}{2}$$

Bảng 8.4. Bảng so sánh transition time của 4 mạch trên.

Mạch	Transition time
1	25,96795
2	54,2885
3	44,72505
4	77,74945

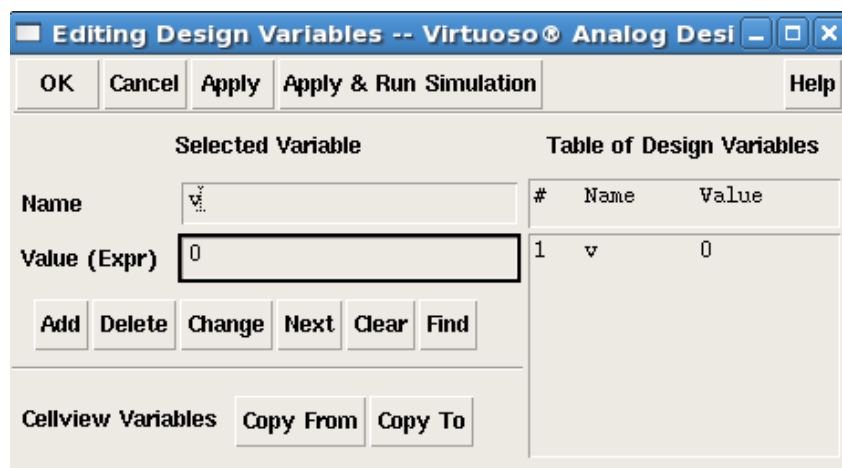
+ Trong đó:

- T_{pdr} là thời gian trễ cạnh lên, từ mức thấp ban đầu cho đến khi tăng đến giá trị $V_{DD}/2$.
- T_{pdf} là thời gian trễ cạnh xuống, từ mức cao cho đến khi giảm xuống giá trị $V_{DD}/2$.

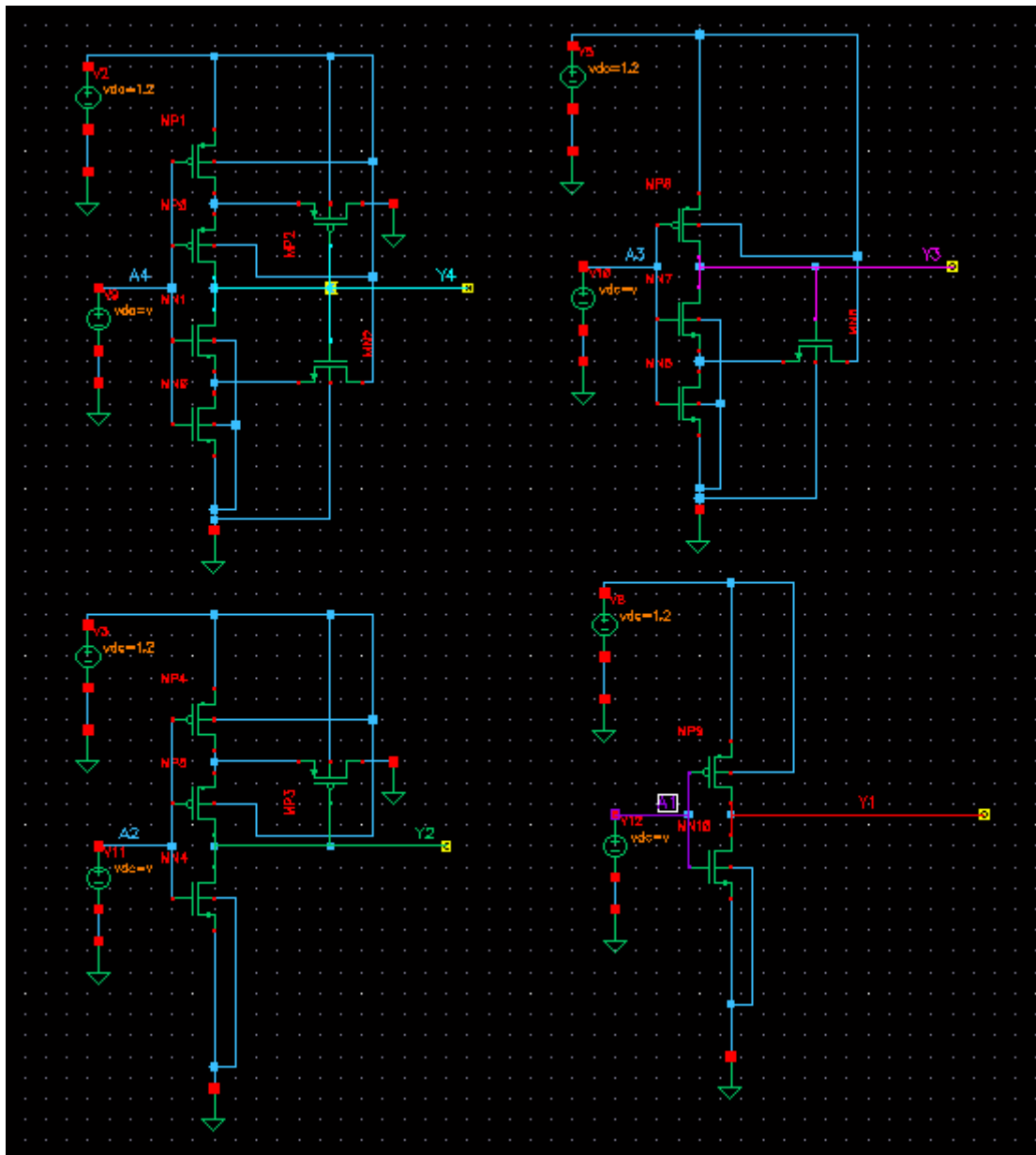
8.3. Khảo sát đặc tuyến DC

+ Thông số cài đặt:

- Ngõ vào A nối với nguồn có điện áp được đặt bằng biến $V_{in} = v$
- Ngõ ra Y
- Chân V_{DD} nối với nguồn $V_{DC} = 1.2\text{ V}$
- Chân V_{SS} ta nối đất



Hình 8.16. Tạo biến cho V_{in}



Hình 8.17. Sơ đồ mạch

+ Thiết lập chế độ mô phỏng DC, cho biến v chạy từ 0 đến 1.2: Analyses → Choose → DC → Design variable → Nhập tên biến → Bắt đầu và kết thúc:

Choosing Analyses -- Virtuoso® Analog Des [OK] [Cancel] [Defaults] [Apply] [Help]

Analysis

<input type="checkbox"/> tran	<input checked="" type="checkbox"/> dc	<input type="checkbox"/> ac	<input type="checkbox"/> noise
<input type="checkbox"/> xf	<input type="checkbox"/> sens	<input type="checkbox"/> dcmatch	<input type="checkbox"/> stb
<input type="checkbox"/> pz	<input type="checkbox"/> sp	<input type="checkbox"/> envlp	<input type="checkbox"/> pss
<input type="checkbox"/> pac	<input type="checkbox"/> pnoise	<input type="checkbox"/> pxf	<input type="checkbox"/> psp
<input type="checkbox"/> qpss	<input type="checkbox"/> qpac	<input type="checkbox"/> qpnoise	<input type="checkbox"/> qpxf
<input type="checkbox"/> qpss	<input type="checkbox"/> hb	<input type="checkbox"/> hbac	<input type="checkbox"/> hbnoise
<input type="checkbox"/> measure			

DC Analysis

Save DC Operating Point ☐

Sweep Variable

☐ Temperature
☒ Design Variable Variable Name
☐ Component Parameter
☐ Model Parameter

Sweep Range

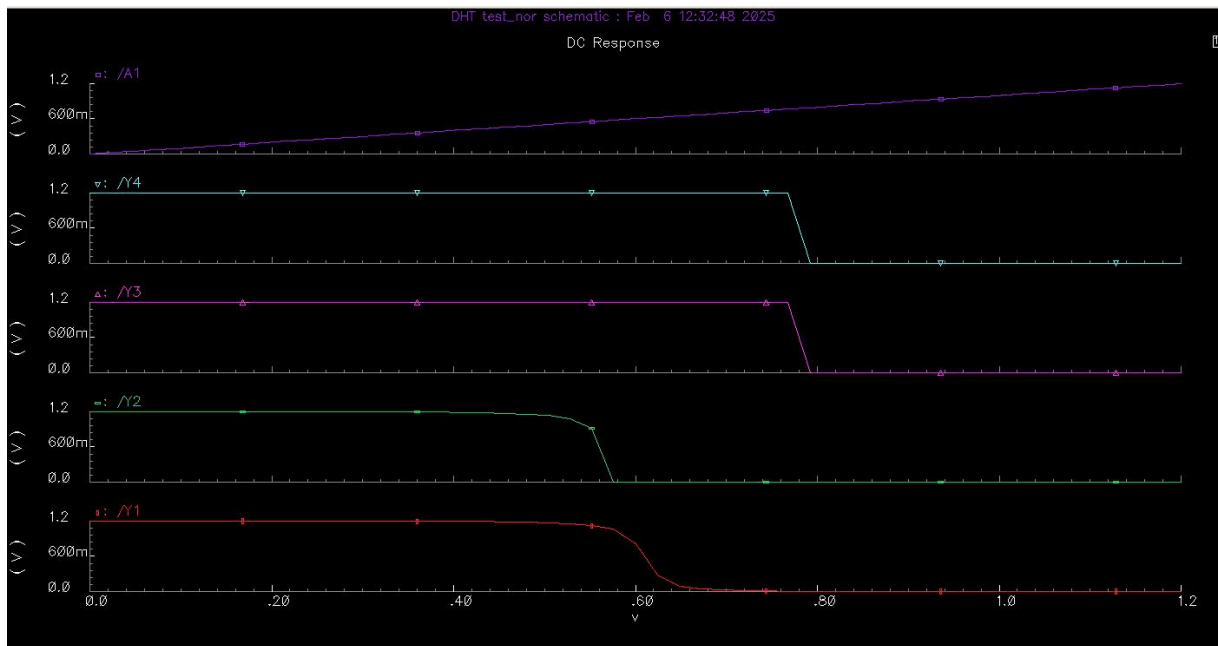
☒ Start-Stop Start Stop
☐ Center-Span

Sweep Type

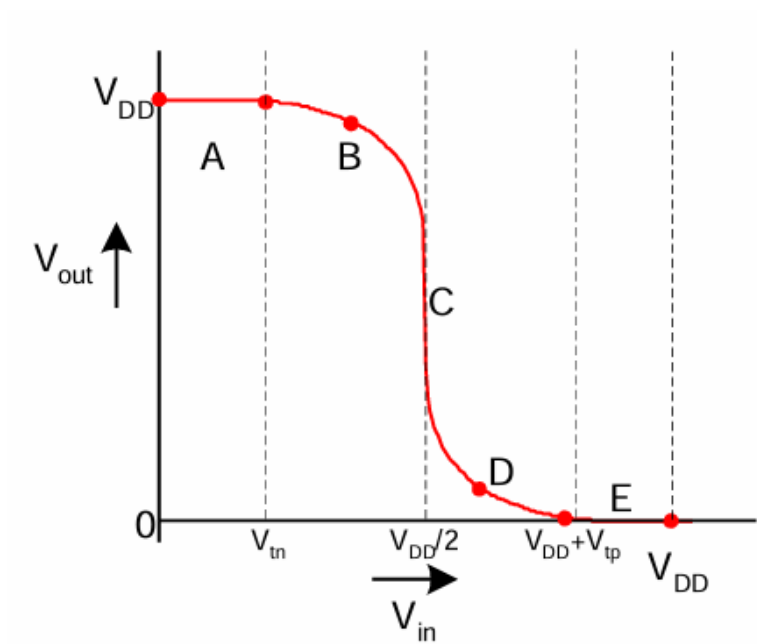
Add Specific Points ☐

Enabled ☒

Hình 8.18. Thiết lập cho biến v chạy từ 0 đến 1.2



Hình 8.19. Đặc tuyến DC



Hình 8.20. Các vùng pmos, cmos hoạt động trên đặc tuyến DC

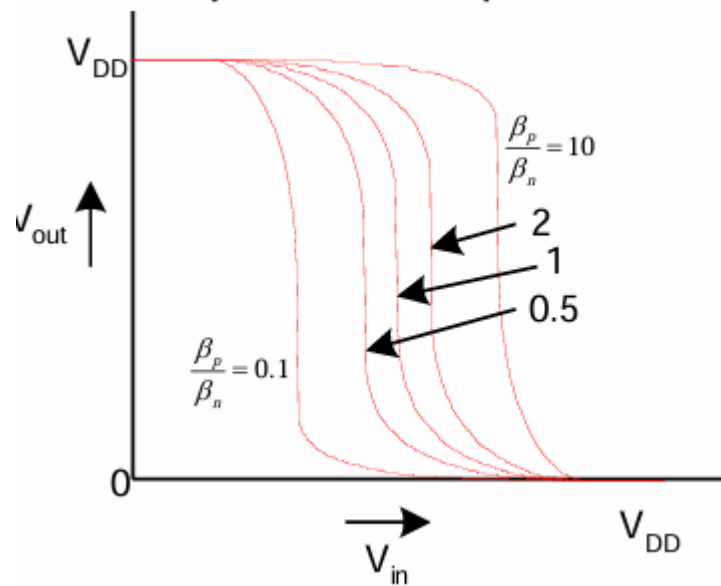
Bảng 8.5. Bảng mô tả vùng từng hoạt động

Vùng	Trạng thái nMOS	Trạng thái pMOS	Mô tả hoạt động
A	Cutoff	Linear	V_{in} thấp (gần 0 V): NMOS tắt hoàn toàn, PMOS dẫn mạnh trong vùng tuyến tính. $V_{out} \approx V_{DD}$.
B	Saturation	Linear	V_{in} tăng nhưng chưa đủ lớn: NMOS bắt đầu dẫn ở vùng bão hòa, PMOS vẫn trong vùng tuyến tính.
C	Saturation	Saturation	Cả NMOS và PMOS đều hoạt động trong vùng bão hòa. Đây là vùng chuyển đổi của inverter. V_{out} giảm nhanh.
D	Linear	Saturation	V_{in} tiếp tục tăng: NMOS vào vùng tuyến tính, PMOS bắt đầu tắt dần trong vùng bão hòa.
E	Linear	Cutoff	V_{in} gần V_{DD} : NMOS dẫn mạnh trong vùng tuyến tính, PMOS tắt hoàn toàn. $V_{out} \approx 0$.

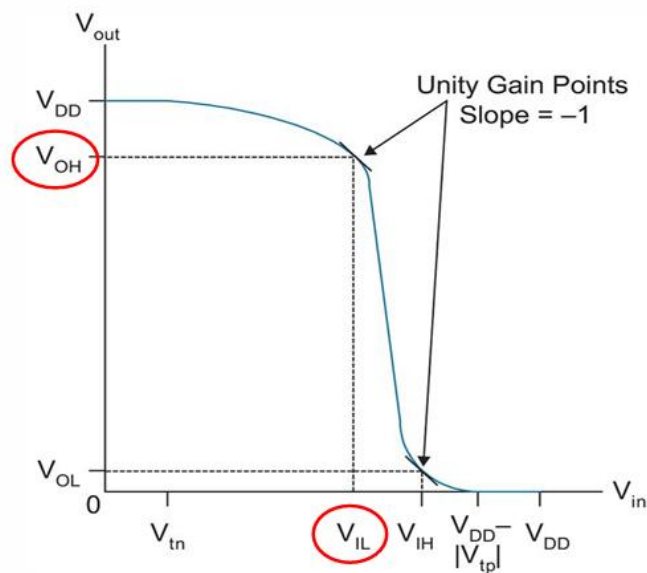
+ Ở đây tỉ lệ là $\mu_p/\mu_n = 0,5$ và $W_p/W_n = 2 \Rightarrow \beta_p/\beta_n = 1$

+ Trong công nghệ CMOS tiêu chuẩn, do $\mu_n \approx 2\mu_p$, nên để cân bằng giữa PMOS và NMOS, thường thiết kế $(W/L)_p$ lớn hơn $(W/L)_n$ để bù lại sự chênh lệch về độ linh động.

- $\beta_p/\beta_n > 1$: Điểm chuyển mạch di chuyển về phía trái, tăng vùng logic mức thấp (low noise margin).
- $\beta_p/\beta_n < 1$: Điểm chuyển mạch di chuyển về phía phải, tăng vùng logic mức cao (high noise margin).
- $\beta_p/\beta_n = 1$: đặc tuyến DC của CMOS đối xứng quanh $V_{DD}/2$, Điểm chuyển mạch xảy ra tại $V_{DD}/2$, giúp mạch đạt hiệu suất tối ưu với độ cân bằng cao giữa **tốc độ chuyển mạch** và **độ nhạy**.



- Hệ số dốc (slope) biểu thị độ sắc nét của vùng chuyển mạch (transition region).
- Độ dốc càng cao, mạch càng nhạy và khả năng chống nhiễu càng tốt.
- Nếu $\beta_p/\beta_n \neq 1$, hệ số dốc giảm đi, làm suy giảm khả năng phân biệt giữa logic mức "0" và mức "1".



Bảng 8.6. Bảng DC, AC, đặc tính truyền đạt

Loại tín hiệu	DC	AC	Đặc tuyến truyền đạt
Điện áp vào (V_{in})	Không áp dụng	Tín hiệu xoay chiều	Tín hiệu ra bằng điện áp đối với trạng thái không nghịch đảo và ngược lại với trạng thái nghịch đảo
Điện áp ra (V_{out})	Không áp dụng	Tín hiệu xoay chiều	Tín hiệu ngõ ra bằng điện áp đối với trạng thái nghịch đảo và ngược lại với trạng thái không nghịch đảo

8.4.Kết luận

Mạch	Delay	Số mức ngưỡng	Đặc tuyến DC
NOT CMOS thường	Nhỏ	1 (V_M)	Sigmoid, dễ bị nhiễu
Schmitt Trigger đầy đủ	Lớn	2 (V_H, V_L)	Chữ Z, chống nhiễu tốt
Schmitt Trigger bỏ PMOS hồi tiếp	Trung bình	2, nhưng không cân đối	Chữ Z bị lệch, trễ khi tăng
Schmitt Trigger bỏ NMOS hồi tiếp	Trung bình	2, nhưng không cân đối	Chữ Z bị lệch, trễ khi giảm

- Như vậy, mạch Schmitt Trigger đầy đủ có độ trễ lớn nhất và chống nhiễu tốt nhất, trong khi nếu bỏ một trong hai loại hồi tiếp, mạch vẫn có trễ nhưng không đối xứng.