

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA: ĐIỆN – ĐIỆN TỬ
MÔN: THỰC TẬP THIẾT KẾ VI MẠCH VLSI
-----oOo-----



HCMUTE

BÁO CÁO
MẠCH SO SÁNH

GVHD: TS. LÊ MINH THÀNH

SVTH:

ĐẶNG HƯNG THỊNH

MSSV:

22119137

Lớp thứ 4 – Tiết 1-6
Tp. Hồ Chí Minh, tháng 03 năm 2025

ĐIỂM SỐ

TIÊU CHÍ	NỘI DUNG	TRÌNH BÀY	TỔNG
ĐIỂM			

NHẬN XÉT

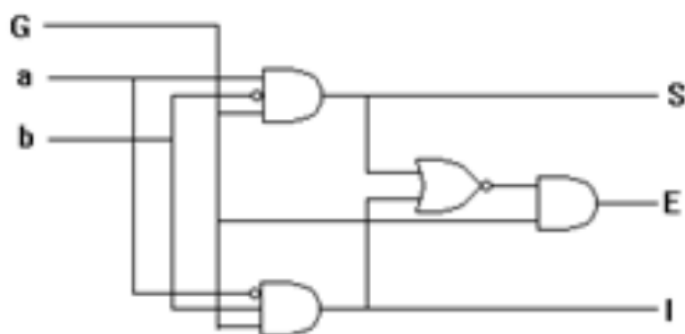
Ký tên

TS. Lê Minh Thành

CHƯƠNG 11. MẠCH SO SÁNH 1 BIT VÀ GHÉP CASCADE TẠO THÀNH MẠCH SO SÁNH 4 BIT

11.1. Lý thuyết

- Sơ đồ mạch logic:

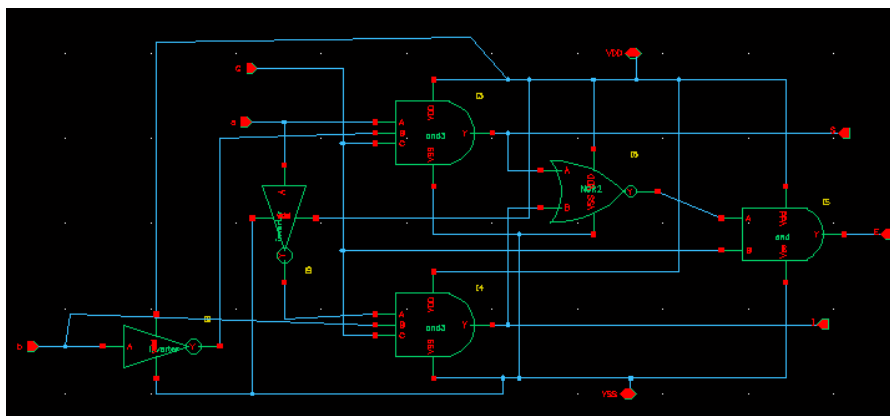


Hình 11.1. Sơ đồ mạch so sánh 1 bit

Bảng 11.1. Bảng trạng thái mạch so sánh 1 bit:

G	a	b	S (a>b)	I (a<b)	E (a=b)
0	x	x	0	0	0
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	0	0	1

11.1.1. Sơ đồ nguyên lý



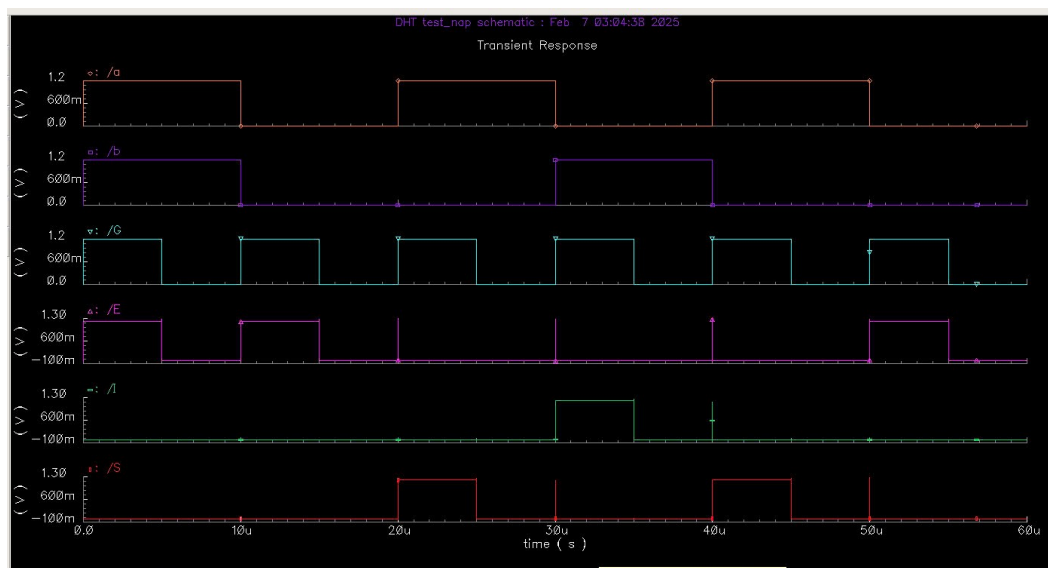
Hình 11.2. Schematic mạch so sánh 1 bit trên Cadence

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :
- V_{DD} nối với nguồn $V_{DC} = 1,2$ V.
- V_{SS} ta nối đất.
- Chân ngõ vào a, b, G nối với nguồn V_{Pulse} với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.
 - + thời gian trễ: 0 s.
 - + thời gian xung cạnh lên: 100 ps.
 - + thời gian xung xuống: 100 ps.
 - + độ rộng xung: a (10 us), b (10us), G (5us).
 - + chu kỳ: a (20 us), b (30 us). G (10 us).

11.1.2. Dạng sóng

+ Kết quả mô phỏng:

- a, b, G (Ngõ vào).
- E, I, S (Ngõ ra).



Hình 11.3. Kết quả mô phỏng

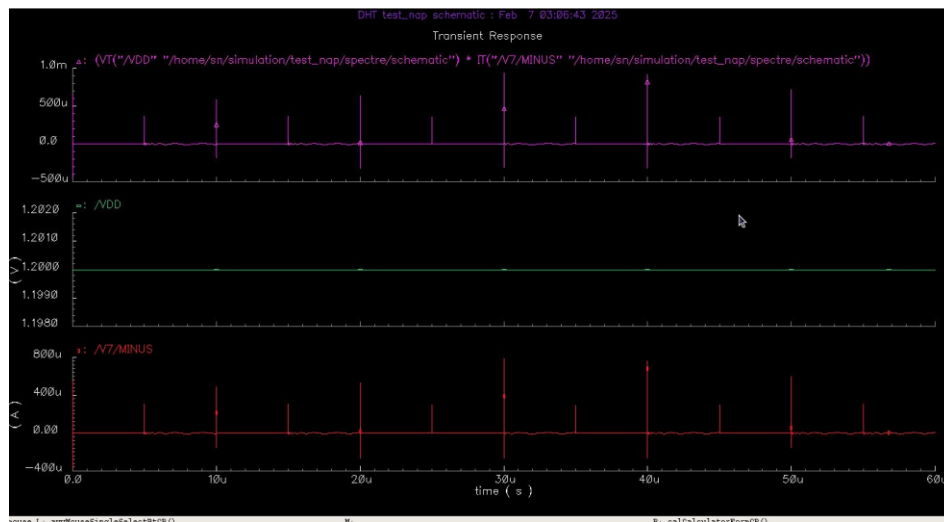
+ 0 us tới 5 us, G ở mức cao (1,2 V), a và b cùng ở mức cao (1,2 V) dẫn tới E sẽ ở mức cao (a=b).

+ 5 us tới 10 us, G ở mức thấp (0 V), ngõ ra ở mức thấp (disable).

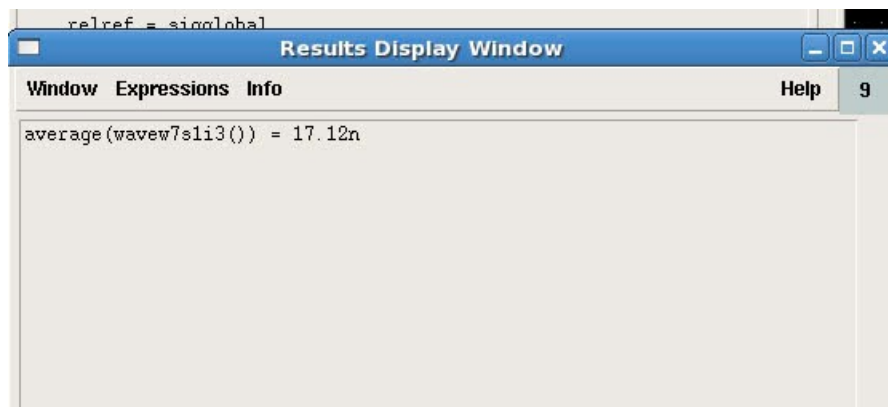
+ 20 us tới 25 us, G ở mức cao (1.2 V), a mức cao (1.2 V), b mức thấp (0 V), dẫn đến S mức cao (a>b).

+ 30 us tới 35 us, G ở mức cao (1.2 V), a mức thấp (0 V), b mức cao (1.2 V), dẫn đến I mức cao (a<b).

11.1.3. Công suất



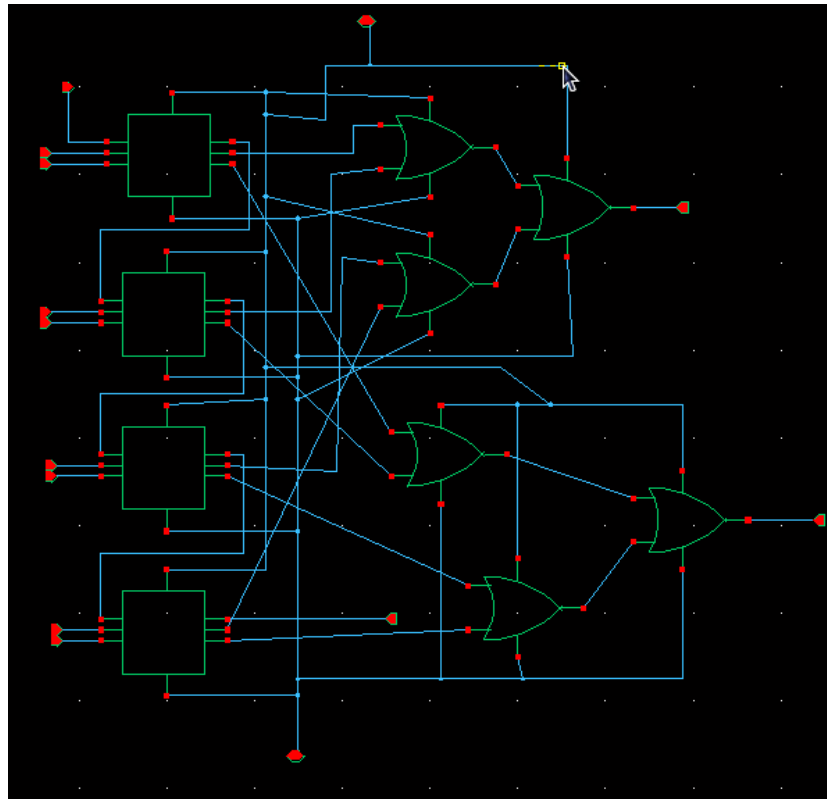
Hình 11.4. Đồ thị thể hiện công suất $VDD \cdot I$



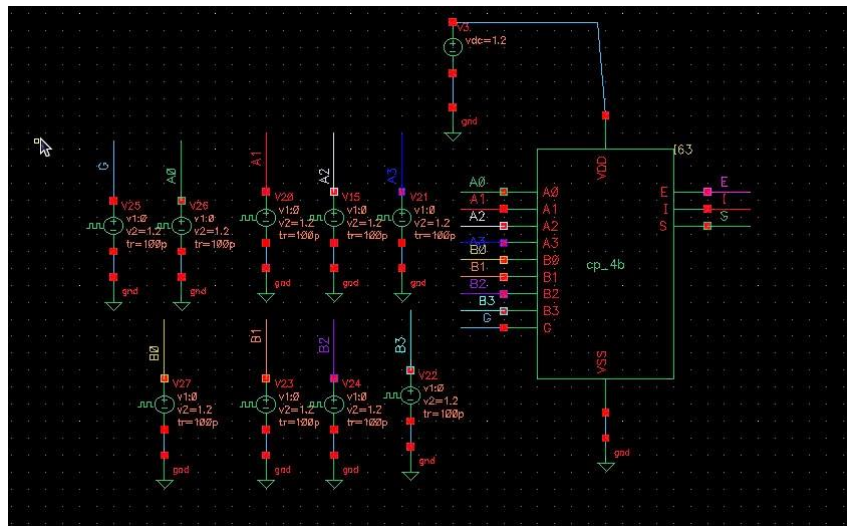
Hình 11.5. $P=UI$ công suất trung bình – 17.12 nW

11.2. Ghép Cascade 4 mạch so sánh 1 bit tạo thành mạch so sánh 4 bit

11.2.1. Sơ đồ nguyên lý



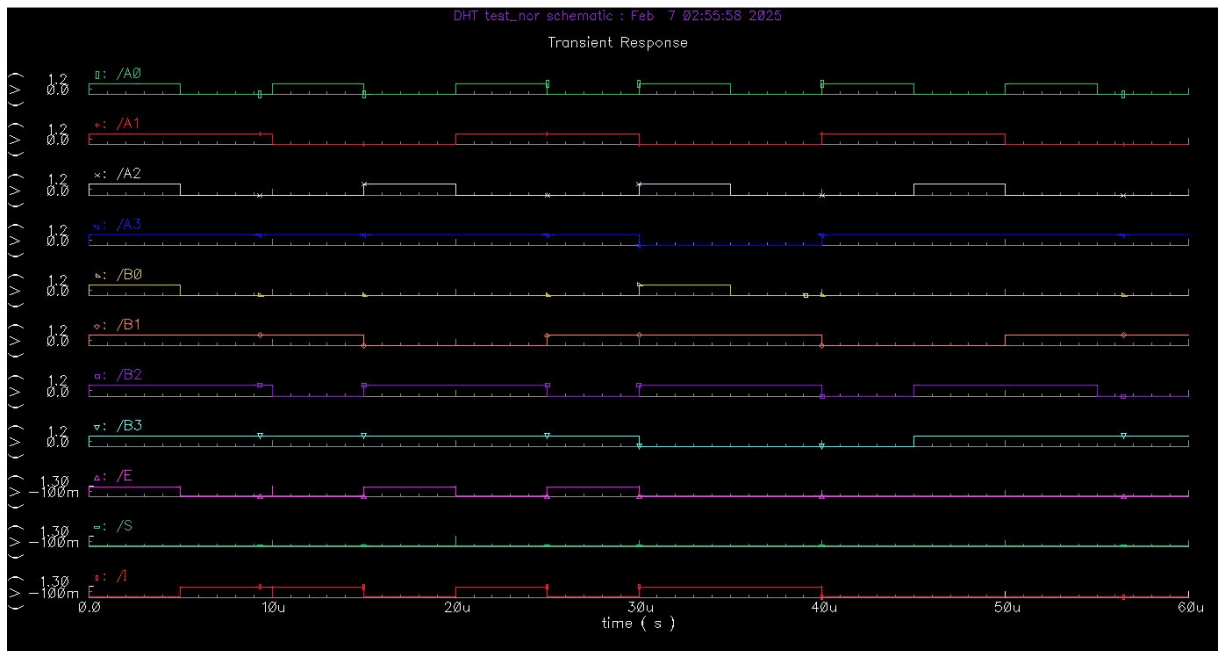
Hình 11.6. Schematic mạch so sánh 4 bit trên Cadence



11.2.2. Dạng sóng

+ Kết quả mô phỏng:

- A0, A1, A2, A3, B0, B1, B2, B3, G(Ngõ vào).
- E, I, S (Ngõ ra).

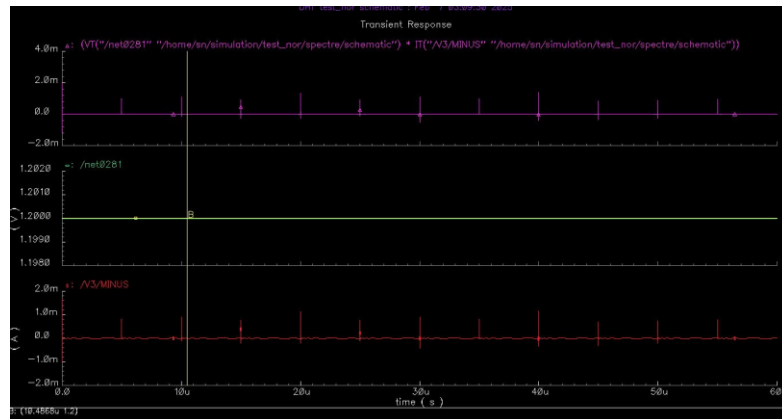


Hình 11.8. Kết quả mô phỏng

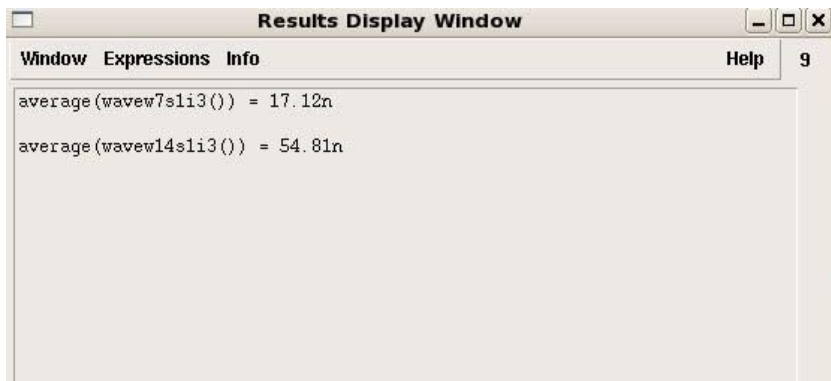
- **Nhận xét:**

- + Tương tự như mạch so sánh 1 bit: khi G mức cao thì mạch thực hiện so sánh còn ở mức thấp thì mạch disable
- + Ở 0 – 10 us, G mức 1, tất cả các bit đều ở mức 1 tương đương A=B dẫn đến E mức 1.
- + tương tự so sánh các trường hợp còn lại.

11.1.4. Công suất



Hình 11.9. Đồ thị thể hiện công suất $VDD \cdot I$



Hình 11.10. $P=UI$ công suất trung bình – 54,81 nW