

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA: ĐIỆN – ĐIỆN TỬ
MÔN: THỰC TẬP THIẾT KẾ VI MẠCH VLSI
-----oOo-----



HCMUTE

BÁO CÁO
MẠCH FAS VÀ MẠCH MUX

GVHD: TS. LÊ MINH THÀNH

SVTH:

ĐẶNG HƯNG THỊNH

MSSV:

22119137

Lớp thứ 4 – Tiết 1-6
Tp. Hồ Chí Minh, tháng 02 năm 2025

ĐIỂM SỐ

TIÊU CHÍ	NỘI DUNG	TRÌNH BÀY	TỔNG
ĐIỂM			

NHẬN XÉT

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

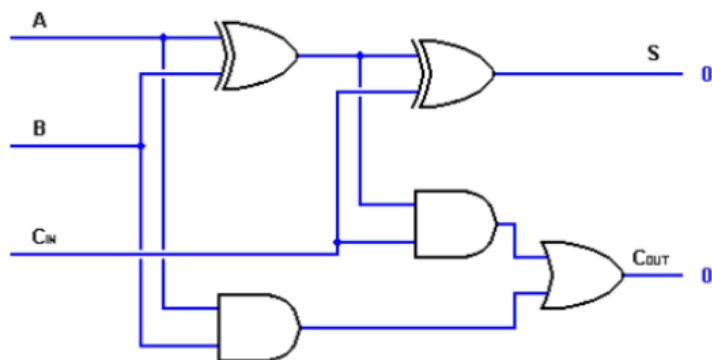
.....

Ký tên

CHƯƠNG 9. MẠCH CỘNG TOÀN PHẦN 1 BIT (FA) VÀ 3 BIT (FAS)

9.1. Lý thuyết

- Sơ đồ mạch logic:



Hình 9.1. Sơ đồ mạch cộng 1 bit (FA)

Bảng 9.1. Bảng trạng thái mạch cộng toàn phần 1 bit (FA):

A	B	Cin	S	Count
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- Tỷ lệ W/L trong khoảng 10 – 20

Bảng 9.2. Bảng thông số tỷ lệ W/L của transistor

Thông số kỹ thuật pmos	Thông số kỹ thuật nmos
- L = 0,13 u	- L = 0,13 u
- W = 2,6 u	- W = 1,3 u
- Nf = 1	- Nf = 1

- $N_w = 2,6 \text{ u}$	- $N_w = 1,3 \text{ u}$
-------------------------	-------------------------

→ Tỷ lệ pmos/nmos = 2

- Trong đó:

+ L: Chiều dài kênh nhỏ, hiệu suất cao nhưng có thể có hiệu ứng kênh ngắn

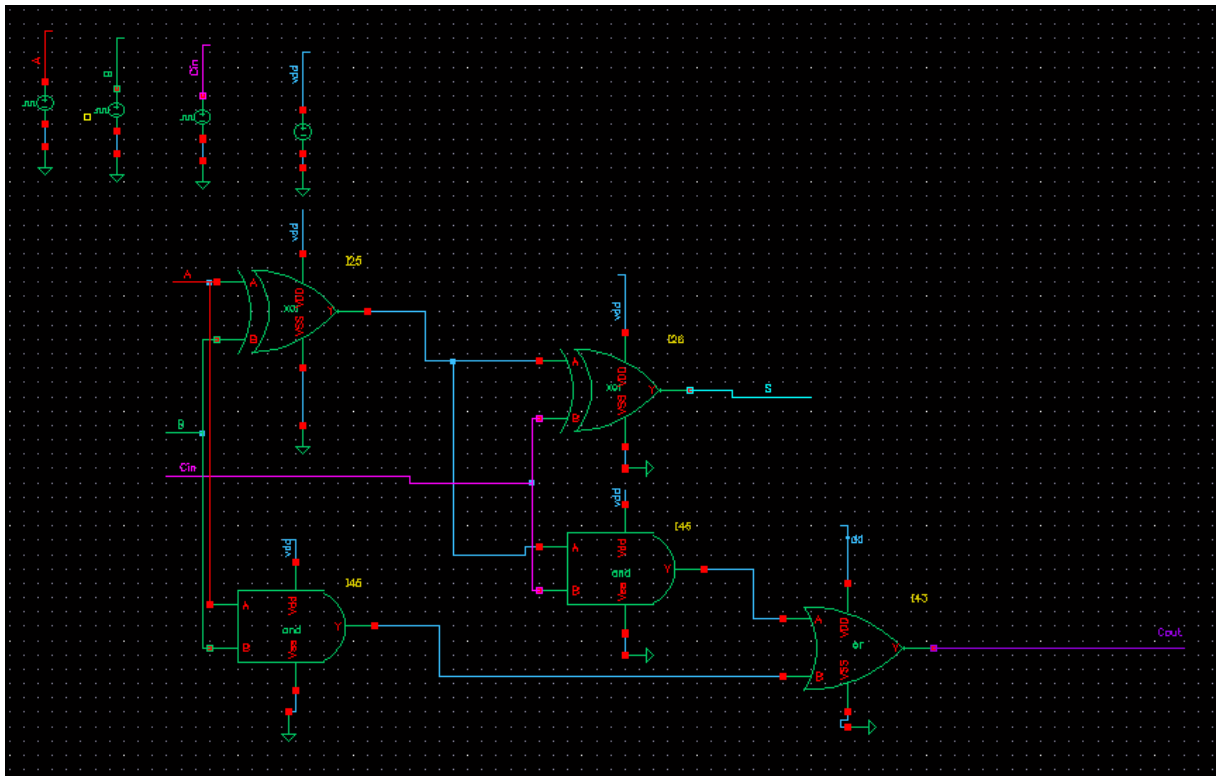
+ W: Chiều rộng kênh đảm bảo khả năng dẫn dòng điện tốt

+ N_f : Transistor có một ngón tay

+ N_w : Chiều rộng mỗi ngón tay là 2.6 micromet

9.2. Mô phỏng

9.2.1. Sơ đồ nguyên lý



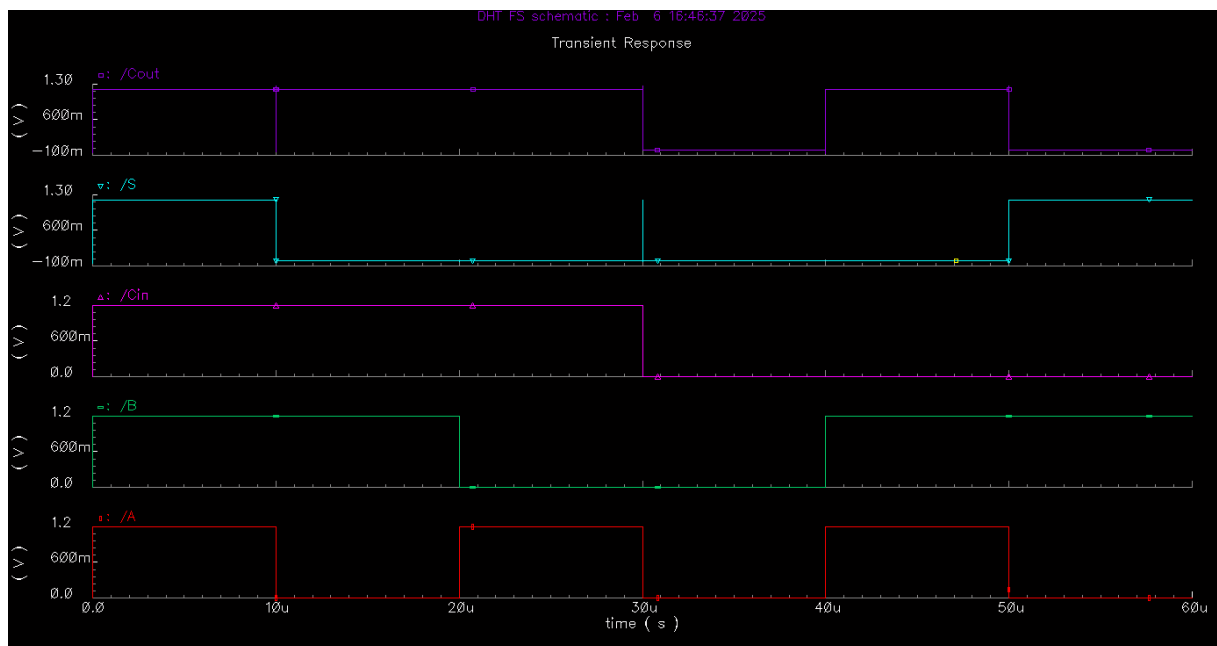
Hình 9.2. Schematic của mạch cộng 1 bit (FA) + trên Cadence

- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :
- V_{DD} nối với nguồn $V_{DC} = 1,2$ V.
- V_{SS} ta nối đất.
- Chân ngõ vào A nối với nguồn V_{Pulse} với các thông số cài đặt như sau:
 - + mức điện áp 1: 0 V.
 - + mức điện áp 2: 1,2 V.
 - + thời gian trễ: 0 s.
 - + thời gian xung cạnh lên: 100 ps.
 - + thời gian xung xuống: 100 ps.
 - + độ rộng xung: 10 us (A), 20 us (B), 30 us (Cin).
 - + chu kỳ: 20 us (B), 40 us (C), 60 us (Cin).

9.2.2. Dạng sóng

+ Kết quả mô phỏng:

- A, B, Cin (Ngõ vào).
- S, Cout (Ngõ ra).



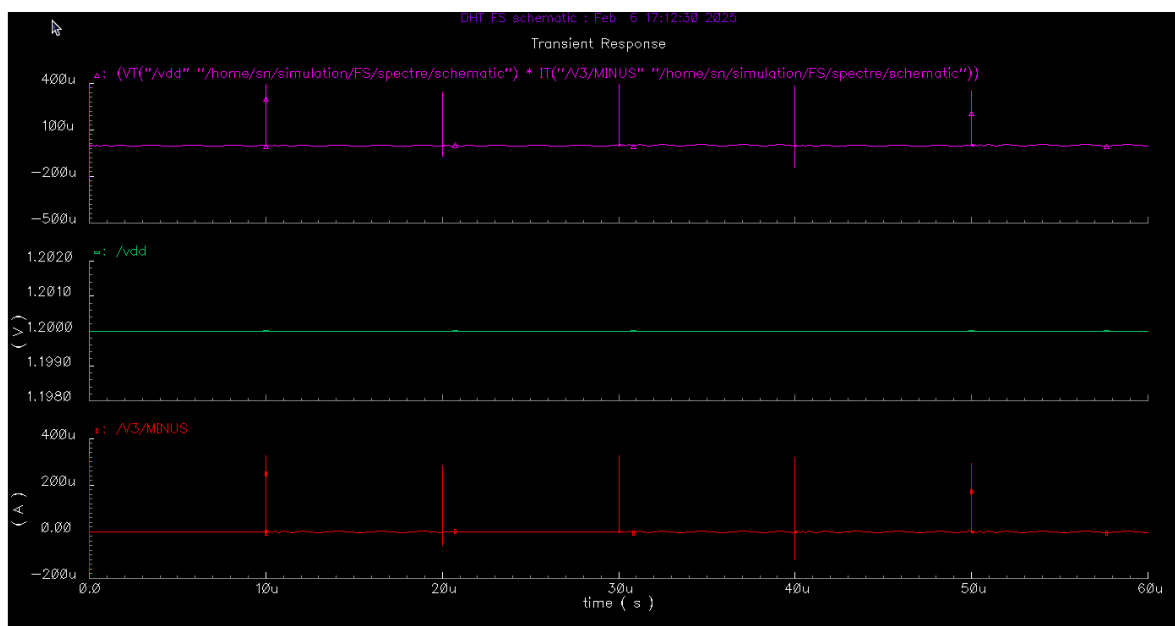
Hình 9.3. Kết quả mô phỏng

Bảng 9.3. Kết quả mô phỏng với mức cao là 1.2 V và mức thấp là 0 V:

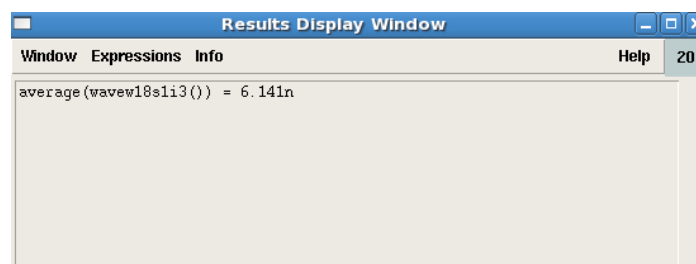
Thời gian (us)	A	B	Cin	S	Cout
30-40	0	0	0	0	0
X	0	0	1	1	0
50-60	0	1	0	1	0
10-20	0	1	1	0	1
X	1	0	0	1	0
20-30	1	0	1	0	1
40-50	1	1	0	0	1
0-10	1	1	1	1	1

- Ngoài ra ta còn thấy xảy ra hiện tượng glitching

9.2.3. Công suất của mạch



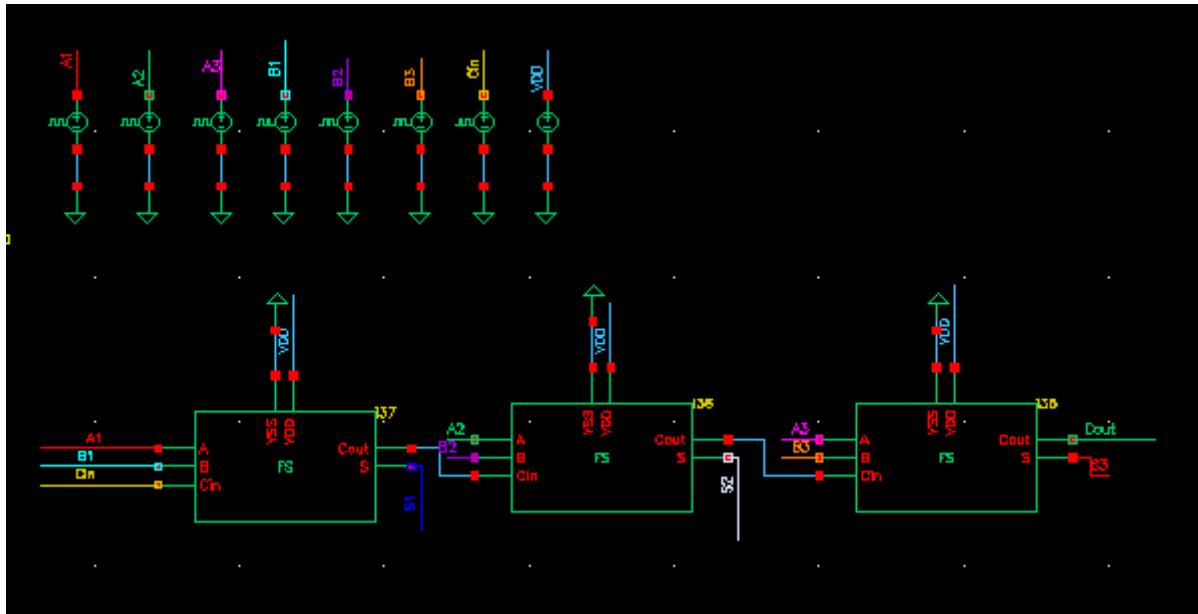
Hình 9.4. Mô phỏng công suất của mạch $P=U.I$



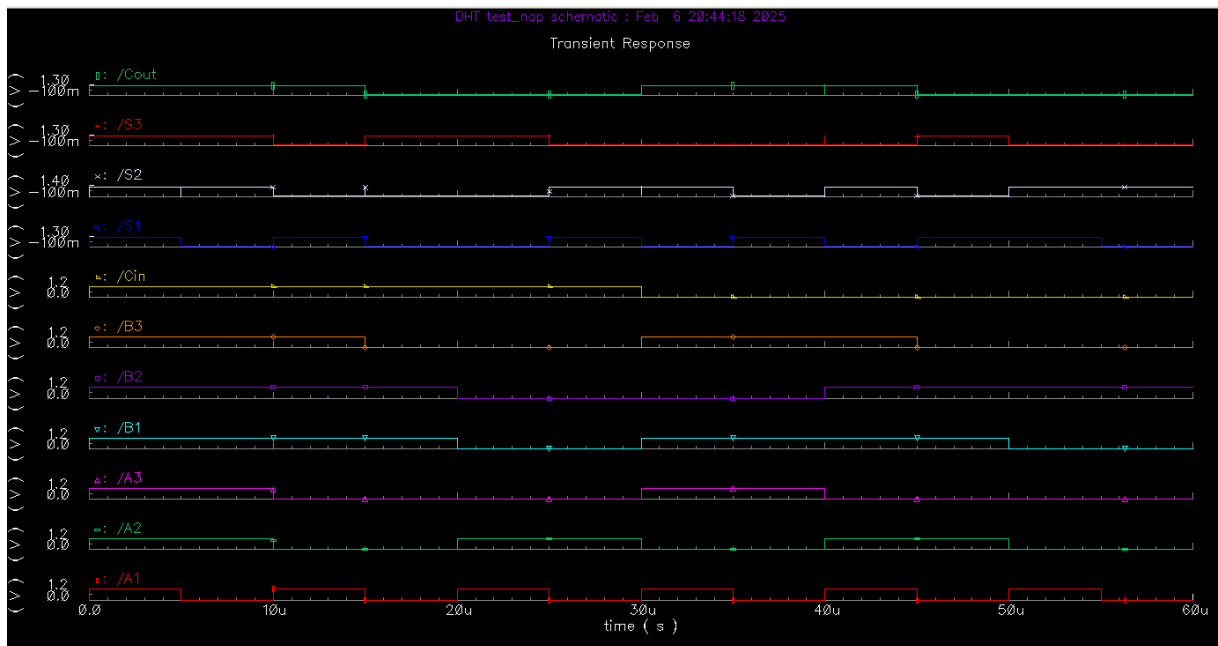
Hình 9.5. Công suất trung bình tại 27°

9.3. Mạch cộng 3 bit (FAs) ghép từ mạch full adder (FA)

9.3.1. Vẽ schematic



Hình 9.6. Schematic mạch cộng 3 bit



Hình 9.7. Waveform

9.3.2. Nhận xét dạng sóng

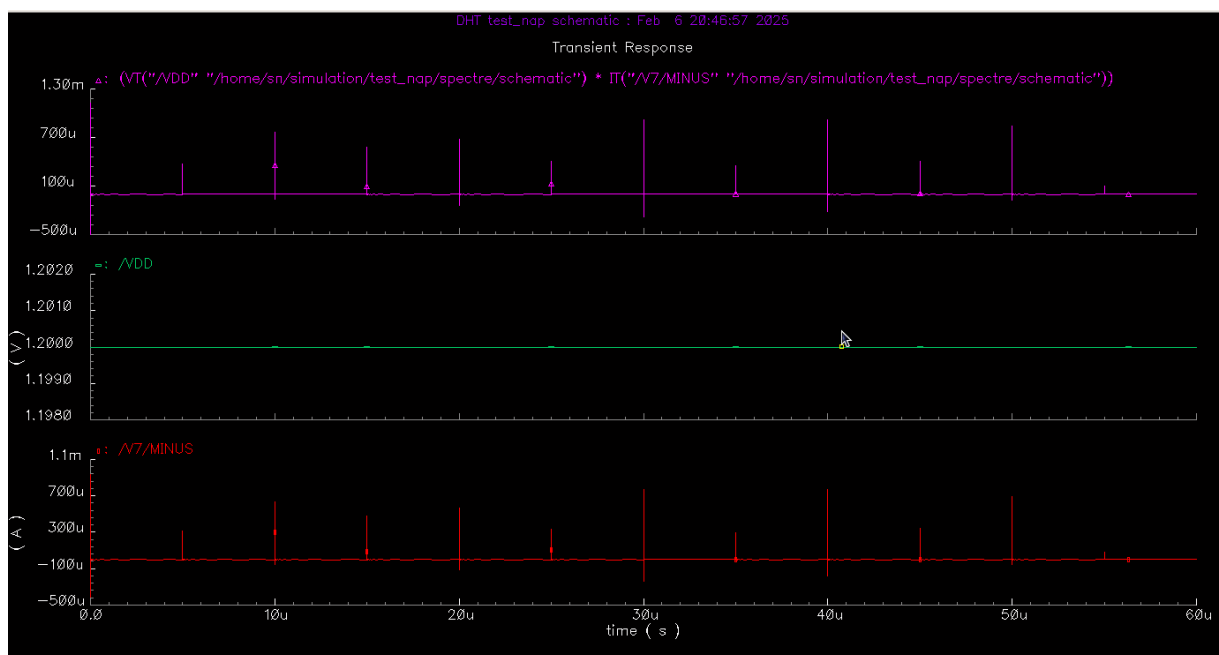
+ Tại thời điểm: 0 đến 5 us, Cin mức cao (1,2 V), A3, A2, A1, và B3, B2, B1, mức cao (1,2 V) ngõ ra tương ứng S3, S2, S1 ở mức cao (1,2 V) còn Cout, mức cao (1,2 V).

+ Tại thời điểm: 5 đến 10 us, C_{in} mức cao, A₃, A₂, A₁ (1,1,1) và B₃, B₂, B₁, (1,1,0) (trọng số nhỏ đến lớn từ A₁ đến A₃, tương tự cho B và S) ngõ ra tương ứng S₃, S₂, S₁ (1,1,0) cờ Cout, mức cao (1,2 V).

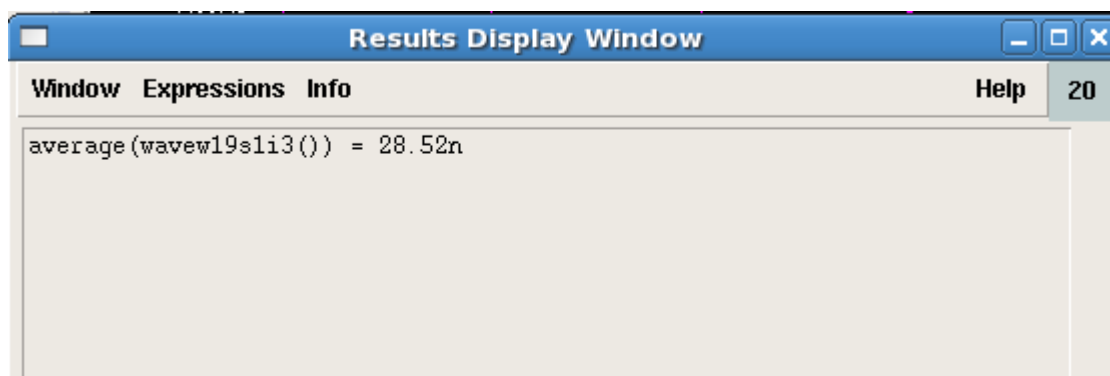
+ Tại thời điểm: 10 đến 15 us, C_{in} mức cao, A₃, A₂, A₁ (1,1,1) và B₃, B₂, B₁, (0,1,1) (trọng số nhỏ đến lớn từ A₁ đến A₃, tương tự cho B và S) ngõ ra tương ứng S₃, S₂, S₁ (0,0,1) cờ Cout, mức cao (1,2 V).

+ Các trường hợp còn lại tương tự.

9.3.3. Công suất



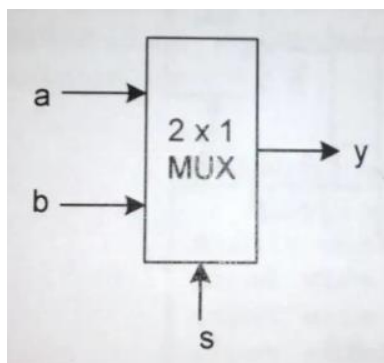
Hình 9.8. Biểu đồ thể hiện công suất trung bình toàn mạch



Hình 9.9. Công suất trung bình toàn mạch $P=UI=28,52nW$

CHƯƠNG 10. MẠCH MUX 2 – 1 VÀ MẠCH MUX 4 – 1 (GHÉP TỪ MUX 2-1)

10.1. Ký hiệu và bảng trạng thái

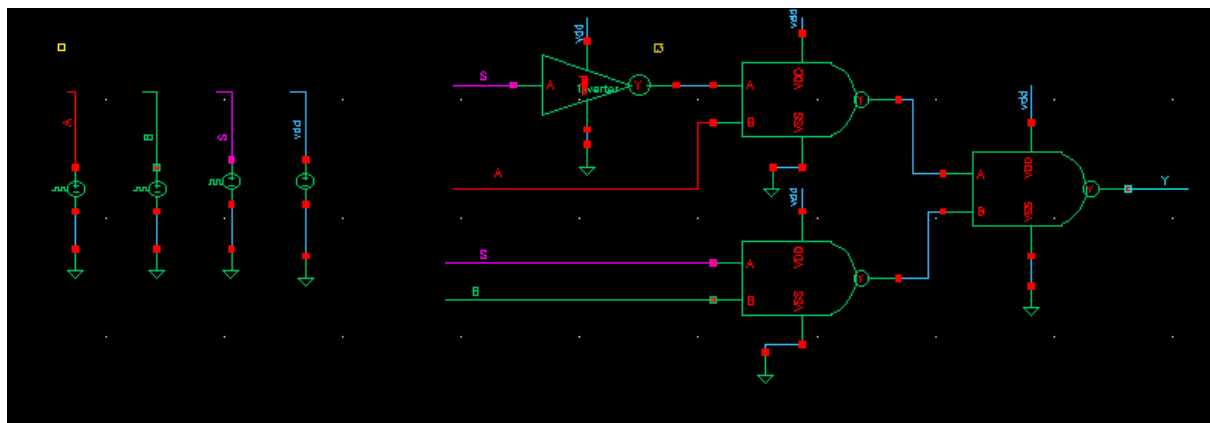


Hình 10.1. Symbol mạch MUX 2 – 1

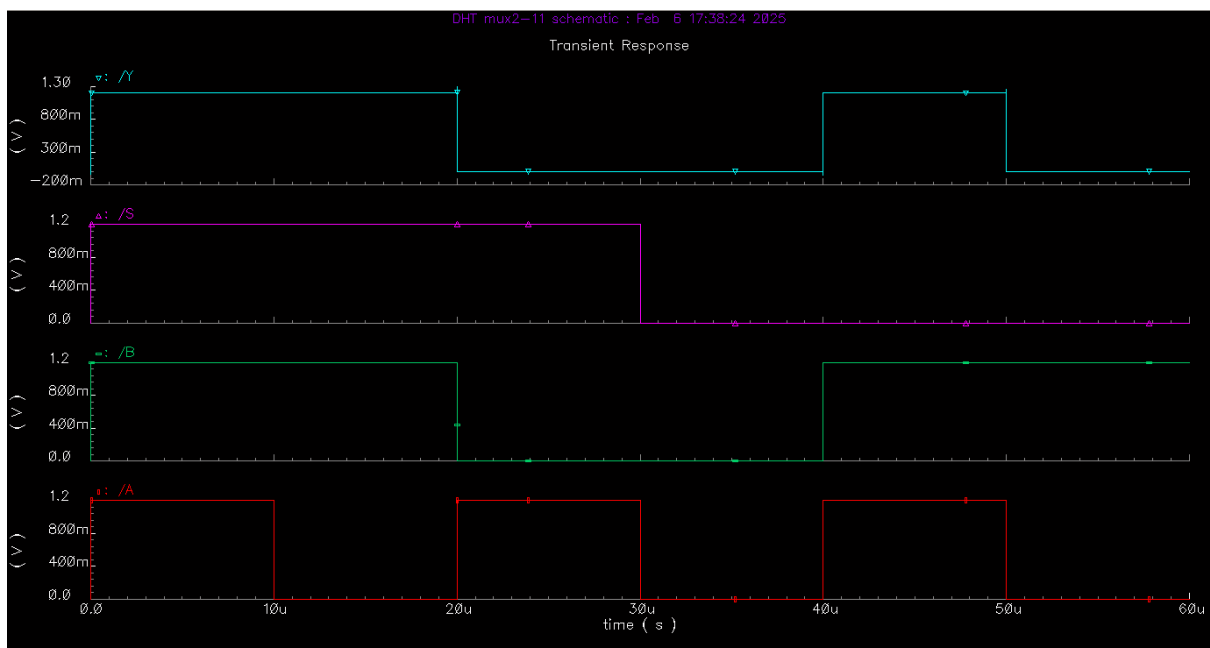
Bảng 10.1. Bảng trạng thái mạch MUX 2 - 1

S	Y
0	A
1	B

10.2. Mô phỏng mạch MUX 2-1 (dùng các cổng logic)



Hình 10.2. Schematic mạch MUX 2 – 1 (dùng các cổng logic)

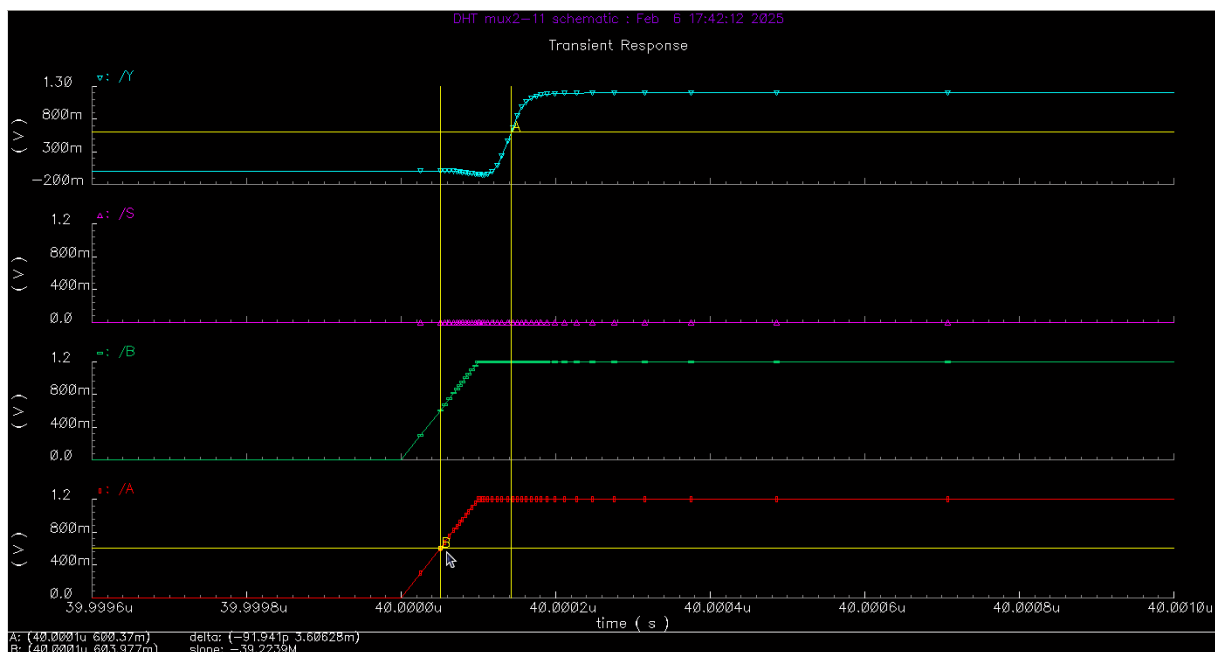


Hình 10.3. Dạng sóng mạch

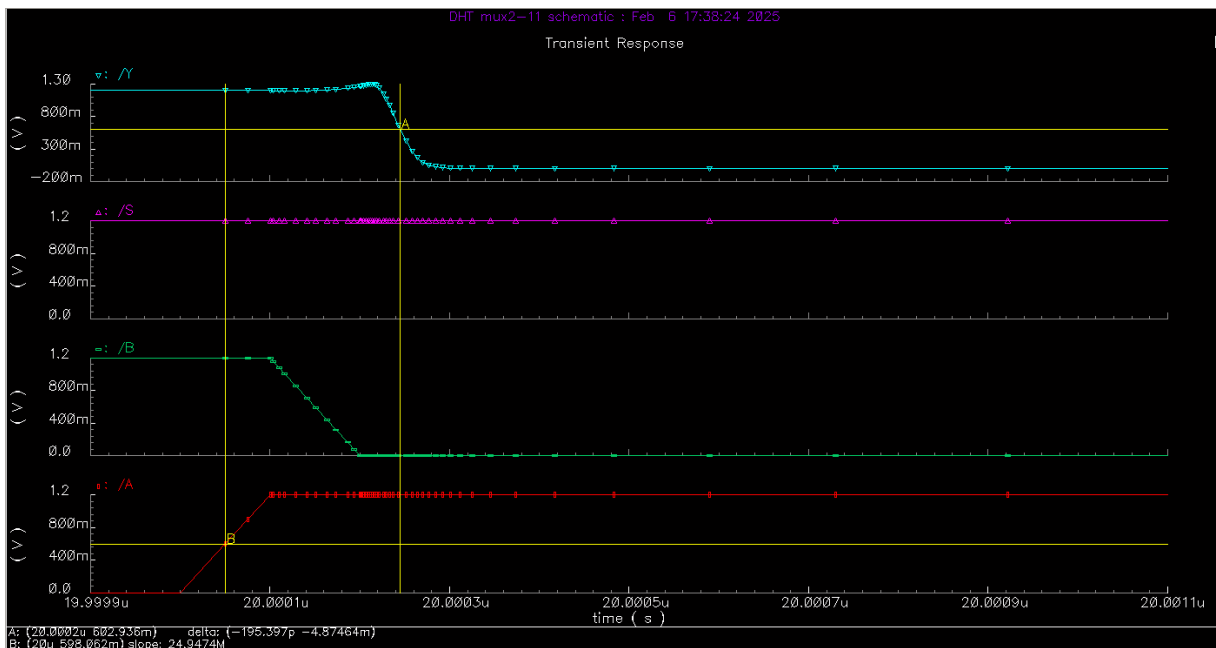
Bảng 10.2. Nhận xét dạng sóng

Thời gian (us)	Select	Output
0 – 30 us	1	B
30 – 60 us	0	A

10.2.1. Transition time



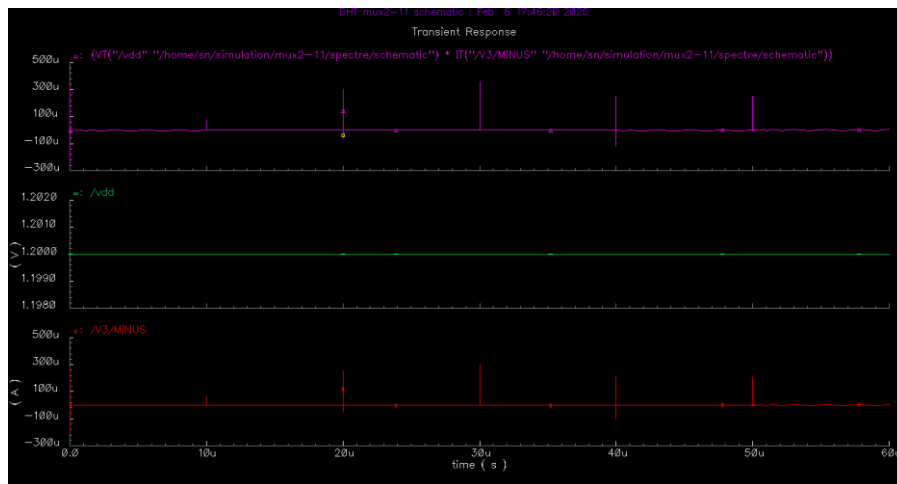
Hình 10.4. t_{pr} (cạnh lên) = 91,941 ps



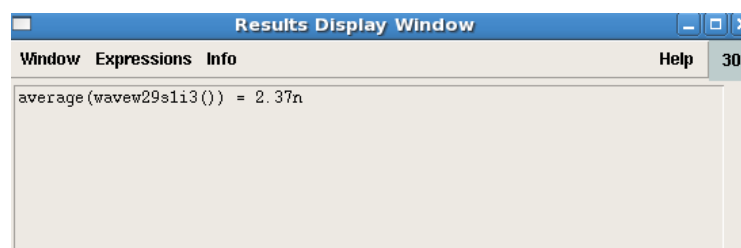
Hình 10.4. t_{pf} (cạnh lên) = 195,397 ps

→ $t_p = 143,669$ ps

10.2.2. Công suất

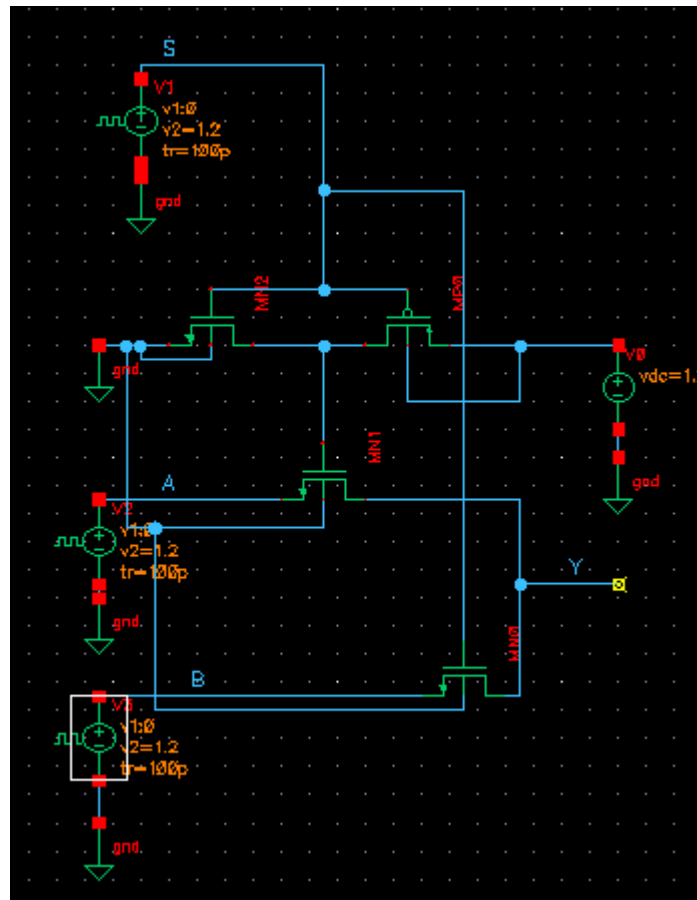


Hình 10.5. Waveform công suất trung bình mạch

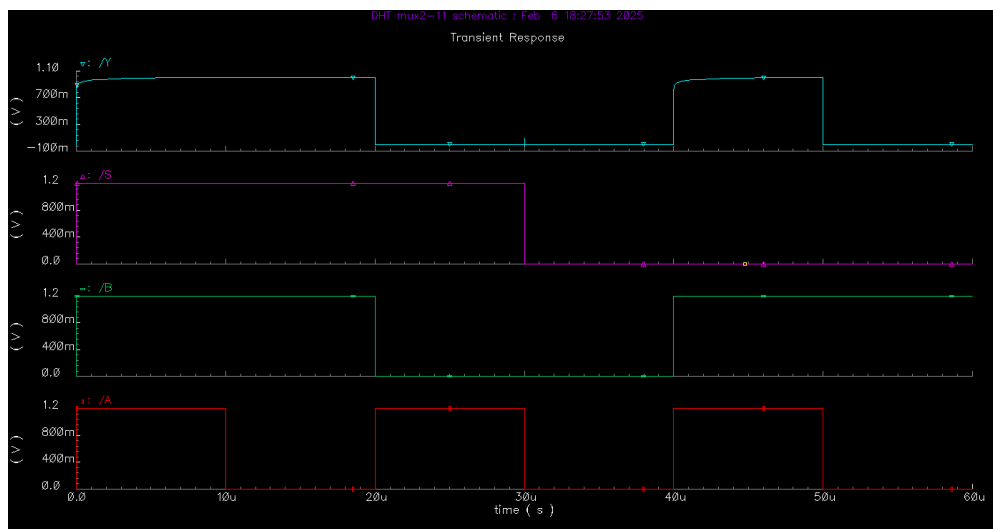


Hình 10.6. Công suất trung bình mạch $P=UI=2,37\mu W$

10.3. Mô phỏng mạch MUX 2-1 (dùng 4 transistor)

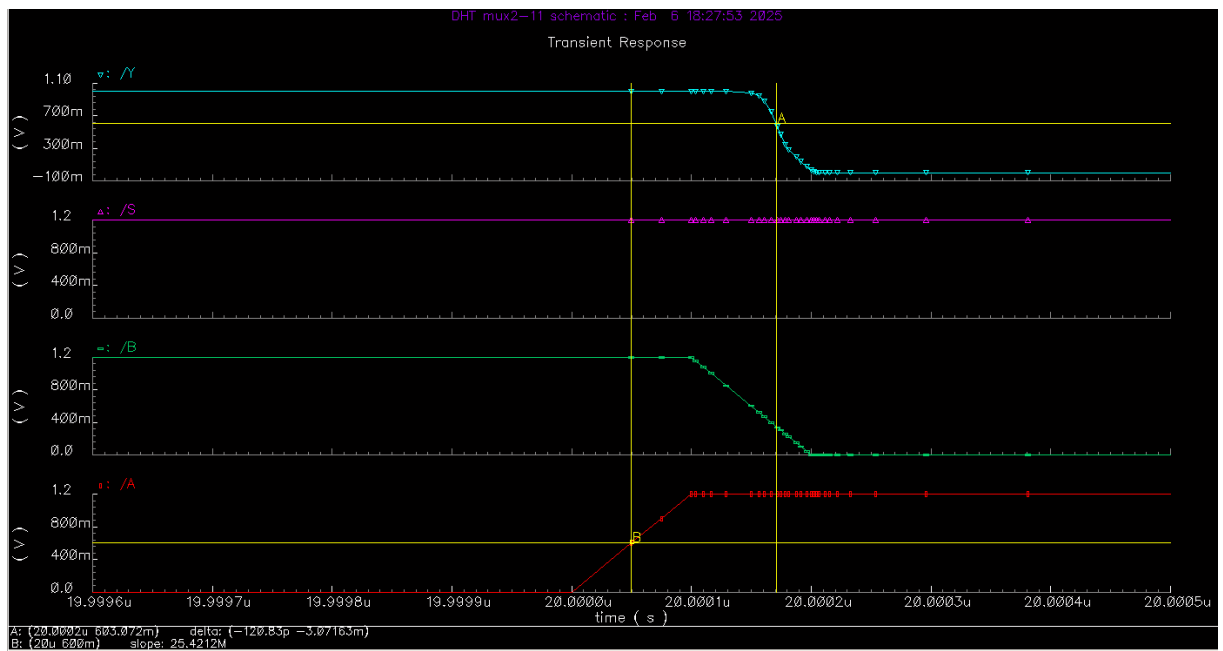


Hình 10.7. Schematic mạch

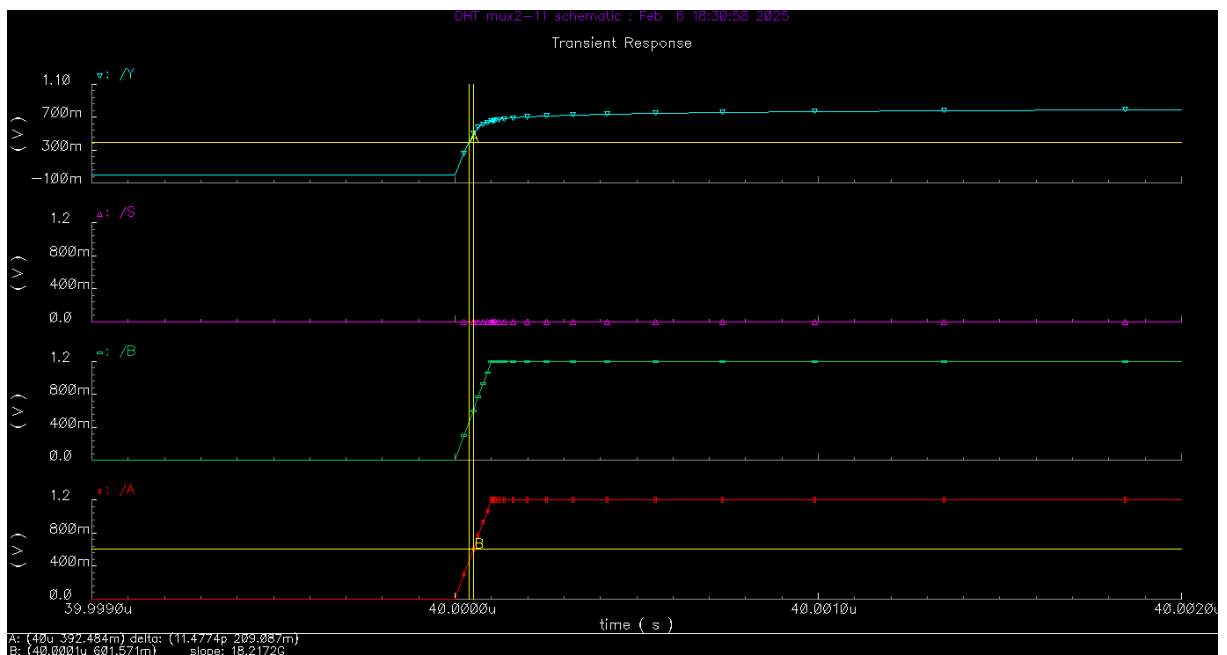


Hình 10.8. Dạng sóng mạch

10.3.1. Transition time



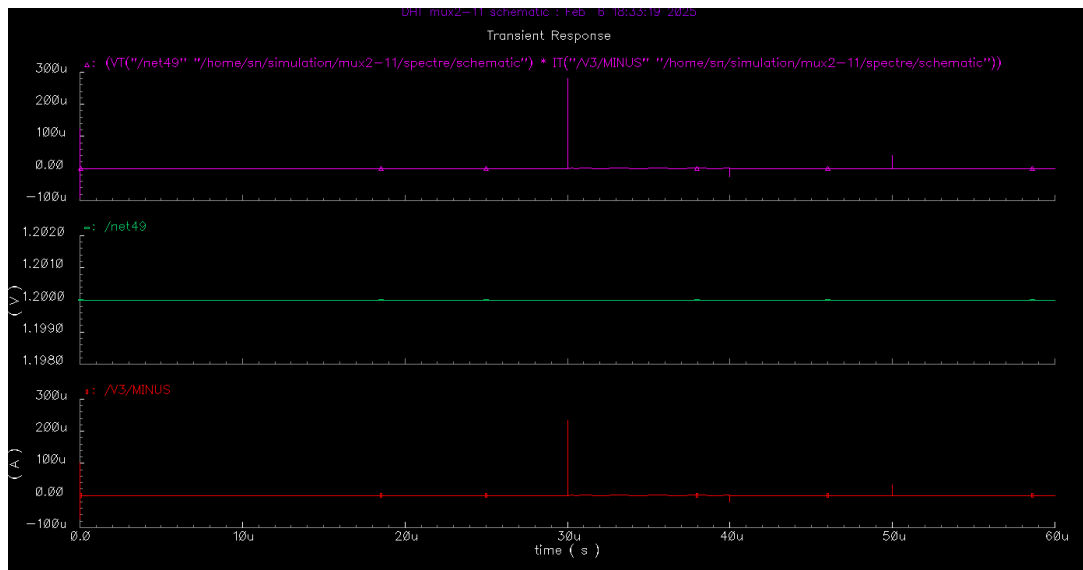
Hình 10.9. $tpf = 120,83 \text{ ps}$



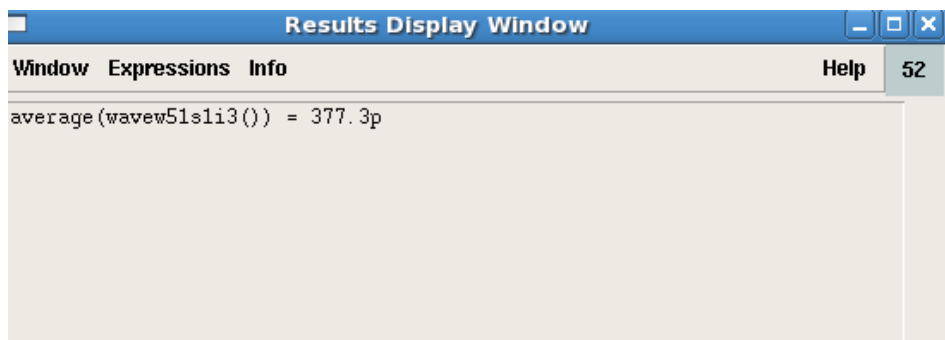
Hình 10.10. $tpf = 11,447 \text{ ps}$

→ $tp = 66,1385$

10.3.2. Công suất

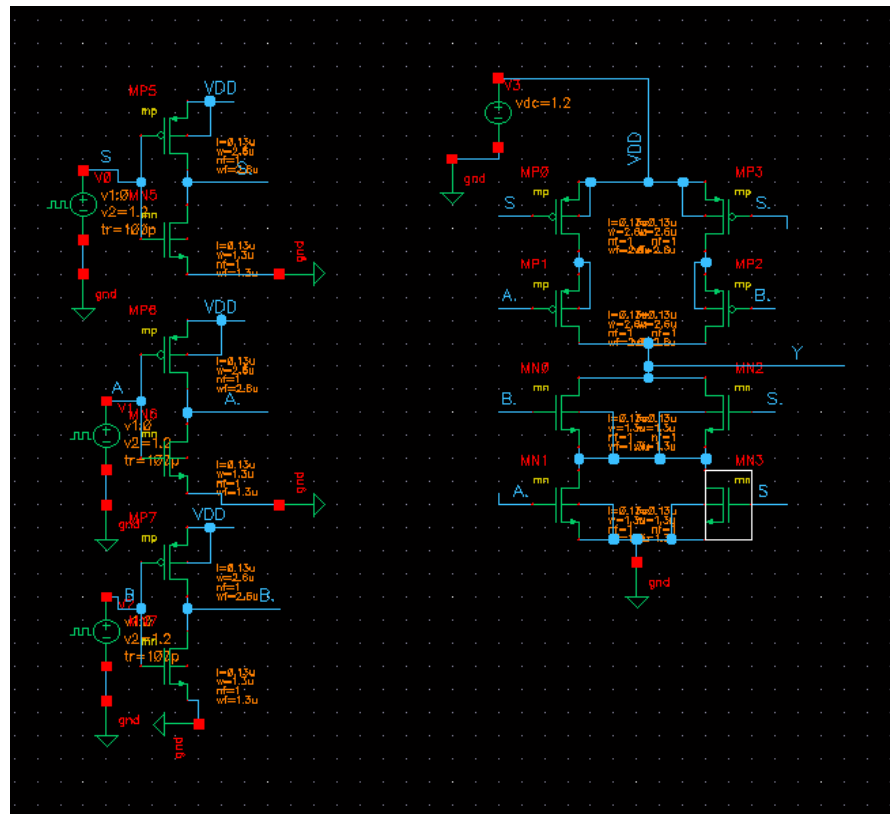


Hình 10.11. Waveform công suất

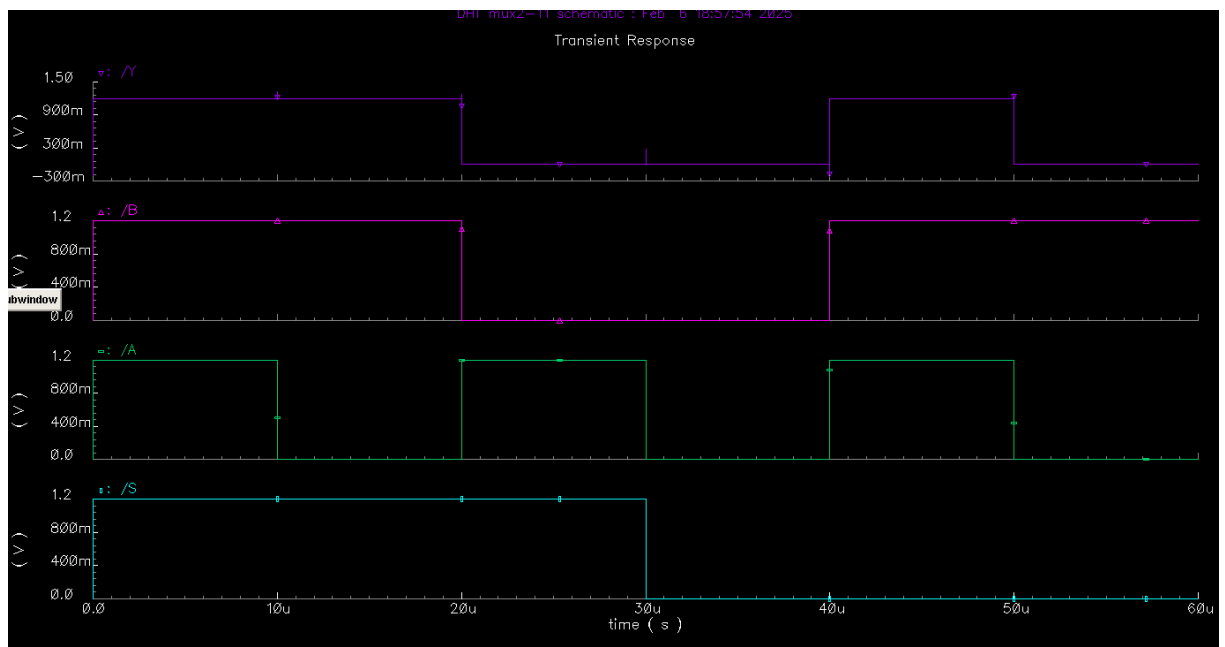


Hình 10.12. Công suất trung bình

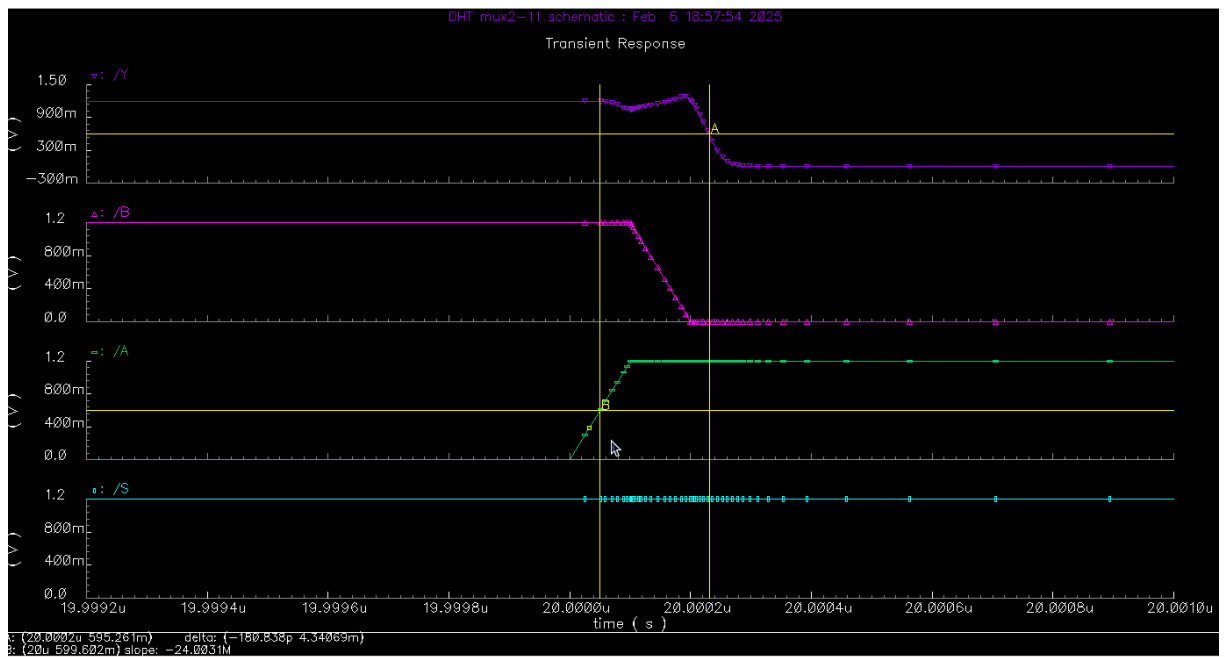
10.4. Mạch MUX 2 – 1 dùng 14 transistor



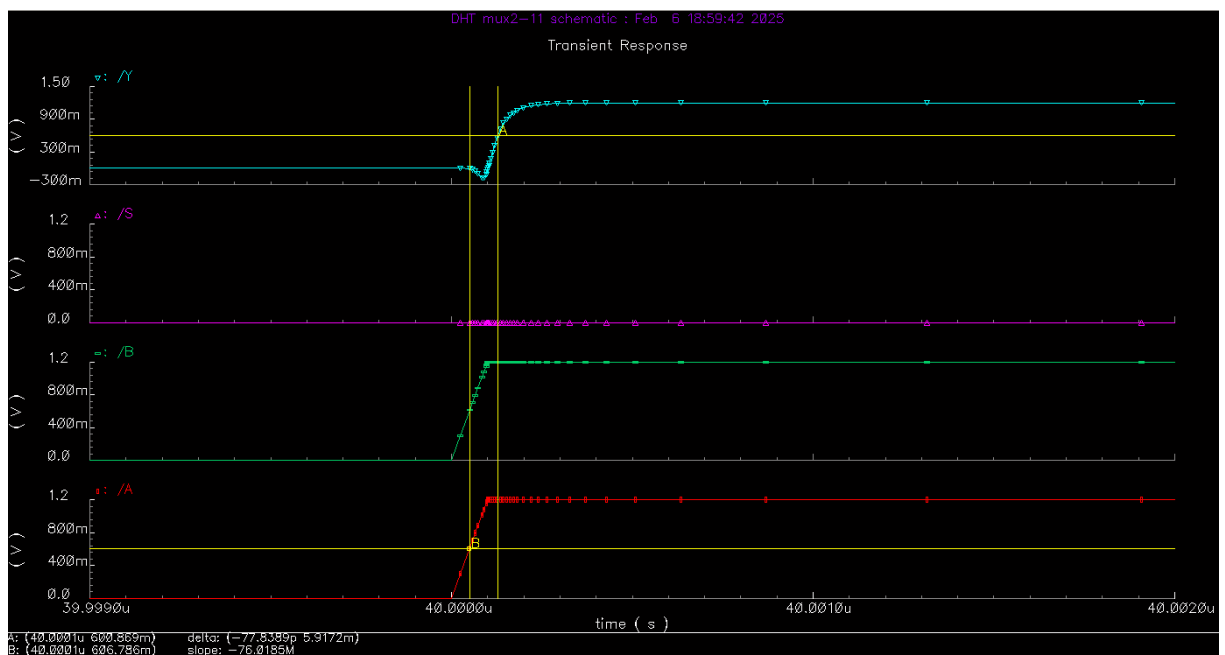
Hình 10.13. Schematic mạch



Hình 10.14. Dạng sóng mạch

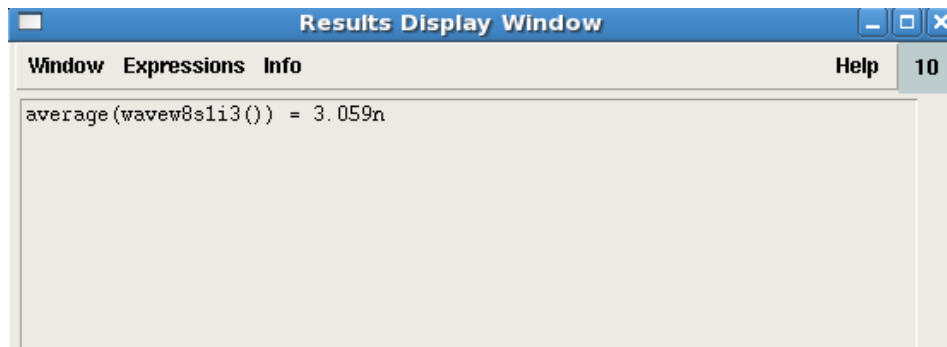


Hình 10.15. $tpf = 180,836 \text{ ps}$



Hình 10.15. $tpr = 77,8389 \text{ ps}$

→ $tp = 129,33745 \text{ ps}$

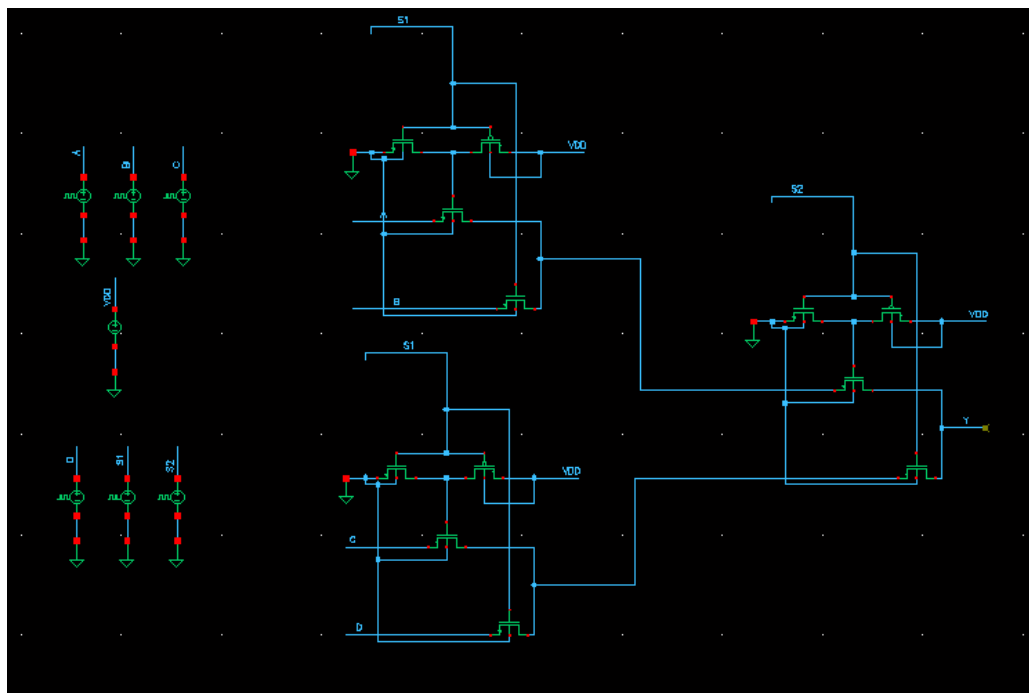


Hình 10.16. Công suất trung bình $P=UI= 3,059 \text{ nW}$

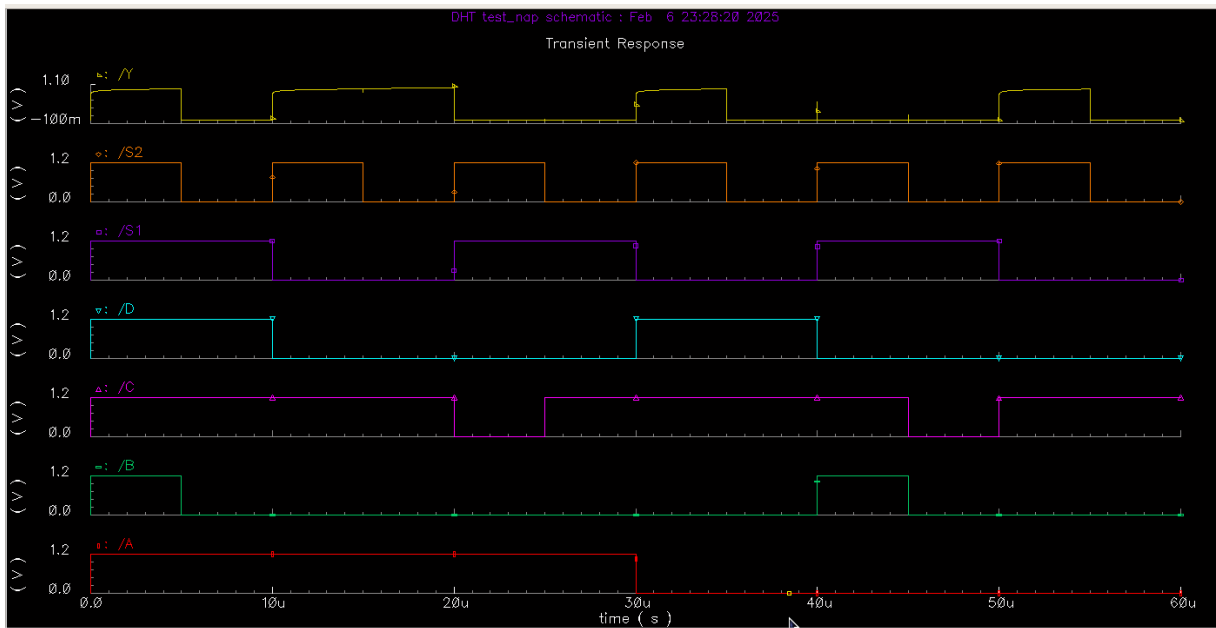
- Mạch có transition time và công suất tiêu thụ trung bình toàn mạch nhỏ nhất là mạch 4 transistor.

10.4. Mạch MUX 4 – 1 (ghép từ mạch MUX 2 – 1)

10.4.1. Mạch MUX 4 – 1 không có enable



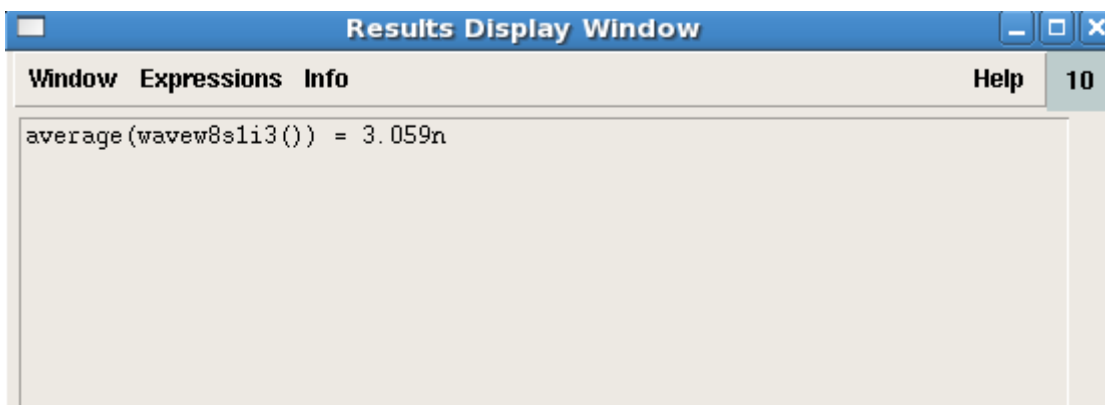
Hình 10.17. Schematic mạch



Hình 10.18. Dạng sóng mạch

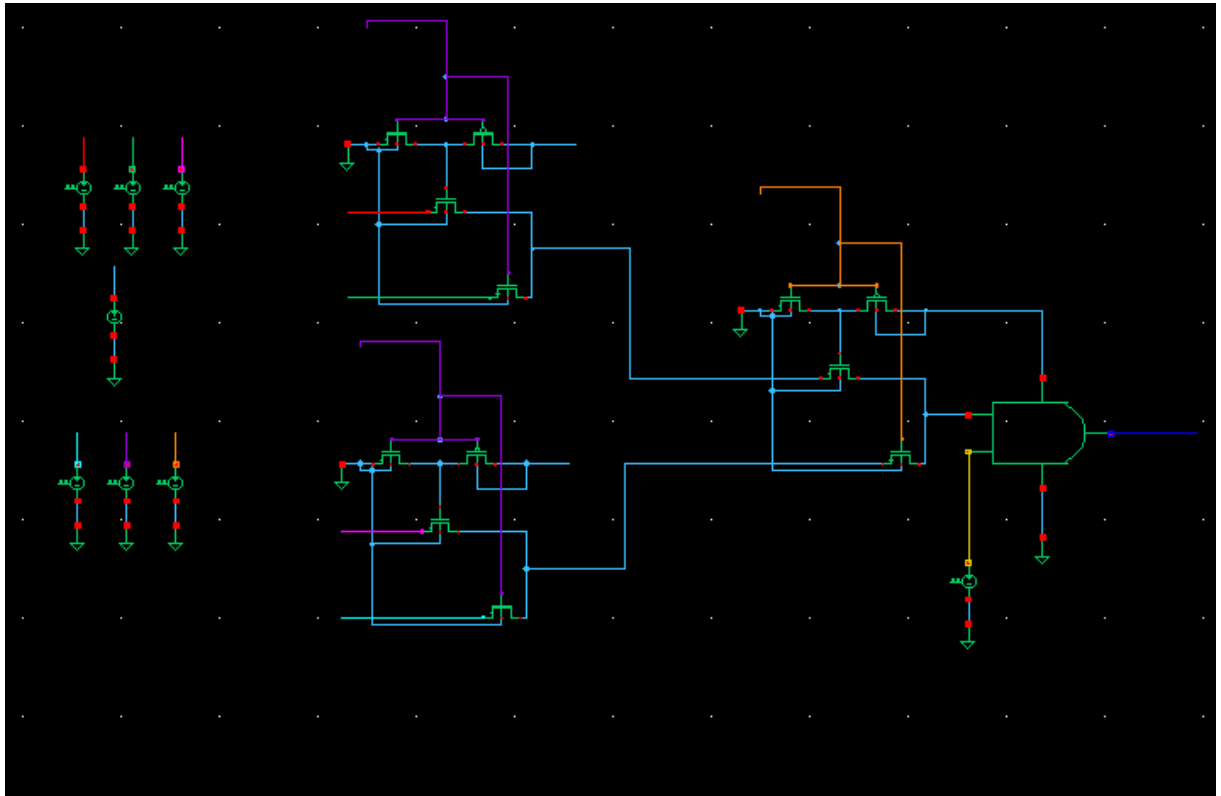
Bảng 10.3. Bảng nhận xét

Thời gian	S2	S1	A	B	C	D	Y
0 – 5 us	1	1	x	x	x	1	1
5 – 10 us	0	1	x	0	x	x	0
10 – 15 us	1	0	x	x	1	x	1
15 – 20 us	0	0	1	x	x	x	1

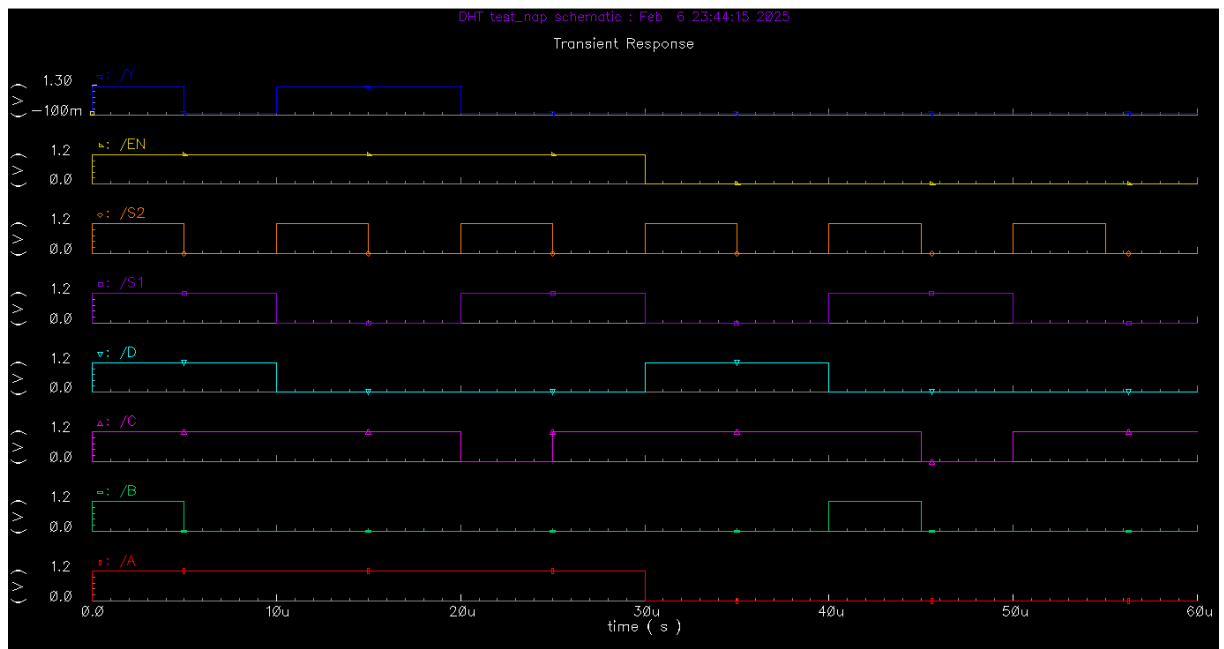


Hình 10.19. Công suất mạch $P=UI=3.059\text{ nW}$

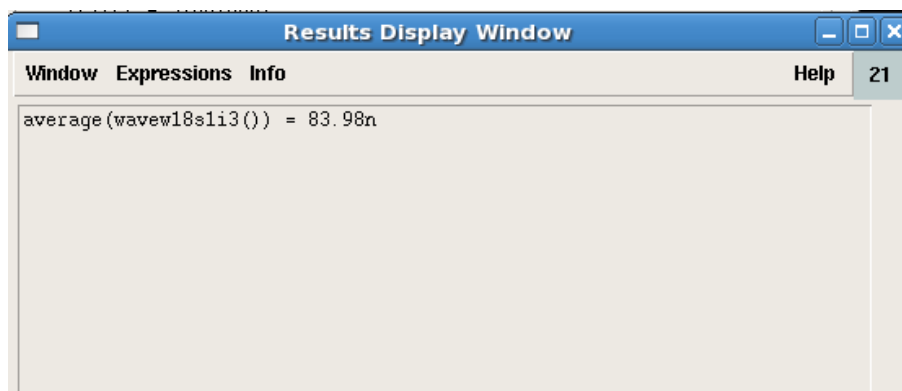
10.4.1. Mạch MUX 4 – 1 có enable



Hình 10.20. Schematic



Hình 10.20. Dạng sóng tương tự khi không có enable (chỉ khác là có chân EN, 0 thì không dẫn, 1 thì dẫn do ghép cổng AND nên tác động mức cao



Hình 10.21. Công suất trung bình $P=UI=83,98 \text{ nW}$