

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM
KHOA: ĐIỆN – ĐIỆN TỬ
MÔN: THỰC TẬP THIẾT KẾ VI MẠCH VLSI
-----oOo-----



HCMUTE

BÁO CÁO
FLIPFLOP D

GVHD: TS. LÊ MINH THÀNH

SVTH:

ĐẶNG HƯNG THỊNH

MSSV:

22119137

Lớp thứ 4 – Tiết 1-6
Tp. Hồ Chí Minh, tháng 03 năm 2025

CHƯƠNG 12. FLIPFLOP D

12.1. Lý thuyết

- Flip-Flop D (Data Flip-Flop) là một loại mạch nhớ cơ bản trong điện tử số, được sử dụng để lưu trữ một bit dữ liệu. Đây là phiên bản cải tiến của SR Flip-Flop, giúp loại bỏ trạng thái không xác định bằng cách chỉ sử dụng một đầu vào dữ liệu (D) cùng với tín hiệu đồng hồ (CLK).

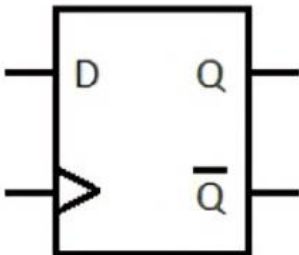
12.2. Nguyên lý hoạt động

+ Khi có xung clock (CLK) lên mức cao hoặc có cạnh lên/xuống, dữ liệu tại đầu vào D sẽ được chốt lại và đưa ra đầu ra Q.

+ Nếu $CLK = 0$, trạng thái đầu ra Q không thay đổi.

+ Nếu $CLK = 1$, Q sẽ nhận giá trị hiện tại của D.

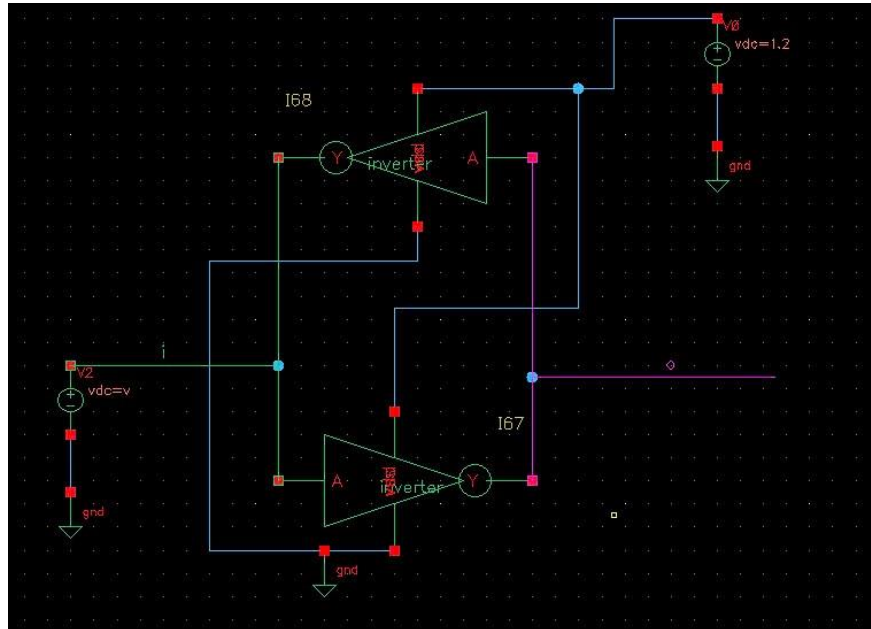
- Ký hiệu và bảng trạng thái:

Symbol		Table of truth:			
		clk	D	Q	\overline{Q}
		0	0	Q	\overline{Q}
		0	1	Q	\overline{Q}
		1	0	0	1
		1	1	1	0

Hình 12.1. Ký hiệu và bảng trạng thái Flipflop D

12.3. Latch

12.3.1. Sơ đồ nguyên lý



Hình 12.2. Schematic Latch dùng 2 inverter

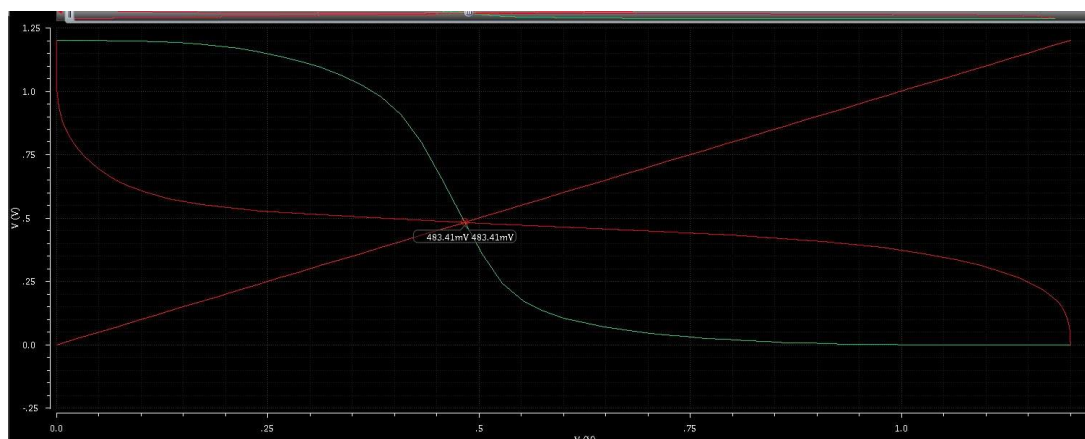
- Thông số tại V_{DD} , V_{SS} , V_{Pulse} :

+ V_{DD} nối với nguồn $V_{DC} = 1,2 \text{ V}$.

+ V_{SS} ta nối đất.

+ Đặt biến v (chạy từ 0 – 1.2) để khảo sát đặc tuyến DC

12.3.2. Kết quả



Hình 12.3. Butterfly Curve

12.3.3. Nhận xét:

- Các điểm trạng thái ổn định
- + Đồ thị có hai điểm giao nhau ở hai đầu (gần 0V và gần 1.2V), đây là hai trạng thái ổn định của mạch latch.
- + Ở những điểm này, mạch latch có thể duy trì trạng thái 0 hoặc 1 mà không bị ảnh hưởng bởi nhiễu nhỏ.
- Điểm chuyển trạng thái (Switching Point - VSP)
- + Điểm giao nhau ở khoảng 483.41 mV (0.483V) là điểm chuyển đổi trạng thái, tức là ngưỡng tại đó latch có thể thay đổi từ 0 \rightarrow 1 hoặc 1 \rightarrow 0.
- + Đây là điểm không ổn định, nghĩa là nếu điện áp đầu vào dao động quanh giá trị này, latch có thể bị chuyển đổi trạng thái bởi nhiễu.
- Độ nhạy với nhiễu và thiết kế latch
- + Nếu khoảng cách giữa hai đường cong quá gần tại VSP, latch dễ bị nhiễu tác động.
- + Nếu khoảng cách rộng, latch ổn định hơn nhưng có thể làm chậm tốc độ chuyển đổi.

12.4. Level-Sensitive Latch

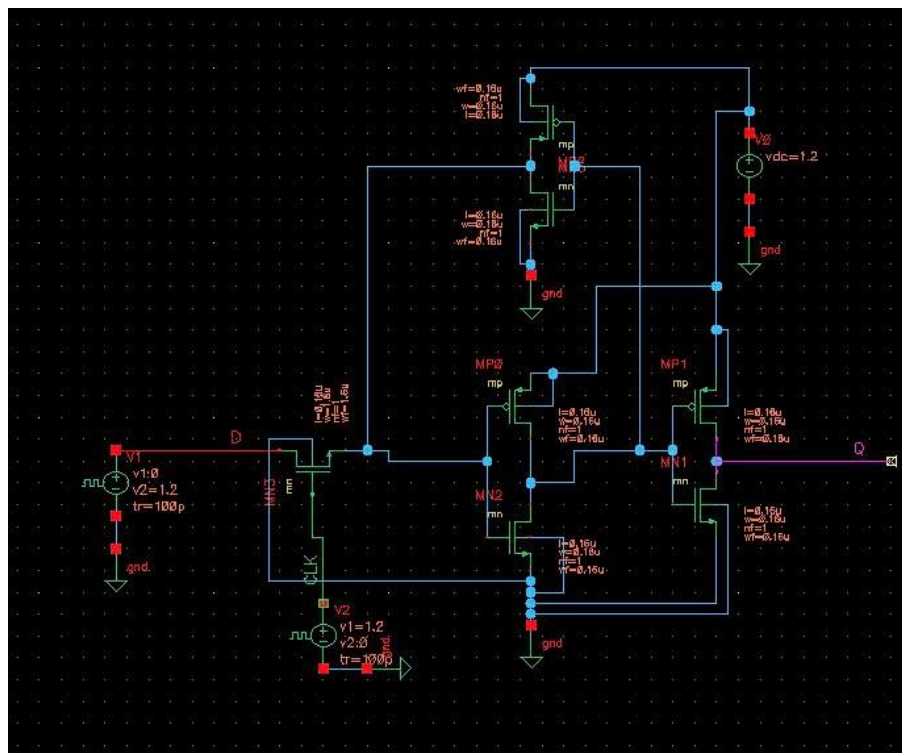
- Mạch bao gồm:
- + Cổng truyền (Transmission Gate hoặc Pass Transistor): Điều khiển bởi tín hiệu Clock.
- + Hai inverter mắc chéo nhau (I1 và I2): Đóng vai trò như một mạch nhớ để lưu trạng thái của dữ liệu đầu vào D.
- + Một inverter bổ sung: Để tạo ra đầu ra chính Q.

12.4.1 Nguyên lý hoạt động

- Trạng thái 1: Clock = 1 (Latch Mở - Ghi dữ liệu)
- + Khi Clock = 1, transistor điều khiển bật, cho phép dữ liệu từ D đi vào mạch.
- + Dữ liệu D được truyền qua inverter I1, tạo ra Qb.
- + Inverter I2 giữ dữ liệu ổn định.
- Đầu ra Q cập nhật theo giá trị mới của D.

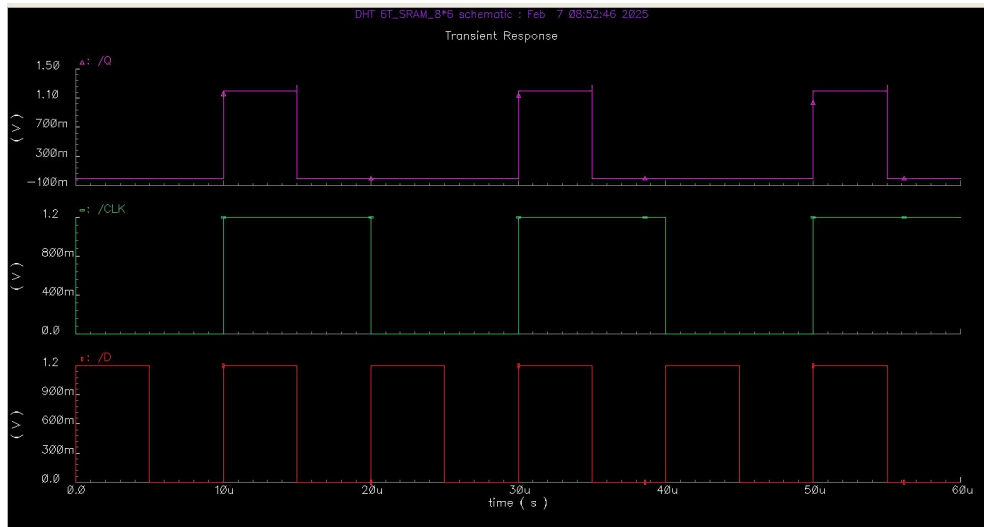
- Kết quả: $Q=DQ=DQ=D$ khi Clock = 1.
 - Trạng thái 2: Clock = 0 (Latch Đóng - Giữ dữ liệu)
- + Khi Clock = 0, transistor điều khiển tắt, chặn tín hiệu từ D.
- + Mạch inverter I1 và I2 duy trì trạng thái cũ nhờ hồi tiếp.
- + Q không thay đổi cho đến khi Clock bật lại.
- Kết quả: Q giữ nguyên giá trị cũ khi Clock = 0.

12.4.2. Sơ đồ nguyên lý



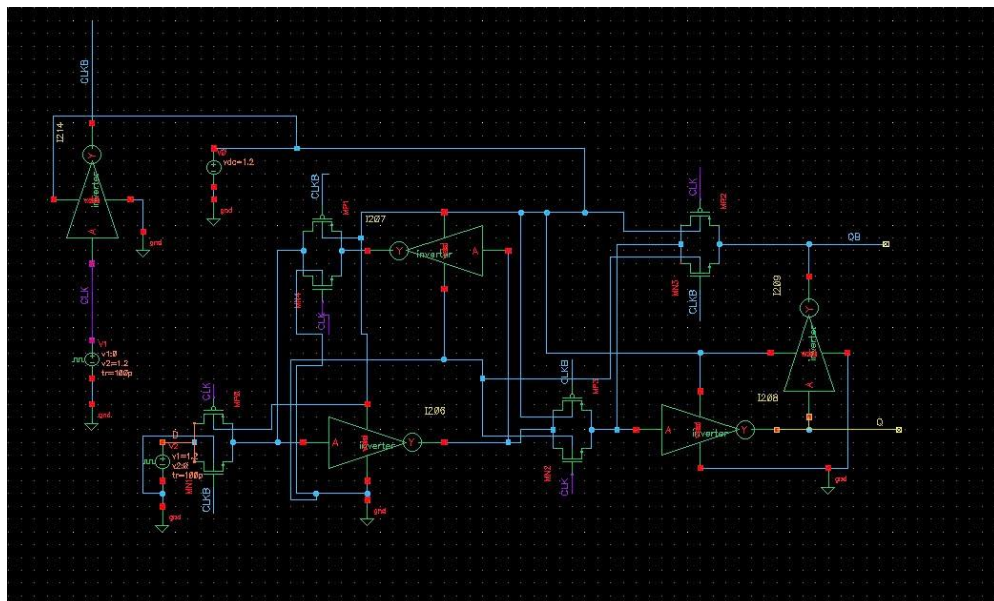
Hình 12.4. Schematic

12.4.3. Dạng sóng

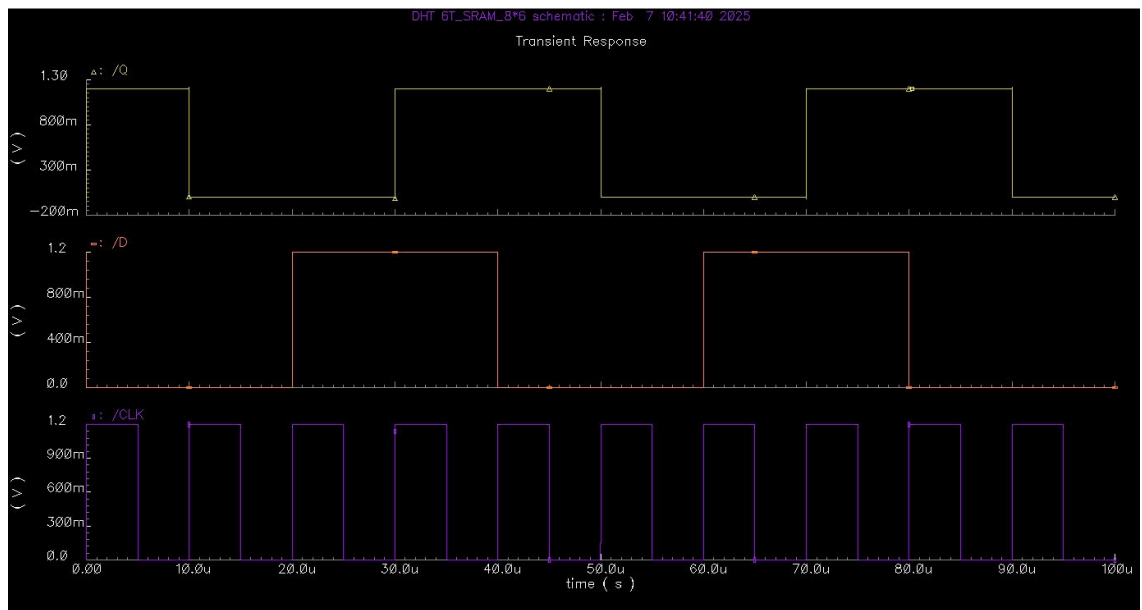


Hình 12.5. Dạng sóng của mạch

12.5. Master-Slave DFF



Hình 12.6. Schematic mạch Master – slave DFF

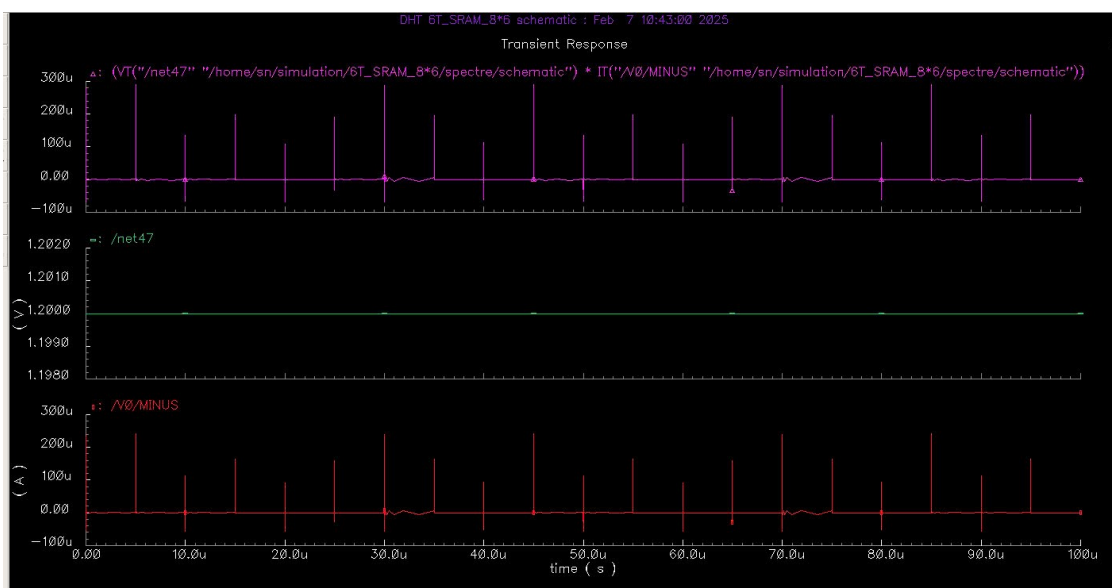


Hình 12.7. Dạng sóng

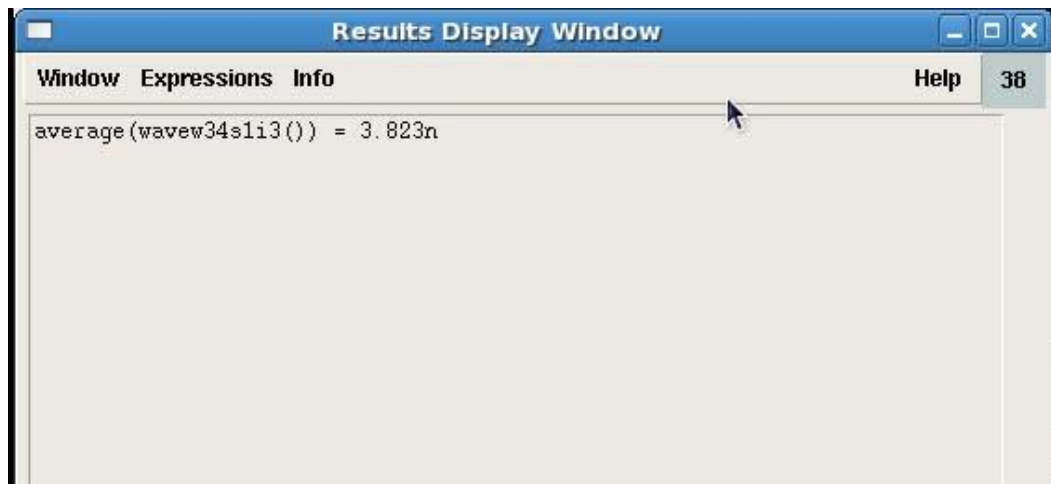
12.5.1. Nhận xét

- Nhìn vào dạng sóng:
- + Tại mỗi cạnh lên của CLK, giá trị của Q thay đổi theo D.
- + Khi D = 0 trước cạnh lên, thì ngay sau cạnh lên của CLK, Q chuyển về 0.
- Điều này đúng với nguyên tắc hoạt động của một **D Flip-Flop dọc cạnh lên**.

12.5.1. Công suất

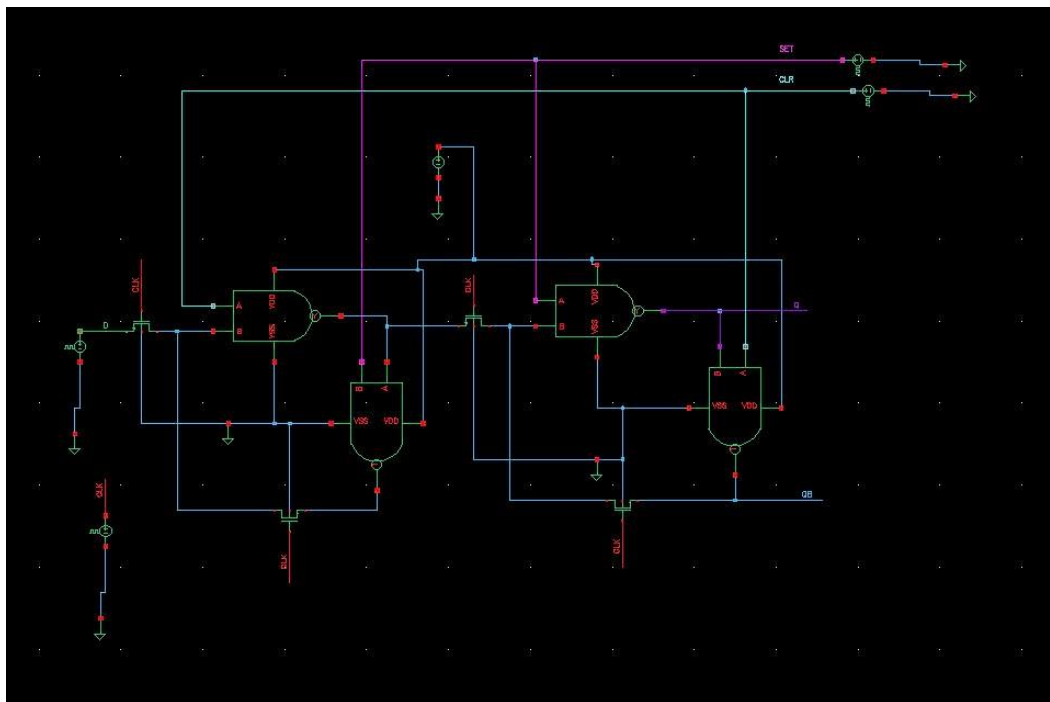


Hình 12.8. Dạng waveform công suất trung bình

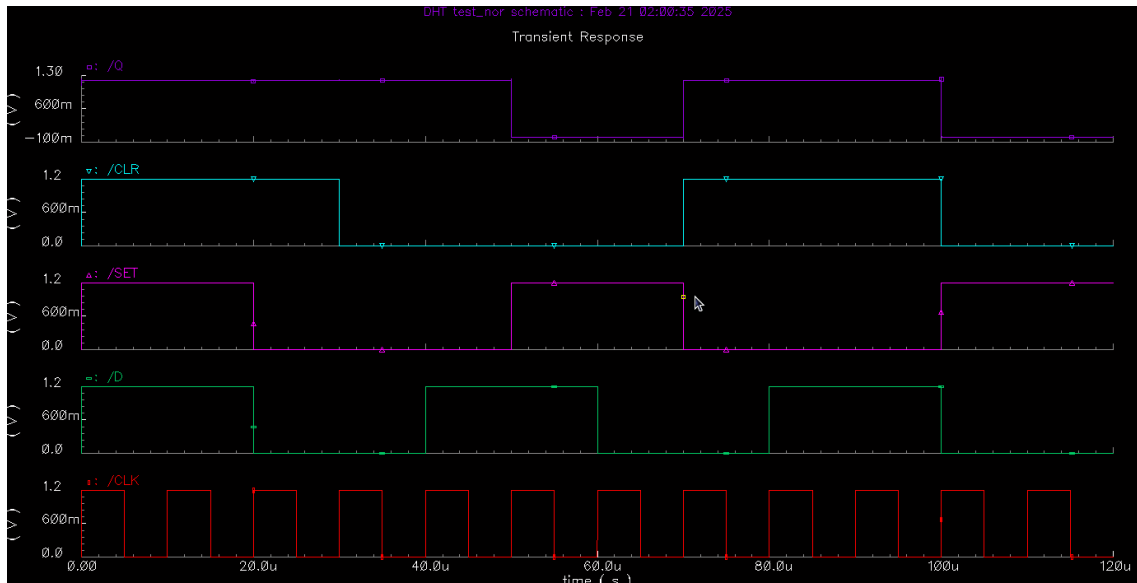


Hình 12.8. $P=U*I=3.823nW$

12.6. Mạch DFF có Set/Clear điều khiển



Hình 12.9. Schematic mạch DFF có set/clear

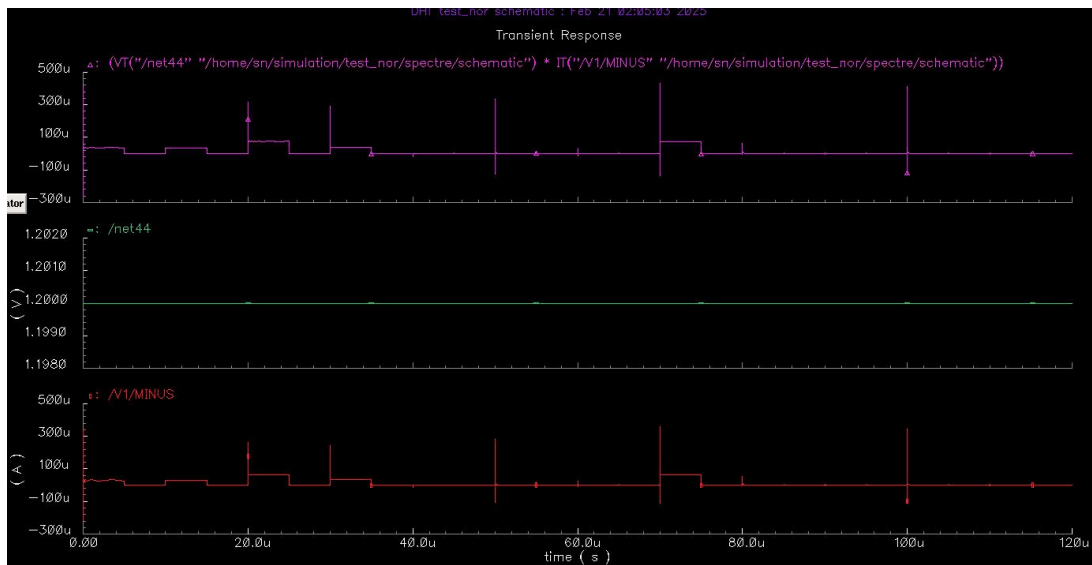


Hình 12.10. Dạng sóng

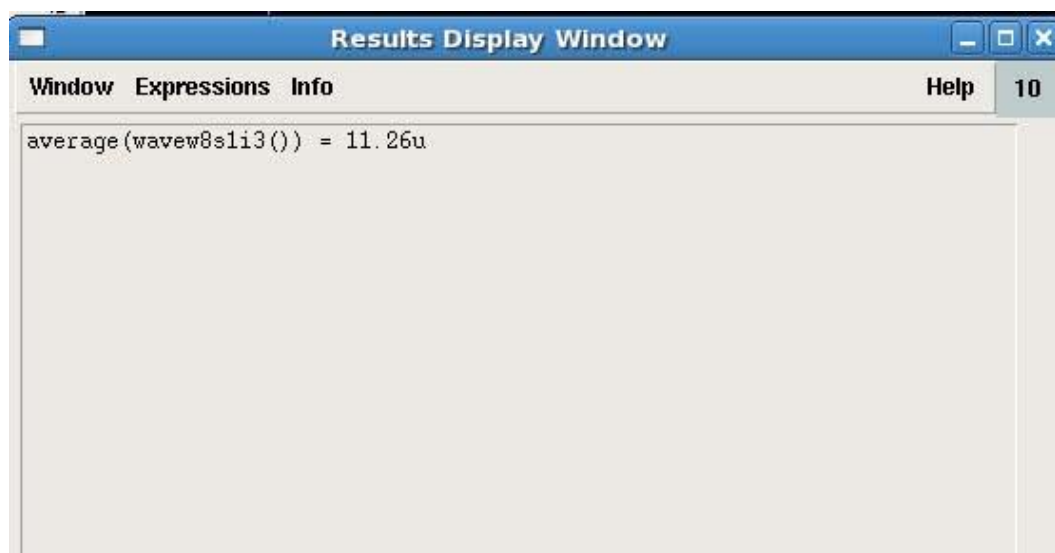
12.6.1 Nhận xét

- 0-20µs:
- + D = 0, CLK dao động nhưng Q vẫn giữ nguyên (chưa thay đổi trạng thái).
- 20µs:
- + D chuyển lên mức cao.
- + Tại cạnh lên tiếp theo của CLK, Q cũng chuyển lên cao.
- 50µs:
- + CLR (Clear) được kích hoạt (mức cao).
- + Ngay lập tức, Q bị kéo xuống 0 dù D đang là 1.
- 80µs:
- + SET (Preset) được kích hoạt.
- + Ngay lập tức, Q bị kéo lên 1 dù D đang là 0.
- Tại 100µs:
- + SET tắt, Q trở về hoạt động bình thường theo D và CLK.

12.6.2. Công suất



Hình 12.11. Waveform công suất mạch



Hình 12.12. $P=U*I=11.26\mu W$

12.7. Dùng HDL để mô tả mạch tuần tự DFF

12.7.1. Verilog

```
module d_flip_flop (  
    input wire clk,  
    input wire d,  
    input wire rst,  
    output reg q  
);  
always @(posedge clk or posedge rst) begin  
    if (rst)  
        q <= 0;  
end
```

```

        else
            q <= d;
        end
    endmodule

```

12.7.2. Test bench

```

`timescale 1ns / 1ps

module tb_d_flip_flop();
    reg clk;
    reg d;
    reg rst;
    wire q;

    d_flip_flop uut (
        .clk(clk),
        .d(d),
        .rst(rst),
        .q(q)
    );

    always #5 clk = ~clk;

    initial begin
        clk = 0;
        rst = 1;
        d = 0;

        #10 rst = 0;

        // Kiểm tra các giá trị đầu vào khác nhau
        #10 d = 1; // D lên 1 -> Q phải lên 1 sau cạnh dương
        #10 d = 0; // D xuống 0 -> Q phải xuống 0 sau cạnh dương
        #10 rst = 1; // Reset -> Q phải về 0 ngay lập tức
        #10 rst = 0; d = 1; // Thả reset, D = 1 -> Q phải nhận 1 sau cạnh
dương
        #10 d = 0;
    end

```

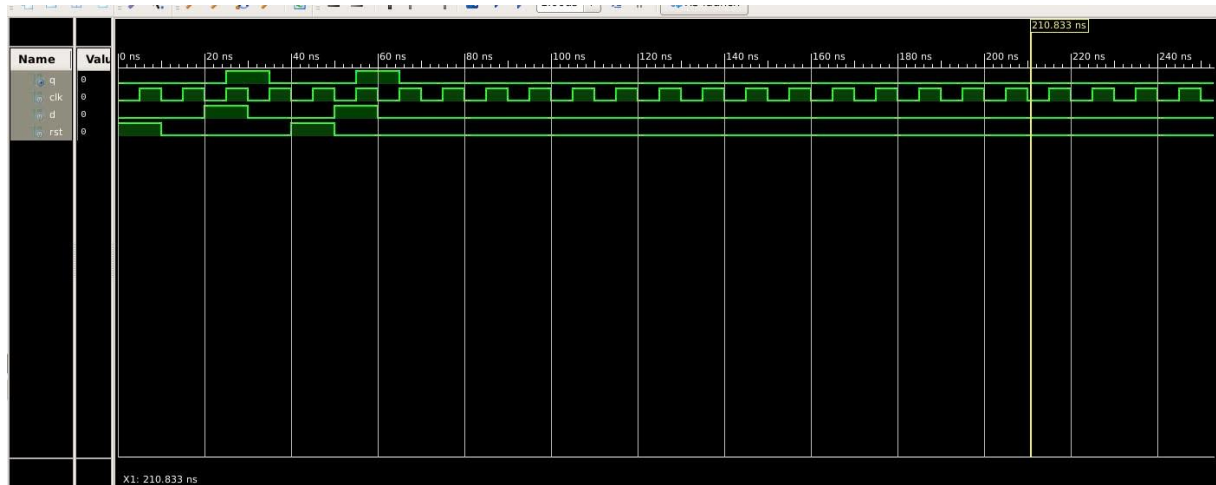
```

        #20 $stop;

    end

endmodule

```



Hình 12.13. Dạng sóng

12.7.3. Kết Luận

- Flip-Flop hoạt động đúng:
- + Khi $\text{rst} = 1$, $q = 0$ bất kể d và clk .
- + Khi $\text{rst} = 0$, q chỉ thay đổi tại cạnh lên của clk theo giá trị của d .
- Không có lỗi hoặc sai sót trong dạng sóng