

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH  
KHOA ĐIỆN ĐIỆN TỬ  
BỘ MÔN KỸ THUẬT MÁY TÍNH - VIỄN THÔNG

ĐỒ ÁN TỐT NGHIỆP

**CẢI TIẾN NHẬN DẠNG ẢNH KÝ TỰ SỐ  
BẰNG PHƯƠNG PHÁP HAI MẢNG  
MEMRISTOR SONG SONG**

NGÀNH CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ - TRUYỀN THÔNG

Sinh viên: **NGUYỄN THỊ TỊNH**

MSSV: 15141308

**NGUYỄN THỊ BÍCH THỦY**

MSSV: 15141295

TP. HỒ CHÍ MINH – 06/2019

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT THÀNH PHỐ HỒ CHÍ MINH

KHOA ĐIỆN ĐIỆN TỬ

BỘ MÔN KỸ THUẬT MÁY TÍNH - VIỄN THÔNG

**ĐỒ ÁN TỐT NGHIỆP**

**CẢI TIẾN NHẬN DẠNG ẢNH KÝ  
TỰ SỐ BẰNG PHƯƠNG PHÁP  
HAI MẢNG MEMRISTOR SONG  
SONG**

**NGÀNH CÔNG NGHỆ KỸ THUẬT ĐIỆN TỬ TRUYỀN THÔNG**

Sinh viên: **NGUYỄN THỊ TỊNH**

MSSV: 15141308

**NGUYỄN THỊ BÍCH THỦY**

MSSV: 15141295

Hướng dẫn: **TS. VÕ MINH HUÂN**

TP. HỒ CHÍ MINH – 06/2019

# THÔNG TIN KHÓA LUẬN TỐT NGHIỆP

## 1. Thông tin sinh viên

Họ và tên sinh viên: Nguyễn Thị Tịnh

MSSV: 15141308

Email: nguyenbautinh@gmail.com

Điện thoại: 0393243883

Họ và tên sinh viên: Nguyễn Thị Bích Thủy

MSSV: 15141295

Email: 15141295@hcmute.edu.vn

Điện thoại: 0971686798

## 2. Thông tin đề tài

- Tên của đề tài: Cải tiến nhận dạng ảnh ký tự số bằng phương pháp hai mảng memristor
- Đơn vị quản lý: Bộ môn Kỹ Thuật Máy Tính - Viễn Thông, Khoa Điện Điện Tử, Trường Đại Học Sư Phạm Kỹ Thuật Tp. Hồ Chí Minh.
- Thời gian thực hiện: Từ ngày 01 / 03 / 2019 đến ngày 18 / 06 / 2019
- Thời gian bảo vệ trước hội đồng: Ngày 20 / 06 / 2019

## 3. Lời cam đoan của sinh viên

Chúng tôi – Nguyễn Thị Tịnh và Nguyễn Thị Bích Thủy cam đoan KLTN là công trình nghiên cứu của chúng tôi dưới sự hướng dẫn của tiến sĩ Võ Minh Huân. Kết quả công bố trong KLTN là trung thực và không sao chép từ bất kỳ công trình nào khác.

Tp.HCM, ngày ... tháng ... năm 20...

SV thực hiện đồ án  
(Ký và ghi rõ họ tên)

**Nguyễn Thị Tịnh    Nguyễn Thị Bích Thủy**

---

Giảng viên hướng dẫn xác nhận quyền báo cáo đã được chỉnh sửa theo đề nghị được ghi trong biên bản của Hội đồng đánh giá Khóa luận tốt nghiệp.

.....

Xác nhận của Bộ Môn

Tp.HCM, ngày ... tháng ... năm 20...

Giáo viên hướng dẫn  
(Ký, ghi rõ họ tên và học hàm - học vị)

# BẢN NHẬN XÉT KHÓA LUẬN TỐT NGHIỆP

(Dành cho giảng viên hướng dẫn)

Đề tài: **Cải tiến nhận dạng ảnh ký tự số bằng phương pháp hai mảng memristor**

Sinh viên thực hiện: 1. Nguyễn Thị Tịnh MSSV: 15141308  
2. Nguyễn Thị Bích Thủy MSSV: 15141295

Giảng viên hướng dẫn: Ts. Võ Minh Huân

## Nhận xét bao gồm các nội dung sau đây:

1. Tính hợp lý trong cách đặt vấn đề và giải quyết vấn đề; ý nghĩa khoa học và thực tiễn:  
Đặt vấn đề rõ ràng, mục tiêu cụ thể; đề tài có tính mới, cấp thiết; đề tài có khả năng ứng dụng, tính sáng tạo.

2. Phương pháp thực hiện/ phân tích/ thiết kế:  
Phương pháp hợp lý và tin cậy dựa trên cơ sở lý thuyết; có phân tích và đánh giá phù hợp; có tính mới và tính sáng tạo.

3. Kết quả thực hiện/ phân tích và đánh giá kết quả/ kiểm định thiết kế:  
Phù hợp với mục tiêu đề tài; phân tích và đánh giá / kiểm thử thiết kế hợp lý; có tính sáng tạo/ kiểm định chặt chẽ và đảm bảo độ tin cậy.

4. Kết luận và đề xuất:  
Kết luận phù hợp với cách đặt vấn đề, đề xuất mang tính cải tiến và thực tiễn; kết luận có đóng góp mới mẻ, đề xuất sáng tạo và thuyết phục.

5. Hình thức trình bày và bố cục báo cáo:  
Văn phong nhất quán, bố cục hợp lý, cấu trúc rõ ràng, đúng định dạng mẫu; có tính hấp dẫn, thể hiện năng lực tốt, văn bản trau chuốt.

6. Kỹ năng chuyên nghiệp và tính sáng tạo:  
Thể hiện các kỹ năng giao tiếp, kỹ năng làm việc nhóm, và các kỹ năng chuyên nghiệp khác trong việc thực hiện đề tài.

7. Tài liệu trích dẫn  
Tính trung thực trong việc trích dẫn tài liệu tham khảo; tính phù hợp của các tài liệu trích dẫn; trích dẫn theo đúng chỉ dẫn APA.

8. Đánh giá về sự trùng lặp của đề tài  
Cần khẳng định đề tài có trùng lặp hay không? Nếu có, đề nghị ghi rõ mức độ, tên đề tài, nơi công bố, năm công bố của đề tài đã công bố.

9. Những nhược điểm và thiếu sót, những điểm cần được bổ sung và chỉnh sửa\* .....

.....  
10. Nhận xét tinh thần, thái độ học tập, nghiên cứu của sinh viên  
.....

.....  
**Đề nghị của giảng viên hướng dẫn**

Ghi rõ: “Bảo cáo đạt/ không đạt yêu cầu của một khóa luận tốt nghiệp kỹ sư, và được phép/ không được phép bảo vệ khóa luận tốt nghiệp”  
.....  
.....

Tp. HCM, ngày ... tháng ... năm 20...  
**Người nhận xét**  
(Ký và ghi rõ họ tên)

# **BẢN NHẬN XÉT KHÓA LUẬN TỐT NGHIỆP**

(Dùng cho giảng viên phản biện)

Đề tài: **Cải tiến nhận dạng ảnh ký tự số bằng phương pháp hai mảng memristor**

Sinh viên thực hiện:

1. Nguyễn Thị Tịnh

MSSV: 15141308

2. Nguyễn Thị Bích Thủy

MSSV: 15141295

Giảng viên hướng dẫn: Ts. Võ Minh Huân

**Nhận xét bao gồm các nội dung sau đây:**

1. Tính hợp lý trong cách đặt vấn đề và giải quyết vấn đề; ý nghĩa khoa học và thực tiễn [15/100]:

Đặt vấn đề rõ ràng, mục tiêu cụ thể <sup>[5]</sup>; đề tài có tính mới, cấp thiết <sup>[5]</sup>; đề tài có khả năng ứng dụng, tính sáng tạo <sup>[5]</sup>.

2. Phương pháp thực hiện/ phân tích/ thiết kế [25/100]:

Phương pháp hợp lý và tin cậy dựa trên cơ sở lý thuyết <sup>[10]</sup>; có phân tích và đánh giá phù hợp <sup>[10]</sup>; có tính mới và tính sáng tạo <sup>[5]</sup>.

3. Kết quả thực hiện/ phân tích và đánh giá kết quả/ kiểm định thiết kế [25/100]:

Phù hợp với mục tiêu <sup>[10]</sup>; phân tích và đánh giá / kiểm thử thiết kế hợp lý <sup>[10]</sup>; có tính sáng tạo/ kiểm định chặt chẽ và đảm bảo độ tin cậy <sup>[5]</sup>.

4. Kết luận và đề xuất [10/100]:

Kết luận phù hợp với cách đặt vấn đề, đề xuất mang tính cải tiến và thực tiễn <sup>[5]</sup>; kết luận có đóng góp mới mẻ, đề xuất sáng tạo và thuyết phục <sup>[5]</sup>.

5. Hình thức trình bày, bố cục và chất lượng báo cáo [15/100]:

Văn phong nhất quán, bố cục hợp lý, cấu trúc rõ ràng, đúng định dạng mẫu <sup>[5]</sup>; có tính hấp dẫn, thể hiện năng lực tốt, văn bản trau chuốt <sup>[15]</sup>.

6. Tài liệu trích dẫn [10/100]

Tính trung thực trong việc trích dẫn tài liệu tham khảo; tính phù hợp của các tài liệu trích dẫn; trích dẫn theo đúng chỉ dẫn APA.

7. Đánh giá về sự trùng lặp của đề tài

Cần khẳng định đề tài có trùng lặp hay không? Nếu có, đề nghị ghi rõ mức độ, tên đề tài, nơi công bố, năm công bố của đề tài đã công bố.

.

8. Những nhược điểm và thiếu sót, những điểm cần được bổ sung và chỉnh sửa\* .....

**Câu hỏi sinh viên phải trả lời trước hội đồng\* (ít nhất 02 câu)**

**Đánh giá chung**

- Điểm (Quy về thang điểm 10 không làm tròn): ...../10.
- Xếp loại chung (Xuất sắc, Giỏi, Khá, Trung bình, Yếu, Kém):.....

**Đề nghị của giảng viên phản biện**

Ghi rõ: “Báo cáo đạt/ không đạt yêu cầu của một khóa luận tốt nghiệp kỹ sư, và được phép/ không được phép bảo vệ khóa luận tốt nghiệp”

Tp. HCM, ngày ... tháng .... năm  
20...

**Người nhận xét**  
(Ký và ghi rõ họ tên)

## LỜI CẢM ƠN

Chúng tôi xin chân thành cảm ơn quý thầy cô trường Đại Học Sư phạm Kỹ Thuật TP.HCM nói chung và quý thầy cô bộ môn Điện Tử Viễn Thông nói riêng đã trang bị kiến thức và giúp chúng tôi giải quyết những khó khăn trong quá trình thực hiện đề tài và làm luận văn.

Đặc biệt chúng tôi xin chân thành cảm ơn Thầy hướng dẫn - T.S Võ Minh Huân đã tận tình giúp đỡ trong quá trình lựa chọn đề tài và hỗ trợ chúng tôi nghiên cứu trong quá trình thực hiện.

Chúng tôi xin chân thành cảm ơn.



# TÓM TẮT

Xây dựng hệ thống neuromorphic trong nhận dạng ảnh là một ứng dụng cụ thể để minh chứng cho sự hữu dụng và tính phổ biến của memristor trong tương lai bởi những ưu điểm vượt trội như khả năng lưu trữ, mật độ tích hợp cao, công suất thấp.

Trong luận văn này chúng tôi đã thực hiện nhận dạng tập ảnh trắng đen gồm có 10 ảnh, mỗi ảnh là một mảng 5x6 pixel, mỗi một pixel là một tín hiệu vào hệ thống, hệ thống gồm có 300 memristor được chia thành 10 mảng memristor, tương ứng mỗi mảng sẽ có 30 tín hiệu vào và một tín hiệu ra, như vậy hệ thống sẽ có 10 tín hiệu đi ra từ 10 mảng memristor sau đó tiếp tục đi vào khối tích hợp. Khối tích hợp có 2 thành phần chính là noron và bộ điều khiển chuyển mạch.

Bộ điều khiển chuyển mạch, nhiệm vụ chính là điều khiển 3 chuyển mạch là SW1, SW2 và SW3 trên mỗi khối tích hợp và kết hợp với các noron để thực hiện huấn luyện và kiểm tra ảnh.

Hệ thống bao gồm hai chế độ, chế độ thứ nhất là chế độ huấn luyện, các noron sẽ làm nhiệm vụ huấn luyện tín hiệu điện áp vào là ảnh số mấy, chế độ thứ hai là chế độ kiểm tra, sẽ kiểm tra ảnh nào có noron đốt cháy đầu tiên và ảnh nào có noron bị đóng băng và dừng lại không hoạt động trong quá trình kiểm tra.

Chúng tôi gọi toàn bộ quá trình huấn luyện và kiểm tra nhận dạng ảnh như trên là phương pháp thứ nhất, với phương pháp thứ nhất chúng tôi trình bày toàn bộ chế độ huấn luyện cũng như kết quả huấn luyện tập ảnh gồm 10 ảnh, nhưng bộ điều khiển khá phức tạp và hệ thống vẫn chưa nhận dạng tốt với những ảnh là tập hợp con của ảnh khác, do đó chúng tôi cải tiến với phương pháp thứ hai trong nhận dạng ảnh bằng cách tạo thêm khối memristor thứ hai với tín hiệu vào chính là tín hiệu đảo của khối memristor thứ nhất, hai bộ tích hợp hoạt động song song hỗ trợ lẫn nhau để nhận dạng ảnh hiệu quả hơn, chúng tôi đã trình bày kết quả và đánh giá về khả năng nhận dạng chính xác sau khi cải tiến trong phần cuối của luận văn này.

# MỤC LỤC

DANH MỤC HÌNH .....	IX
DANH MỤC BẢNG .....	XI
CÁC TỪ VIẾT TẮT .....	XII
<b>CHƯƠNG 1 GIỚI THIỆU.....</b>	<b>1</b>
1.1 GIỚI THIỆU TỔNG QUAN .....	1
1.2 TÍNH CẤP THIẾT CỦA ĐỀ TÀI .....	1
1.3 MỤC ĐÍCH ĐỀ TÀI .....	2
1.4 MỤC TIÊU NGHIÊN CỨU .....	2
1.5 GIỚI HẠN ĐỀ TÀI .....	3
1.6 PHƯƠNG PHÁP NGHIÊN CỨU .....	3
1.7 TÓM TẮT ĐỀ TÀI .....	3
<b>CHƯƠNG 2 NGHIÊN CỨU TỔNG QUAN .....</b>	<b>4</b>
2.1 KẾT QUẢ NGHIÊN CỨU LIÊN QUAN .....	4
2.2 TỔNG QUAN VỀ MEMRISTOR .....	5
2.2.1 Tính chất của memristor .....	6
2.2.2 Trở kháng của memristor .....	7
2.2.3 Cấu tạo memristor crossbar .....	8
2.3 MÔ HÌNH TOÁN HỌC .....	9
2.4 KẾT LUẬN CHƯƠNG 2 .....	10
<b>CHƯƠNG 3 XÂY DỰNG HỆ THỐNG NEUROMORPHIC DÙNG</b>	
<b>MỘT MẢNG MEMRISTOR TRONG NHẬN DẠNG ẢNH .....</b>	<b>11</b>
3.1 TRÌNH BÀY Ý TƯỞNG .....	11
3.1.1 Mô tả hệ thống .....	11
3.1.2 Mạng nơron nhân tạo (ANN) .....	11
3.2 ĐỀ XUẤT HỆ THỐNG .....	12
3.2.1 Sơ đồ khối hệ thống .....	12
3.2.2 Cảm biến ảnh CMOS .....	13
3.3 NGUYÊN LÝ HOẠT ĐỘNG CỦA HỆ THỐNG .....	14

3.4 MÔ PHỎNG CHẾ ĐỘ HUẤN LUYỆN .....	15
3.4.1 Tổng thể hệ thống .....	15
3.4.2 Quá trình phân loại trong chế độ huấn luyện .....	17
3.4.3 Quá trình hoạt động của bộ nơron mạch .....	18
3.4.4 Bộ chốt ngõ ra .....	19
3.4.5 Bộ điều khiển chuyển mạch .....	20
3.5 MÔ PHỎNG CHẾ ĐỘ KIỂM TRA .....	23
3.5.1 Chế độ kiểm tra .....	23
3.5.2 Chế độ kiểm tra với ảnh vào là ảnh số 1 .....	24
3.6 KẾT QUẢ NHẬN DẠNG .....	28
<b>CHƯƠNG 4 CẢI TIẾN HỆ THỐNG NEUROMORPHIC BẰNG HAI</b>	
<b>MẢNG MEMRISTOR HOẠT ĐỘNG SONG SONG .....</b>	<b>30</b>
4.1 PHƯƠNG PHÁP CẢI TIẾN .....	30
4.2 CHẾ ĐỘ HUẤN LUYỆN CỦA PHƯƠNG PHÁP CẢI TIẾN .....	31
4.2.1 Tập ảnh huấn luyện .....	31
4.2.2 Các bước thực hiện huấn luyện.....	33
4.2.3 Khối tích hợp của chế độ huấn luyện .....	333
4.3 CHẾ ĐỘ KIỂM TRA CỦA PHƯƠNG PHÁP CẢI TIẾN.....	38
4.4 PHÂN TÍCH HỆ THỐNG VỚI MẠCH NHẬN DẠNG SỐ 8 .....	39
4.5 KẾT QUẢ MÔ PHỎNG CỦA PHƯƠNG PHÁP CẢI TIẾN .....	42
4.6 KẾT LUẬN CHƯƠNG 4 .....	43
<b>CHƯƠNG 5 KẾT LUẬN VÀ ĐÁNH GIÁ .....</b>	<b>44</b>
5.1 SO SÁNH KHẢ NĂNG NHẬN DẠNG CỦA HAI PHƯƠNG PHÁP	
.....	44
5.2 KẾT LUẬN .....	45
5.3 ƯU ĐIỂM .....	46
5.4 KHUYẾT ĐIỂM .....	46
5.5 ĐỀ XUẤT CẢI TIẾN .....	46
TÀI LIỆU THAM KHẢO .....	47

# DANH MỤC HÌNH

HÌNH	TRANG
Hình 2.1: 4 nhân tố mạch cơ bản [8].....	5
Hình 2.2: Dòng qua memristor và kích thước ống [8].....	6
Hình 2.3: Đặc tuyến I-V và tần số nguồn . ....	7
Hình 2.4: Ký hiệu Memristor.....	7
Hình 2.5: Cấu trúc Crossbar của memristor [8].....	9
Hình 2.6: Cấu trúc một memristor HP [8]. ....	9
Hình 3.1: Ý tưởng hệ thống nhận dạng ảnh.....	11
Hình 3.2 Sơ đồ khối hệ thống .....	12
Hình 3.3: Sơ đồ khối của hệ thống neuromorphic.....	12
Hình 3.4: Sơ đồ khối của cảm biến ảnh CMOS và xử lý lại ảnh. ....	13
Hình 3.5: Hệ thống 10 mảng memristor . ....	14
Hình 3.6: Tổng quan hệ thống huấn luyện ảnh số 1. ....	15
Hình 3.7: Tập ảnh huấn luyện .....	15
Hình 3.8: Mảng memristor trước khi được huấn luyện.....	16
Hình 3.9: Tổng thể quá trình huấn luyện ảnh sử dụng memristor .....	16
Hình 3.10: Quá trình phân loại . ....	17
Hình 3.11: Chế độ huấn luyện ảnh trạng thái đốt .....	18
Hình 3.12: Chế độ huấn luyện ảnh trạng thái đóng băng.....	19
Hình 3.13: Mạch chốt ngõ ra .....	19
Hình 3.14: Bộ điều khiển chuyển mạch của chế độ huấn luyện.....	20
Hình 3.15: Mạch chi tiết bộ điều khiển chuyển mạch của chế độ huấn luyện.....	21
Hình 3.16: Khối chuyển mạch của chế độ huấn luyện sử dụng memristor .....	23
Hình 3.17: Kết quả 10 tín hiệu $V_{mem}$ tương ứng trên 10 mảng memristor .....	25
Hình 3.18: Kết quả ở chế độ phân loại .....	25
Hình 3.19: Kết quả điện áp ra sau mạch tích phân.....	26
Hình 3.20: Kết quả điện áp của trạng thái đốt và đóng băng . ....	27

<b>Hình 3.21:</b> Kết quả điện áp ngõ ra.....	28
<b>Hình 4.1:</b> Mô hình phương pháp cải tiến . ....	30
<b>Hình 4.2:</b> Tập ảnh huấn luyện của khối memristor thứ nhất . ....	31
<b>Hình 4.3:</b> Tập ảnh huấn luyện của khối memristor thứ hai. ....	31
<b>Hình 4.4:</b> Khối thứ nhất của mảng memristor sau khi huấn luyện.....	32
<b>Hình 4.5:</b> Khối thứ hai của mảng memristor sau khi huấn luyện. ....	32
<b>Hình 4.6:</b> Quá trình phân loại . ....	34
<b>Hình 4.7:</b> Chế độ huấn luyện ảnh trạng thái đốt và đóng băng.....	34
<b>Hình 4.8:</b> Bộ chốt ngõ ra của phương pháp hai mảng . ....	35
<b>Hình 4.9:</b> Mạch chi tiết bộ điều khiển chuyển mạch của chế độ huấn luyện . ....	36
<b>Hình 4.10:</b> Tổng thể bộ điều khiển chuyển mạch của quá trình kiểm tra . ....	39
<b>Hình 4.11:</b> Đưa ảnh số 8 vào khối thứ nhất của hệ thống để kiểm tra.....	39
<b>Hình 4.12:</b> Đưa ảnh số 8 vào khối thứ hai của hệ thống để kiểm tra. ....	40
<b>Hình 4.13:</b> Đưa ảnh số 7 vào khối thứ nhất của hệ thống để kiểm tra. ....	41
<b>Hình 4.14:</b> Đưa ảnh số 7 vào khối thứ hai của hệ thống để kiểm tra . ....	41

# DANH MỤC BẢNG

## BẢNG

## TRANG

<b>Bảng 3.1:</b> Kết quả nhận dạng của hệ thống khi dùng một mảng memristor .....	29
<b>Bảng 4.1:</b> Kết quả nhận dạng của hệ thống khi dùng phương pháp thứ 2.....	42
<b>Bảng 5.1:</b> So sánh khả năng nhận dạng của hai phương pháp.....	44

## CÁC TỪ VIẾT TẮT

<b>KÝ HIỆU</b>	<b>VIẾT TẮT</b>
CMOS	Complementary Metal-Oxide-Semiconductor
HP	Hewlett-Packard
V	Voltage
A	Amplitude
R	Resistor
ANN	Artificial Neural Network
CIS	CMOS Image Sensor
ADC	Analog to Digital Converter
SPU	Signal Processing Unit
SW	Switch
Vmem	Voltage memristor
HRS	High Resistance state
LRS	Low Resistance state
N/A	Not available

# CHƯƠNG 1

## GIỚI THIỆU

### 1.1 GIỚI THIỆU TỔNG QUAN

Hiện nay nước ta đã có các công ty nghiên cứu và đào tạo thiết kế vi mạch có ứng dụng dân dụng quan trọng như thiết bị giám sát, điện kế điện tử ...Số lượng các công ty về thiết kế vi mạch rất ít cho thấy ngành thiết kế vi mạch còn rất mới mẻ và gặp nhiều khó khăn. Chính vì vậy các đề tài nghiên cứu, thiết kế về vi mạch còn rất ít.

Bên cạnh đó, ngành thiết kế vi mạch của thế giới đã phát triển hơn 50 năm nay, có hàng tỉ chip vi mạch được tạo ra và ứng dụng đa dạng trong thực tế. Đặc biệt L. O. Chua đã khám phá ra thành phần thứ 4 trong mạch điện vào năm 1971 thay vì ba thành phần cơ bản như điện trở, cuộn dây và tụ điện, đó chính là Memristor [1]. Vào năm 2008, HP Labs đã chế tạo thành công cấu trúc cơ bản của Memristor và chúng tôi tin rằng Memristor sẽ ứng dụng vào cuộc sống rất nhiều.

### 1.2 TÍNH CẤP THIẾT CỦA ĐỀ TÀI

Theo định luật Moore thì số lượng transistor sẽ tăng lên gấp đôi sau hai năm, Tuy nhiên, trong thời gian gần đây định luật Moore đã có nhiều biểu hiện bị thay đổi và kéo dài dần thời gian nhân đôi số transistor trên một đơn vị diện tích. Tại thời điểm năm 2007, khoảng thời gian để tăng đôi số transistor là xấp xỉ 60 tháng. Nhiều nhà phân tích cho rằng trong tương lai không xa khi mà các áp dụng kỹ thuật đã không thể rút nhỏ kích cỡ của một transistor xuống hơn được (cụ thể là khi kiến trúc của transistor đã được rút xuống đến mức độ phân tử) thì định luật Moore sẽ không còn đúng nữa, chính vì điều này mà nhiều nhà nghiên cứu



đi tìm hướng phát triển mới cho tương lai, một loại linh kiện hoàn toàn mới với kích thước nano.

Gần đây một mô hình linh kiện mới được tạo ra, ngay lập tức gây được chú ý và thu hút sự quan tâm của nhiều nhà nghiên cứu trên thế giới trong lĩnh vực vi mạch điện tử, đó là mô hình điện trở nhớ (Memristor), nó là sự kết hợp của “Memory” tức là khả năng nhớ và “Resistor” là điện trở, ưu điểm là không mất dữ liệu khi mất điện, cấu hình lại, khả năng xử lý tín hiệu tương tự, kích thước nhỏ ở mức nano, “mật độ tích hợp lên đến  $100 \text{ Gb/cm}^2$ ” [2], linh kiện thụ động, công suất tiêu hao thấp, xử lý song song, khi không có nguồn thì công suất tổn hao bằng không, về mặt lý thuyết Memristor có tốc độ cao hơn và giá thành rẻ hơn so với bộ nhớ flash, với những ưu điểm này làm cho nhiều nhà nghiên cứu tin rằng trong tương lai không xa “Memristor” sẽ thay thế công nghệ CMOS.

Memristor mở ra một kỷ nguyên mới về công nghệ vi mạch mà không thể thực hiện được ý tưởng này chỉ với những linh kiện điện tử thông thường như tái cấu trúc bộ não con người, xây dựng hệ thống phân cứng neuromorphic.

Vì tất cả những lý do trên, chúng tôi quyết định chọn đề tài “Cải tiến nhận dạng ảnh ký tự số bằng phương pháp hai mảng memristor song song”

### **1.3 MỤC ĐÍCH ĐỀ TÀI**

Sự phát triển của điện trở nhớ làm nền tảng cho nhiều ứng dụng mới cho công nghệ vi mạch, nhiều tiềm năng trong tương lai, đặc biệt là kích thước nhỏ, khả năng lưu trữ, xử lý nhanh, giá thành rẻ làm nhóm chúng tôi nghĩ đến những mô hình não bộ, xử lý mạng nơron, xử lý công suất thấp, những ứng dụng nhiệt độ khắc nghiệt. Vì sự đặc biệt của điện trở nhớ nhóm chúng tôi quyết định làm đề tài “Cải tiến nhận dạng ký tự số bằng phương pháp hai mảng memristor song song” với mục đích của đề tài là nghiên cứu cấu trúc, đặc điểm, nguyên lý của điện trở nhớ, sự kết hợp giữa điện trở nhớ và CMOS để tạo nên hệ thống neuromorphic trong nhận dạng ảnh.

### **1.4 MỤC TIÊU NGHIÊN CỨU**

- Tìm hiểu cấu trúc và nguyên lý hoạt động của điện trở nhớ ( Memristor).

- Tìm hiểu mô hình điện trở nhớ HP (Hewlett-Packard).
- Tìm hiểu về hệ thống neuromorphic dùng memristor.
- Xây dựng hai mô hình neuromorphic dùng memristor để nhận dạng ảnh.
- So sánh khả năng nhận dạng của hai phương pháp.
- Sử dụng phần mềm Cadence để xây dựng hệ thống neuromorphic.

## **1.5 GIỚI HẠN ĐỀ TÀI**

- Đề tài chỉ thiết kế và mô phỏng hệ thống trên Cadence.
- Chỉ xử lý ảnh trắng đen.
- Không làm mô hình thực tế.

## **1.6 PHƯƠNG PHÁP NGHIÊN CỨU**

- Phân tích cấu trúc Memristor, so sánh hai phương pháp nhận dạng.
- Mô tả hệ thống, thống kê kết quả mô phỏng.
- Lập luận vấn đề kết hợp quy nạp, diễn dịch, tổng hợp.
- Đề xuất mô hình, triển khai thiết kế.

## **1.7 TÓM TẮT ĐỀ TÀI**

Thông qua mục đích và mục tiêu của đề tài, chúng tôi đã thực hiện những nội dung sau:

- Chương 1: Giới thiệu.
- Chương 2: Nghiên cứu tổng quan
- Chương 3: Xây dựng hệ thống neuromorphic dùng một mảng Memristor trong nhận dạng ảnh.
- Chương 4: Cải tiến hệ thống neuromorphic bằng hai mảng Memristor hoạt động song.
- Chương 5: Kết luận và hướng phát triển.

## CHƯƠNG 2

# NGHIÊN CỨU TỔNG QUAN

### 2.1 KẾT QUẢ NGHIÊN CỨU LIÊN QUAN

Có rất nhiều công trình nghiên cứu về Memristor hiện nay. Cách kết nối bên trong cho các mạch logic dùng memristor sử dụng cấu trúc “Crossbar” đã được nghiên cứu trước đây và kết quả được mô phỏng qua phần mềm Spice [3].

Đã có bài báo mô tả mô hình hệ thống neuromorphic cho nhận dạng mười ảnh trắng đen từ số 0 đến số 9, hệ thống gồm 3 phần: phần 1 là chuyển tín hiệu dạng hình ảnh thành tín hiệu điện, phần 2 xử lý mạng nơron dùng 300 memristor, phần 3 là ngõ ra tín hiệu [4]. Ưu điểm của bài báo là xây dựng mô hình thực tế, nhược điểm thứ nhất là hệ thống nhận dạng với những ảnh gần giống nhau thì dễ gây ra nhầm lẫn ví dụ ảnh chứa nội dung số 3 và ảnh chứa nội dung số 5 chỉ có một pixel khác nhau trên mô hình dễ dẫn đến quyết định sai ở ngõ ra, nhược điểm thứ hai là memristor có khả năng thay đổi điện trở theo hướng tăng giá trị điện trở và đồng thời cũng có khả năng giảm giá trị điện trở nhưng trong bài viết chỉ sử dụng một hướng giảm giá trị điện trở của memristor.

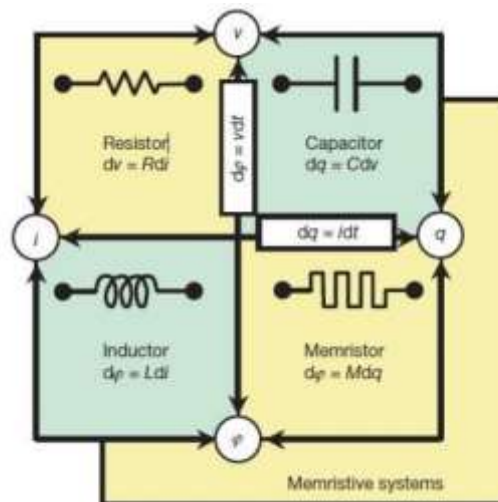
Cùng quan điểm về nghiên cứu dùng memristor trong mô hình neuromorphic thì có một bài viết đã tóm lại những nghiên cứu quan trọng đạt được trong sự phát triển của memristor thành ngang dựa trên mô hình neuromorphic được thiết kế từ việc phối hợp các mô hình, mạch điện và cấu trúc [5]. Ưu điểm của bài viết là cho người đọc một cái nhìn tổng quan về memristor sử dụng mô hình neuromorphic từ cấu tạo, nguyên lý hoạt động cho đến đặc điểm thiết kế một mô hình neuromorphic.

Tiềm năng của memristor mảng thanh ngang được đề cập đến như tự động liên kết bộ nhớ và áp dụng nó trong các mạng nơron, đặc biệt là khả năng nhớ lại các chức năng huấn luyện của một quá trình nhận dạng ký tự dựa trên mô hình BSB (Brain State – in – a – Box) [6]. Độ bền vững của mạch BSB, được phân

tích đánh giá dựa trên sự mở rộng phân tích, xem xét những lỗi sai ở đầu vào, quá trình thay đổi và dao động điện. Kết quả cho thấy mạch huấn luyện được đề xuất có thể làm giảm và loại bỏ các vấn đề về nhiễu, nhược điểm là chưa xử lý tốt với nhiễu ngẫu nhiên.

Thuật toán giải quyết vấn đề tối ưu hóa nhiệt phát sinh trong quá trình hoạt động dùng memristor có ưu điểm là giảm công suất tổn hao khi sử dụng memristor đến 31% so với sử dụng mạch thông thường [7], tuy nhiên nó cũng có nhược điểm là bit đầu của lưu lượng mạng làm cho kết quả của “cluster” bị thay đổi từ trạng thái ổn định sang trạng thái kích thước dự đoán làm tăng bước lặp và thời gian kéo dài thêm 5%.

## 2.2 TỔNG QUAN VỀ MEMRISTOR

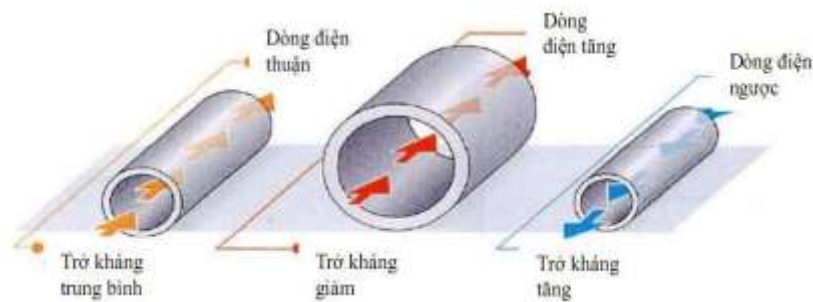


**Hình 2.1:** 4 nhân tố mạch cơ bản [8]

Theo như định luật Faraday, điện áp được định nghĩa như là vi phân của từ thông, điện trở được định nghĩa bởi mối quan hệ của dòng điện và điện áp, tụ điện được hiểu là mối quan hệ giữa điện tích và điện áp, cuộn dây là mối quan hệ giữa từ thông và dòng điện, nhà nghiên cứu Leon Chua đã đề xuất một nhân tố mạch thứ 4 [1], thể hiện mối liên hệ giữa từ thông và điện tích, nhằm hoàn thành sơ đồ đối xứng giữa các biến số mạch như hình 2.1.

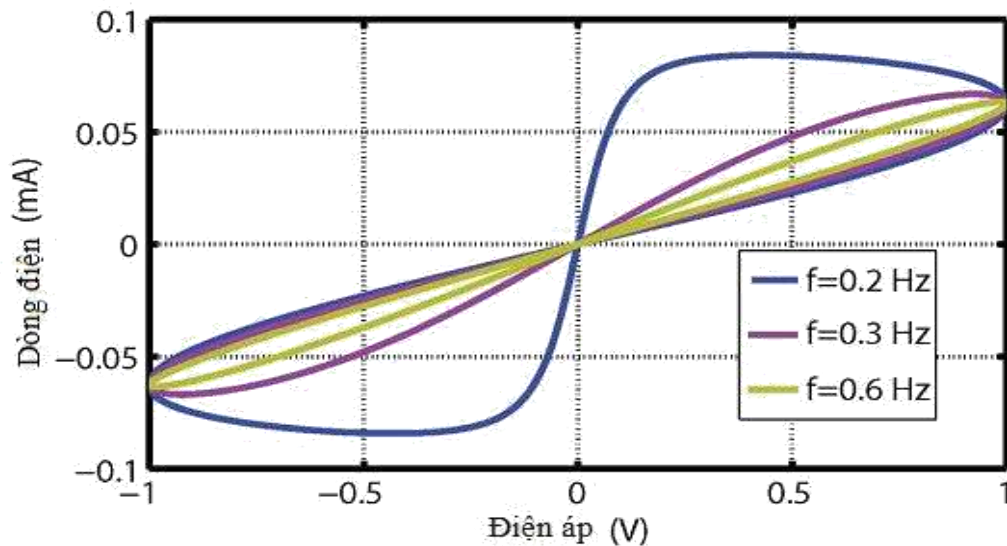
### 2.2.1 Tính chất của memristor

Memristor là một linh kiện bán dẫn có hai cực mà trở kháng của nó phụ thuộc vào độ lớn, cực tính và điện áp đặt lên nó, khi không cấp điện áp thì memristor sẽ lưu trạng thái cuối cùng cho đến khi ta cấp nguồn trở lại, bất chấp thời gian sau đó là bao lâu. Để dễ hình dung ta giả sử memristor như một ống dẫn nước, trong đó khả năng cản trở dòng điện tích là đường kính ống dẫn nước và dòng nước chảy qua như là dòng điện tích. Như vậy khi ống càng nhỏ thì trở kháng càng lớn, nếu như dòng nước chảy theo hướng thuận thì kích thước ống sẽ tăng lên để dòng nước chảy qua dễ dàng và ngược lại nếu dòng nước chạy theo hướng ngược lại thì kích thước ống sẽ giảm đi, khi không cung cấp nước thì kích thước ống sẽ không đổi và nhớ ở trạng thái cuối cùng cho đến khi được cung cấp nước lại.



**Hình 2.2:** Dòng qua memristor và kích thước ống [8]

Memristor có nhiều đặc điểm giống với điện trở và cũng có đơn vị đo bằng Ohm. Tuy nhiên, điện trở thì có trở kháng cố định còn đối với memristor thì trở kháng nhớ (memristance) có thể được lập trình hay chuyển sang các trạng thái trở kháng khác dựa vào điện áp đặt vào memristor trước đó. Hiện tượng này có thể quan sát được bằng đặc tuyến I-V của điện áp và dòng qua memristor. Do tính chất thay đổi trở kháng nhớ của memristor, nên đặc tuyến I-V cũng biến thiên một cách phi tuyến như hình 2.3.



**Hình 2.3:** Đặc tuyến I-V và tần số nguồn

Khi tần số nguồn tăng lên thì vòng đường cong I-V bị co lại, nếu tần số nguồn tăng lên vô cùng thì đặc tuyến memristor hoạt động tuyến tính như đặc tuyến của điện trở.

Memristor có ký hiệu như hình 2.4.



**Hình 2.4:** Ký hiệu Memristor

### 2.2.2 Trở kháng của memristor

Khi dòng điện chạy theo hướng thuận thì trở kháng memristor giảm và ngược lại khi dòng điện chạy theo nghịch thì trở kháng memristor tăng. Khi ngắt điện áp đặt lên hai đầu memristor thì memristor sẽ nhớ trở kháng ở trạng thái cuối cùng, nó sẽ giữ giá trị trở kháng đó cho đến khi được cấp điện lại.

Mỗi memristor được mô tả bởi một hàm trở kháng nhớ, mô tả tốc độ thay đổi từ thông dựa trên điện tích chạy qua thiết bị.

$$M(q) = \frac{d\phi_m}{dq} \quad (2.1)$$

Theo như định luật về cảm ứng điện từ của Faraday thì từ thông chính là nguyên phân của điện áp và điện tích là nguyên phân của dòng điện theo thời gian, vì thế mà ta có thể viết công thức trên theo một dạng khác như sau:

$$M(q(t)) = \frac{\frac{d\phi}{dt}}{\frac{dq}{dt}} = \frac{v(t)}{I(t)} \quad (2.2)$$

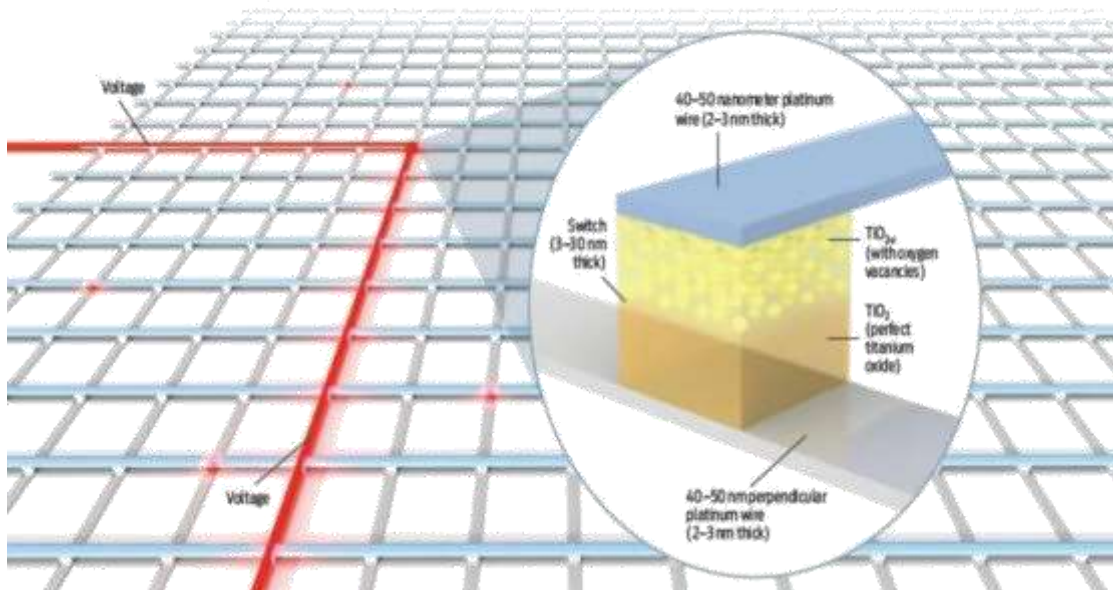
Giả sử  $M(q(t))$  là một hằng số thì ta có thể thu được một biểu thức theo định luật Ohm là  $R(t) = \frac{v(t)}{I(t)}$ , thế nhưng  $M(q(t))$  là thay đổi theo thời gian, nó phụ thuộc vào điện tích đặt lên memristor nên công suất tiêu thụ được viết theo công thức sau:

$$P(t) = V(t) \cdot I(t) = I^2(t) \cdot M(q(t)) \quad (2.3)$$

Nếu ta không cấp áp cho memristor, tức  $V(t) = 0$  thì  $I(t) = 0$ , và  $M(t)$  là một hằng số không đổi, đây chính là trở kháng của memristor. Và tại thời điểm này mạch không tiêu hao năng lượng.

### 2.2.3 Cấu tạo memristor crossbar

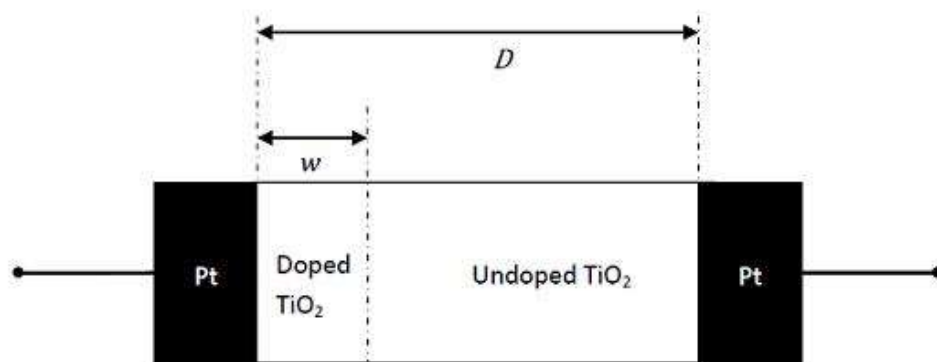
Memristor trong phòng thí nghiệm của HP là dạng Crossbar (thanh ngang) chứa một dãy các dây dẫn bạch kim rộng 40 – 50nm và dày khoảng 2 - 3nm song song với nhau, nằm ở lớp trên và vuông góc với các dây dẫn bạch kim nằm ở lớp dưới. Các lớp trên và các lớp bên dưới tách biệt nhau bằng một chuyển mạch bán dẫn dày xấp xỉ 3 - 30nm. Các chuyển mạch bán dẫn này chứa 2 phần Titan oxit ( $TiO_2$ ) tinh khiết và  $TiO_{2-x}$  chứa lỗ trống oxy bằng nhau. Dây bạch kim lớp dưới được nối với phần  $TiO_2$  thuần khiết, phần còn lại là lớp  $TiO_2$  thiếu oxy, có thể được kí hiệu là  $TiO_{2-x}$  với x là số nguyên tử oxy bị thiếu hay còn gọi là lỗ trống. Toàn bộ mạch và cơ chế được minh họa qua hình 2.5.



**Hình 2.5:** Cấu trúc Crossbar của memristor [8]

## 2.3 MÔ HÌNH TOÁN HỌC

Năm 2008, sau 37 năm khi Leon Chua đề xuất các khái niệm ban đầu về memristor, thì Stanley Williams và nhóm của ông ấy đã hiện thực hóa memristor thực tế ở phòng thí nghiệm HP. Để xây dựng memristor, họ đã sử dụng một tấm phim titan oxit ( $\text{TiO}_2$ ) rất mỏng. Tấm phim được nối với 2 cực làm bằng bạch kim (Pt). Một bên của  $\text{TiO}_2$  được pha thêm các lỗ trống oxy. Các lỗ trống oxy này là các ion mang điện tích dương. Do đó có một lớp chuyển tiếp  $\text{TiO}_2$ , với một bên là chứa lỗ trống oxy và một bên là nguyên chất [8].



**Hình 2.6:** Cấu trúc một memristor HP[8].



Trong đó,  $W$  là độ dài phần chứa lỗ trống oxy,  $D$  là độ dài của memristor,  $\text{TiO}_2$  là một bán dẫn có điện trở suất cao, các lỗ trống chứa oxy được thêm vào tạo thành  $\text{TiO}_{2-x}$  là chất liệu dẫn điện.

Mô hình toán học đơn giản của memristor HP được tính như sau:

$$M(q) = R_{\text{OFF}} \left( 1 - \frac{R_{\text{ON}}}{\beta} q(t) \right) \quad (2.4)$$

Trong đó,  $\beta = \frac{D^2}{\mu_D}$ ,  $\mu_D$  là tốc độ học trung bình với đơn vị tính bằng  $\text{cm}^2/\text{sV}$ ;  $D$  là

độ dày của tấm phim titan oxit;  $R_{\text{OFF}}$  và  $R_{\text{ON}}$  là trở kháng ở trạng thái đóng và mở,  $q(t)$  là lượng điện tích chạy qua thiết bị.

## 2.4 KẾT LUẬN CHƯƠNG 2

Trong chương 2, chúng tôi đã trình bày một cách tổng quát về tính chất, nguyên lý hoạt động, mô hình toán học của memristor. Đây là cơ sở để chúng ta vận dụng và hiểu về ý tưởng nhận dạng ảnh sử dụng memristor được trình bày trong chương 3 và chương 4.

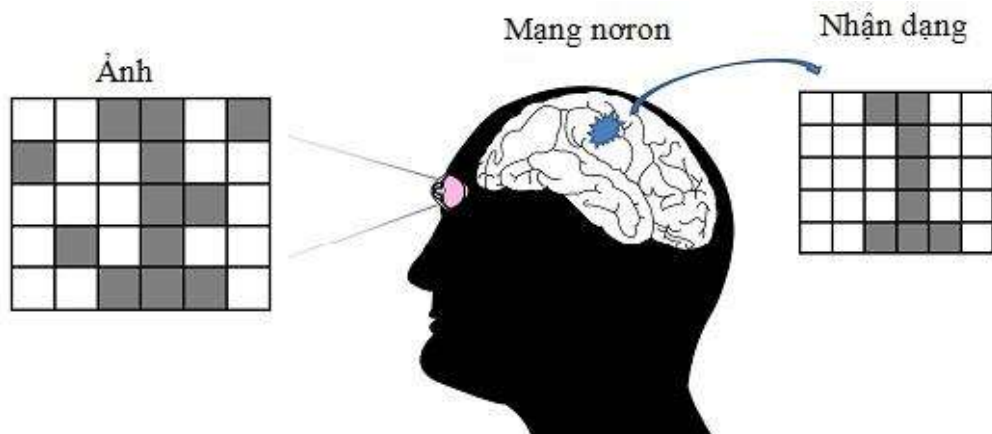
## CHƯƠNG 3

# XÂY DỰNG HỆ THỐNG NEUROMORPHIC DÙNG MỘT MẢNG MEMRISTOR TRONG NHẬN DẠNG ẢNH

### 3.1 TRÌNH BÀY Ý TƯỞNG

#### 3.1.1 Mô tả hệ thống

Hệ thống gồm có 30 tín hiệu ngõ vào, các nơron được kết nối bên trong thông qua 300 memristor và có 10 tín hiệu ngõ ra, mỗi ảnh được chia làm 30 (5x6) pixel, mỗi pixel được nối với 1 ngõ vào, độ lớn xung điện áp ngõ vào tương ứng với giá trị trên mỗi pixel, các xung điện áp sẽ được cập nhật và tích hợp thông qua các memristor và các nơron ngõ ra.



**Hình 3.1:** Ý tưởng hệ thống nhận dạng ảnh

#### 3.1.2 Mạng nơron nhân tạo (ANN)

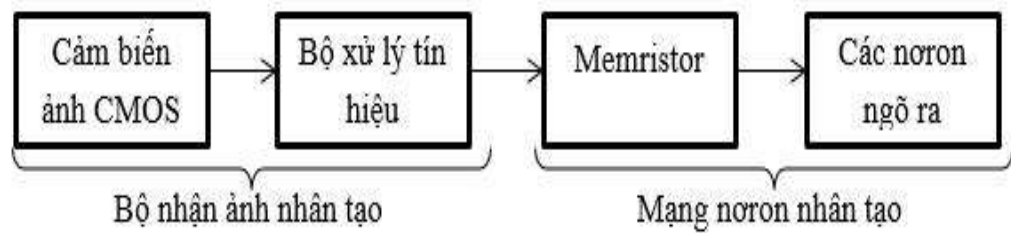
Một mạng nơron nhân tạo (Artificial Neural Network) là một mô hình tính toán lấy cảm hứng từ bộ não của con người, nó có khả năng giải quyết thay đổi các vấn đề trong nhận dạng, dự đoán, tối ưu và điều khiển. Mạng nơron nhân tạo cũng được mô tả như là một mạng của các nơron được kết nối bởi các “synaptic”

[4], nó có thể được tạo ra, điều chỉnh, lưu trữ thông qua phương pháp học. Sự thực hiện của các mạng nơron spiking (SNNs) đang được nghiên cứu phổ biến gần đây để minh chứng về tính khả thi của các mạng nơron cho một vài ứng dụng công nghiệp như xử lý tín hiệu của các dữ liệu phức tạp.

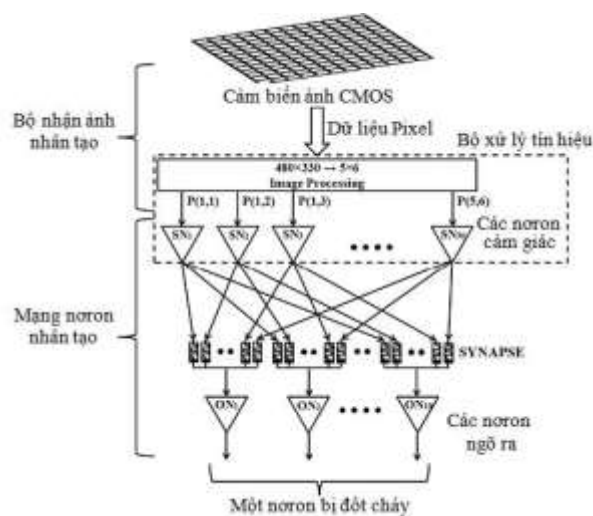
Sự phát triển của công nghệ CMOS gần đây cho phép sự tích hợp với mật độ lớn của các nơron trên một chip đơn. Tuy nhiên, khi sử dụng công nghệ CMOS thì đối với mạng nơron yêu cầu một số lượng lớn các kết nối (synaptic), dẫn đến công suất tiêu thụ lớn, diện tích lớn, do đó nhiều nhà nghiên cứu đi tìm một linh kiện thụ động có tính chất như synaptic đến nay và một thiết bị như vậy được tìm ra gọi là memristor.

## 3.2 ĐỀ XUẤT HỆ THỐNG

### 3.2.1 Sơ đồ khối hệ thống

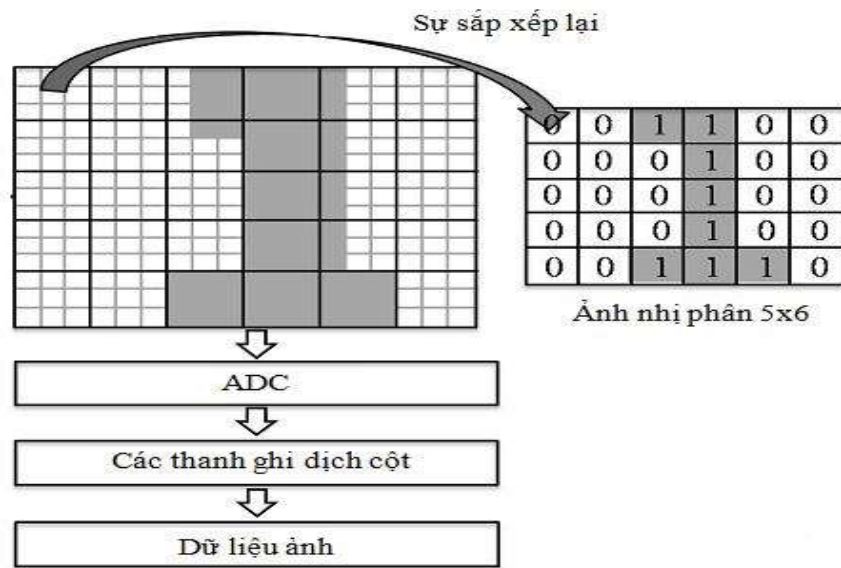


**Hình 3.2:** Sơ đồ khối hệ thống



**Hình 3.3:** Sơ đồ khối của hệ thống neuromorphic

### 3.2.2 Cảm biến ảnh CMOS



**Hình 3.4:** Sơ đồ khối của cảm biến ảnh CMOS và xử lý lại ảnh

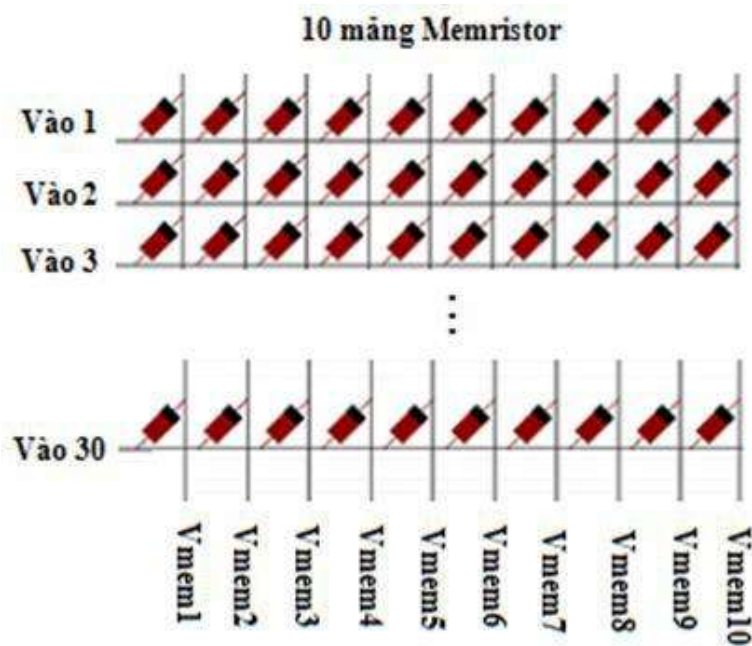
CIS (CMOS Image Sensor ) là một mảng gồm 480x330 pixel, tín hiệu đi qua bộ ADC chuyển đổi tín hiệu tương tự sang số, tín hiệu tiếp tục qua thanh ghi dịch hàng và cột, mỗi pixel gồm có một diode thu quang (photodiode) và 4 transistor tạo ra một tín hiệu tương tự có biên độ tỷ lệ thuận với cường độ ánh sáng, tín hiệu tương tự sẽ được chuyển đổi thành tín hiệu số có mã 10 bit bởi ADC.

Đơn vị xử lý tín hiệu (SPU) sẽ cấu trúc lại ảnh gồm 480x330 pixel ngõ ra của cảm biến ảnh CMOS thành ảnh nhị phân 5x6 pixel bởi việc ánh xạ 96x55 pixel gần đó thành một pixel trong ảnh nhị phân. Đơn vị xử lý tín hiệu sẽ tính giá trị trung bình của 96x55 pixel (được gọi là giá trị trung bình cục bộ) và so sánh với giá trị của từng pixel trong mảng 96x55 pixel, nếu giá trị trung bình cục bộ lớn hơn giá trị của pixel trong mảng thì giá trị trong ảnh nhị phân được đặt là “1”, ngược lại giá trị trung bình cục bộ nhỏ hơn giá trị trong từ pixel của mảng thì giá trị trong ảnh nhị phân được đặt là “0”.

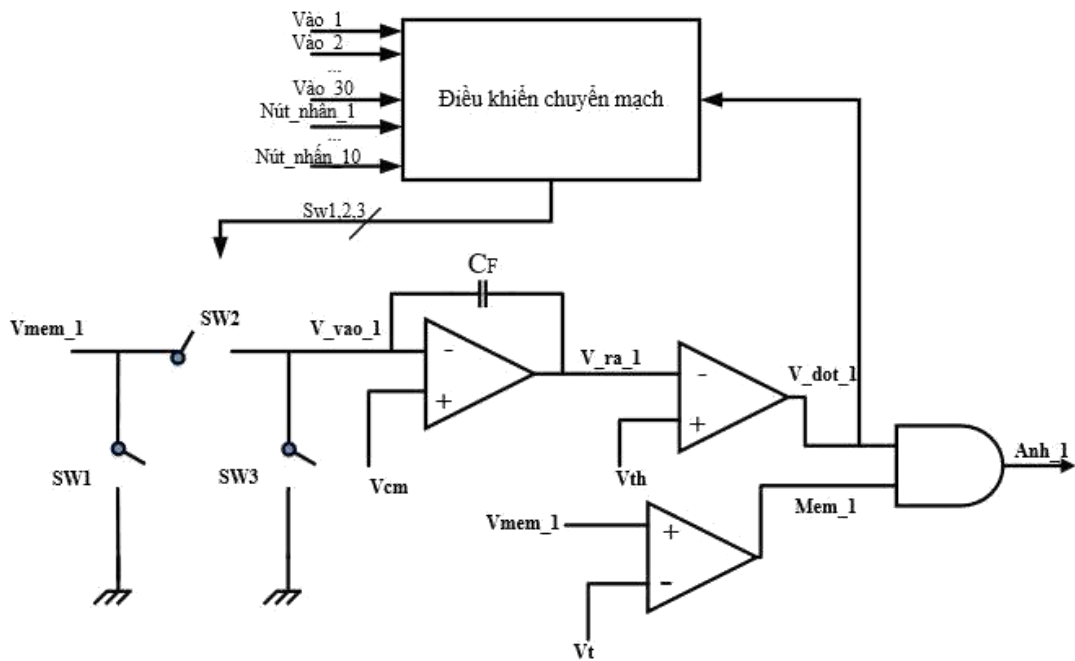
### 3.3 NGUYÊN LÝ HOẠT ĐỘNG CỦA HỆ THỐNG

Hệ thống nhận dạng ảnh sử dụng memristor bao gồm hai chế độ là chế độ huấn luyện và chế độ kiểm tra. Cả hai chế độ này đều có 10 mảng memristor được kết nối đến 10 khối tích hợp, tuy nhiên trong chế độ huấn luyện thì ngõ vào có thêm 10 tín hiệu nút nhấn. Sự khác biệt giữa 2 chế độ này về phần cứng của khối điều khiển logic. Trong hình 3.5 mô tả hệ thống 10 mảng memristor đại diện cho 10 số. Trong hình 3.6 mô tả tổng quan hệ thống huấn luyện ảnh số 1.

Hình 3.5 gồm có 10 mảng memristor và 30 ngõ vào điện áp. Mỗi mảng memristor có 30 memristor, vậy 10 mảng memristor sẽ có 300 memristor với giá trị trở kháng giống nhau. Mỗi mảng memristor sẽ có 30 tín hiệu điện áp vào và đi qua 30 memristor để thu được 1 tín hiệu ra là  $V_{mem}$  như hình 3.5.



**Hình 3.5:** Hệ thống 10 mảng memristor.

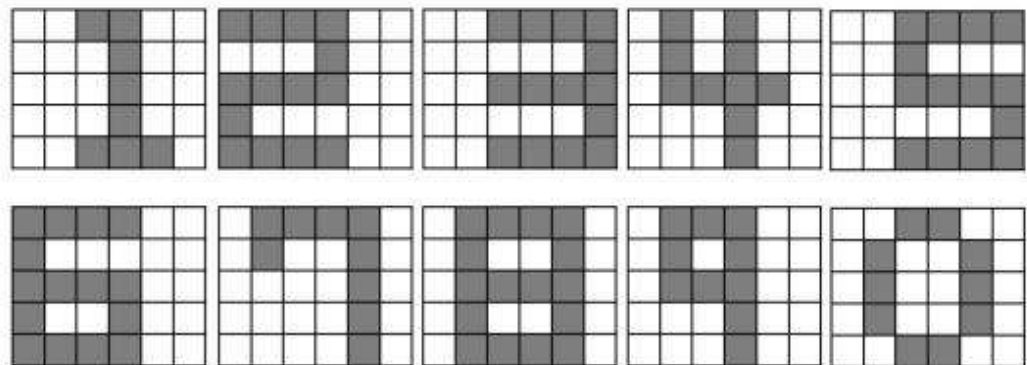


**Hình 3.6:** Tổng quan hệ thống huấn luyện ảnh số 1

### 3.4 MÔ PHỎNG CHẾ ĐỘ HUẤN LUYỆN

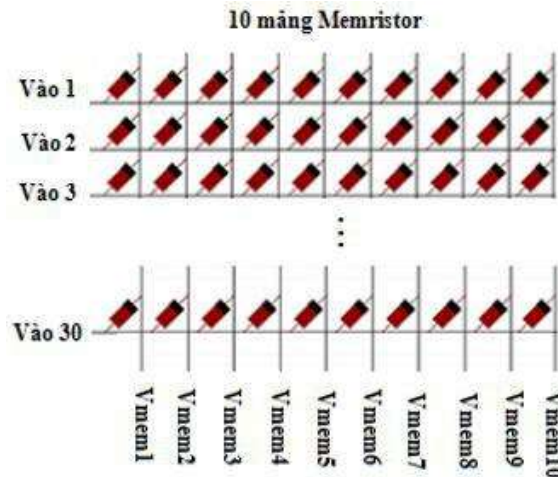
#### 3.4.1 Tổng thể hệ thống

Các ký tự ảnh từ số 0 đến số 9 sẽ có tập ảnh huấn luyện dạng như sau:



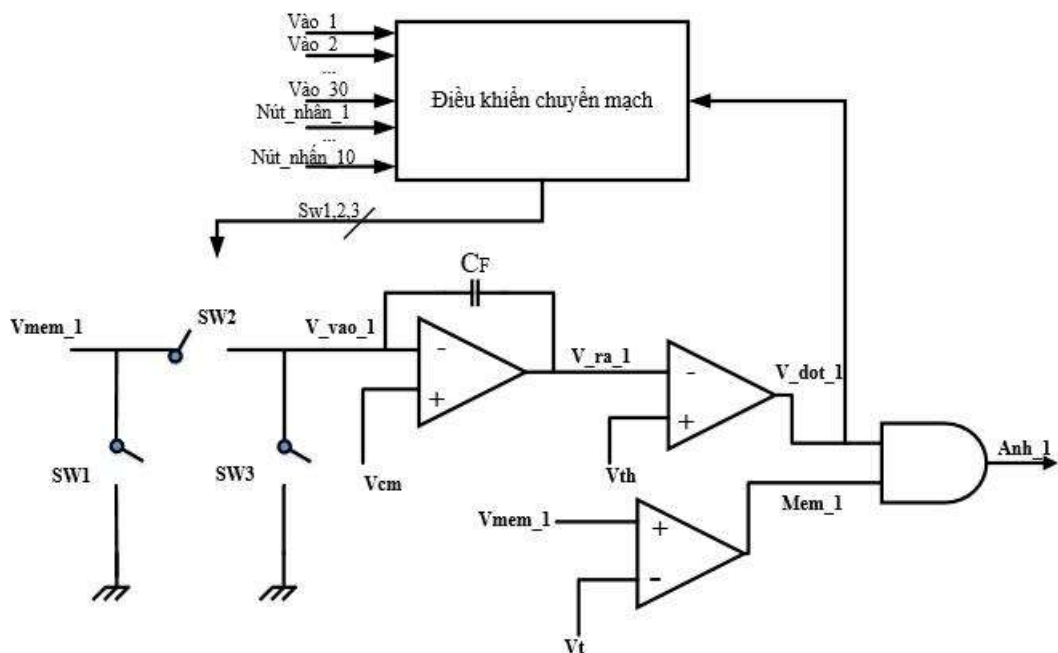
**Hình 3.7:** Tập ảnh huấn luyện

Với 30 tín hiệu vào sẽ đi xuyên qua 300 memristor mảng như hình 3.8 chúng ta sẽ được 10 tín hiệu  $V_{mem\_1}$ ,  $V_{mem\_2}$ , ...,  $V_{mem\_10}$ . Tại  $t = 0$  toàn bộ memristor trong mảng sẽ có trở kháng cao là  $21\text{ K}\Omega$  như hình 3.8, nếu tín hiệu vào là mức logic ‘1’ thì sẽ làm cho memristor chuyển dần từ trở kháng cao sang trở kháng thấp là  $100\text{ }\Omega$ , nếu tín hiệu vào là mức logic ‘0’ thì sẽ không làm thay đổi trở kháng memristor.



**Hình 3.8:** Mảng memristor trước khi được huấn luyện

Một lần nữa chúng ta hãy nhìn lại sơ đồ tổng thể quá trình huấn luyện ảnh sử dụng memristor.

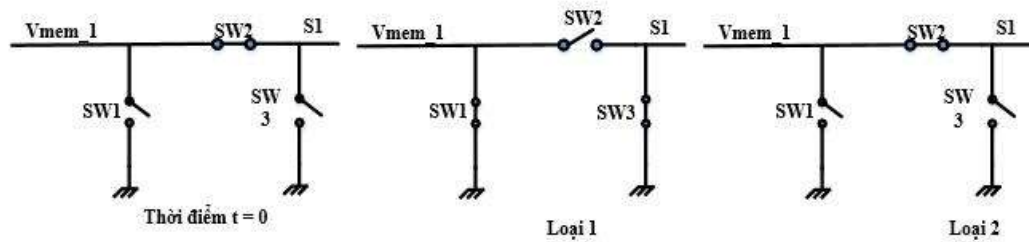


**Hình 3.9:** Tổng thể quá trình huấn luyện ảnh sử dụng memristor

Chế độ huấn luyện mạng neuromorphic có 2 thành phần chính là bộ điều khiển chuyển mạch và bộ tích hợp. Bộ điều khiển chuyển mạch của chế độ huấn luyện có đầu vào lấy tín hiệu từ 30 ngõ vào, 10 nút nhấn và 10 tín hiệu  $V_{\text{đốt}}$ , đầu ra là điều khiển 30SW, trong đó SW1, SW3, SW4, SW6, ..., SW30 sử dụng NMOS để mô phỏng và SW2, SW5, ..., SW29 sử dụng PMOS để mô phỏng. Bộ tích hợp có một mạch phân loại, một mạch đảo ngõ ra, một mạch giảm dòng điện đi xuyên qua memristor được nạp trên tụ  $C_F$  và mạch chốt ngõ ra. Tín hiệu  $V_{\text{ra1}}$  sẽ giảm cho đến khi nhỏ hơn điện áp ngưỡng  $V_{TH}$  thì ngõ ra mạch so sánh sẽ lên mức cao, bộ điều khiển sẽ đốt cháy neuron mạch đó, cụ thể chúng ta sẽ đi vào quá trình phân loại của chế độ huấn luyện.

### 3.4.2 Quá trình phân loại trong chế độ huấn luyện

Quá trình phân loại ta xem hình 3.10, hệ thống sẽ phân loại 10 tín hiệu  $V_{\text{mem}}$  thành 2 loại chính, loại 1 là gồm những tín hiệu  $V_{\text{mem}}$  được bộ điều khiển đánh giá là không phải tín hiệu mong muốn ngay từ đầu và được loại bỏ, loại 2 gồm những tín hiệu  $V_{\text{mem}}$  được đánh giá là tín hiệu mong muốn, những tín hiệu loại 2 sẽ được đi vào mạch giảm dòng điện và mạch đảo ngõ ra.



**Hình 3.10:** Quá trình phân loại

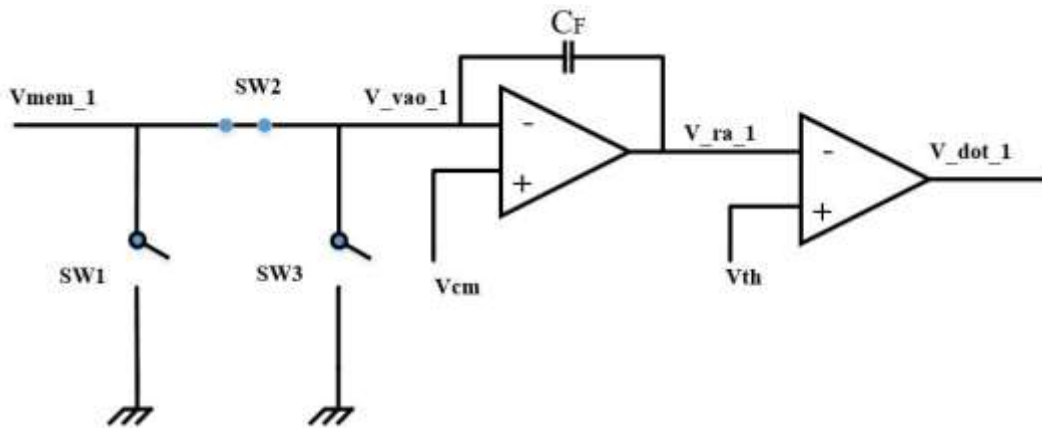
Quan sát hình 3.10, tại thời điểm  $t = 0$ , SW1 và SW3 ở trạng thái hở mạch SW2 ở trạng thái đóng đồng loạt trên 10 khối tích hợp, sau đó những tín hiệu  $V_{\text{mem}}$  được bộ điều khiển đánh giá là loại 1 thì SW2 sẽ ngắt chuyển mạch, đồng thời SW1 và SW3 đóng chuyển mạch không cho tín hiệu  $V_{\text{mem}}$  đi qua S1, như vậy S1 sẽ nhận giá trị  $V_{\text{mem}}$  tại thời điểm  $t = 0$  và giữ nguyên giá trị hằng số đó đi vào khối neuron mạch và ngược lại những tín hiệu  $V_{\text{mem}}$  được bộ điều khiển



đánh giá là loại 2 thì SW2 sẽ giữ nguyên trạng thái đóng chuyển mạch và cho tín hiệu  $V_{mem}$  đi qua S1 để tiến vào khối nơron mạch.

### 3.4.3 Quá trình hoạt động của bộ nơron mạch

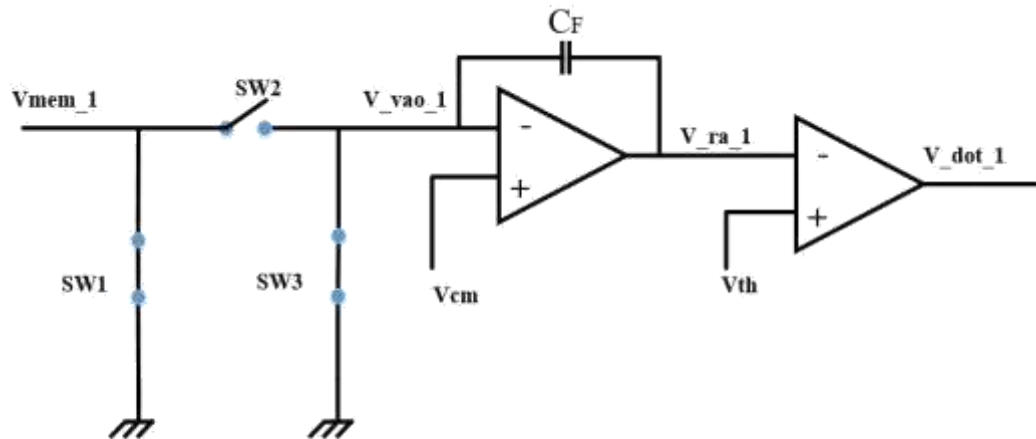
Bộ nơron mạch của chế độ huấn luyện được chia ra làm 2 trạng thái là trạng thái đốt và trạng thái đóng băng.



**Hình 3.11:** Chế độ huấn luyện ảnh trạng thái đốt

Quan sát hình 3.11, tại thời điểm  $t = 0$ , tín hiệu  $V_{vào}$  nhỏ hơn điện áp  $V_{CM}$  nên  $V_{ra}$  sẽ nhận điện áp  $V_{dd}$  là 3.3 (V), lúc này  $V_{ra}$  có điện áp lớn hơn  $V_{TH}$  là 2.5 (V) nên  $V_{Đốt}$  sẽ nhận điện áp  $V_{ss}$  là 0 (V),  $V_{Đốt}$  gửi tín hiệu điện áp bản thân nó về cho bộ điều khiển chuyển mạch, bộ điều khiển chuyển mạch sẽ đóng chuyển mạch SW2 và ngắt chuyển mạch SW1, SW3 để tín hiệu từ  $V_{mem}$  đi qua SW2 tiến vào khối nơron mạch.

Tại  $t > 0$ , bởi vì cấp tín hiệu vào memristor là giá trị dương nên giá trị trở kháng sẽ giảm từ trở kháng cao xuống trở kháng thấp dẫn đến giá trị  $V_{mem}$  sẽ tăng theo thời gian, khi  $V_{vào}$  tăng lớn hơn  $V_{CM}$  thì  $V_{ra}$  sẽ giảm điện áp từ  $V_{dd}$  là 3.3 (V) về mức điện áp 0 (V), dẫn đến  $V_{Đốt}$  sẽ tăng từ điện áp 0 (V) lên 5 (V), tại thời điểm  $V_{Đốt}$  đạt 5 (V) thì trạng thái này gọi là trạng thái đốt.

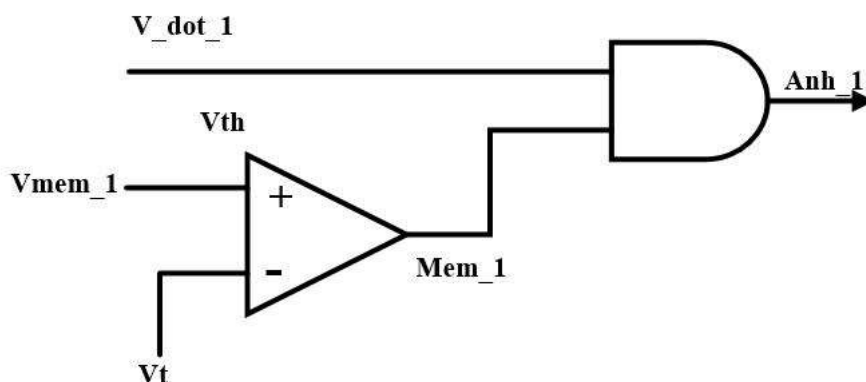


**Hình 3.12:** Chế độ huấn luyện ảnh trạng thái đóng băng

Ngay khi khối nơon ngõ ra đạt trạng thái đốt thì bộ điều khiển sẽ không cho các nơon còn lại hoạt động mà sẽ đưa các nơon này về trạng thái đóng băng bằng cách ngắt chuyển mạch SW2, đóng chuyển mạch SW1 và SW3 như hình 3.12, như vậy chỉ có duy nhất nơon bị đốt cháy là 5 (V) trong quá trình huấn luyện còn những ngõ ra nơon còn lại sẽ nhận điện áp 0 (V) và tại thời điểm đó gọi là điện áp đóng băng .

#### 3.4.4 Bộ chốt ngõ ra

Bộ chốt ngõ ra của chế độ huấn luyện có nhiệm vụ kiểm tra kiểm tra ngõ ra đã đốt cháy và điện áp Vmem có vượt qua ngưỡng hay không, chúng ta xem hình 3.13. Lúc này trên hệ thống tương ứng 10 khối nơon ngõ ra sẽ có 10 Tín hiệu V\_Đốt. Các Vmem đi qua bộ so sánh và AND với tín hiệu V\_đốt tương ứng.

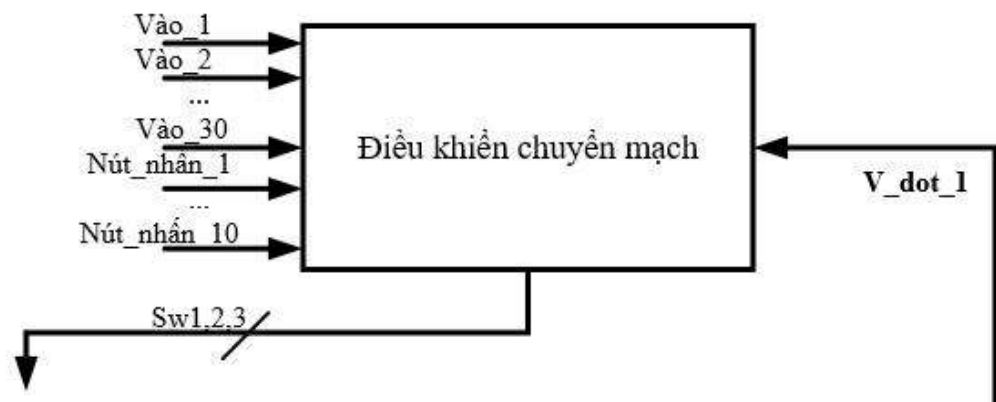


**Hình 3.13:** Mạch chốt ngõ ra

Điện áp ngõ ra của tín hiệu Anh\_1 là tín hiệu về 0 (V) hoặc 5 (V) tương ứng với mức logic ‘0’ và mức logic ‘1’ để xác định trên 10 khối nơon thì tín hiệu ảnh nào đã huấn luyện xong.

### 3.4.5 Bộ điều khiển chuyển mạch

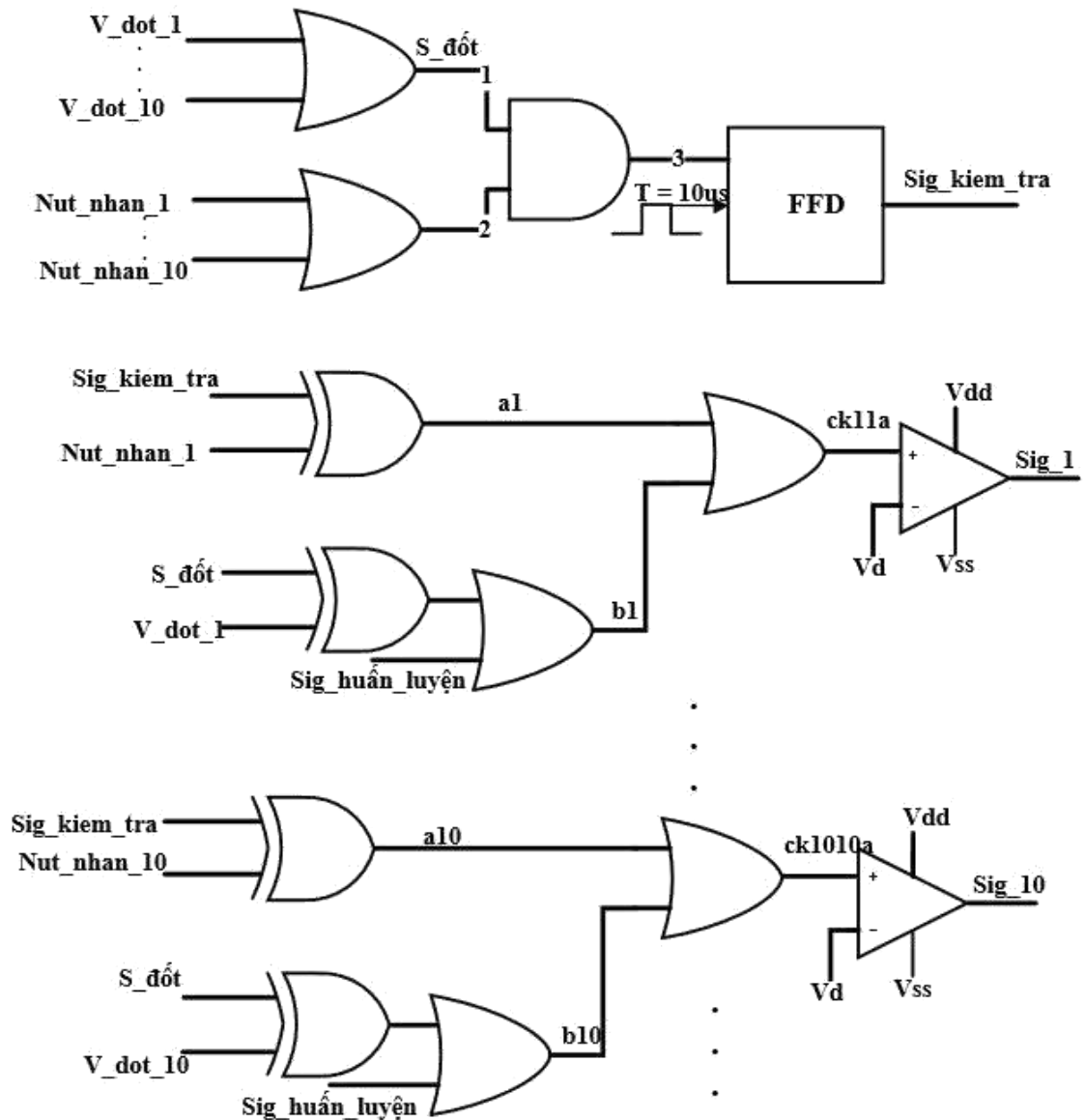
Sau khi ta hiểu về quá trình phân loại và khối nơon mạch thì chúng ta tiếp tục làm rõ bộ điều khiển chuyển mạch trong hệ thống của chế độ huấn luyện có nhiệm vụ và cấu tạo như thế nào.



**Hình 3.14:** Bộ điều khiển chuyển mạch của chế độ huấn luyện

Được thiết kế với mục đích điều khiển 30SW, cụ thể trong hình mô tả 3 công tắc chuyển mạch là SW1, SW2 và SW3. Để nhận biết tín hiệu vào đang là ảnh số mấy, thì phải dựa vào số lượng pixel mức logic ‘1’ từ đó suy luận và điều khiển những bộ tích hợp để phân loại tín hiệu vào thành nhóm ưu tiên và không ưu tiên.

Để biết được bộ tích hợp nào đang bị đốt và bộ tích hợp nào cần đóng băng thì dựa vào mức điện áp  $V_{\text{Đốt}}$  thay đổi từ 0 (V) lên 5 (V), từ đó điều khiển SW1,2 và SW3 trong mỗi bộ tích hợp để được kết quả mong muốn. Ta đi vào chi tiết của bộ điều khiển chuyển mạch của quá trình huấn luyện.



**Hình 3.15:** Mạch chi tiết bộ điều khiển chuyển mạch của chế độ huấn luyện

Trong quá trình huấn luyện tín hiệu  $S\_huấn\_luyện$  sẽ tích cực mức logic '0' để báo hiệu đây là quá trình huấn luyện. Tại thời điểm  $t = 0$ , bắt đầu quá trình huấn luyện 10 tín hiệu  $V\_dot$  sẽ có mức logic là '0' nên ngõ ra tại vị trí 1 cũng có mức logic '0', các tín hiệu nút nhấn chưa được kích hoạt để thực hiện quá trình huấn luyện thì tín hiệu vị trí 2 là mức logic '0', do đó vị trí 3 – ngõ vào flip flop D sẽ là mức logic '0', và đồng thời có một xung cạnh lên  $T = 10 \mu s$  đã được đưa vào flip flop D nên ngõ ra flip flop lúc này là tín hiệu  $Sig\_kiểm\_tra$  có mức logic

‘0’. Các tín hiệu Nút\_nhấn sẽ XOR với tín hiệu Sig\_kiểm\_tra thu được tín hiệu a1 có mức logic là ‘0’(1), vì tại thời điểm  $t=0$  này, tất cả 10 tín hiệu Nút\_nhấn có mức logic ‘0’. Do đó tại ngõ ra của cổng XOR này là mức logic ‘0’ ở cả 10 tín hiệu. Cùng lúc đó S\_đốt XOR với V\_đốt, sau đó tiếp tục OR với tín hiệu Sig\_huấn\_luyện ta được ngõ ra b1 có mức logic ‘0’(2). Từ (1) và (2), ta tiếp tục OR tín hiệu a và b nên thu được ck11a đến ck1010a sẽ có mức logic ‘0’, tiếp đến 10 tín hiệu này đi qua bộ so sánh với tín hiệu Vd nên ta thu được tín hiệu 10 tín hiệu Sig\_1 đến Sig\_10 đều là mức logic ‘0’. Do tín hiệu Sig\_1 đến Sig\_10 đều có mức logic ‘0’ nên điều này làm đóng chuyển mạch SW2, SW5,..., SW29 đồng thời ngắt chuyển mạch SW1, SW3, SW4, SW6, ..., SW28, SW30. Kết luận tại thời điểm  $t = 0$ , trong quá trình huấn luyện khi ta chưa kích hoạt một trong mười tín hiệu Nút\_nhấn thì ngõ ra bộ điều khiển chuyển mạch là 10 tín hiệu sig sẽ nhận mức logic ‘0’ nhận điện áp 0 (V) làm đóng các chuyển mạch SW2, SW5, SW8, ..., SW29, đồng thời ngắt các các chuyển mạch SW1, SW3, SW4, SW6, ..., SW28, SW30.

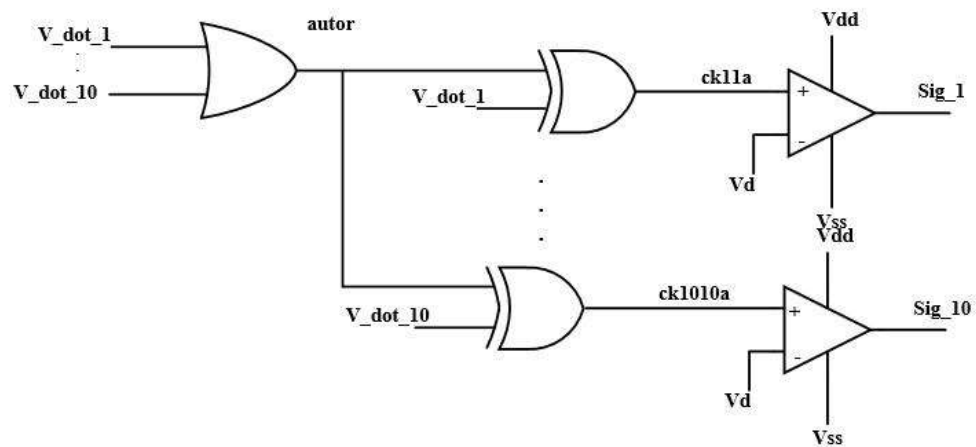
Khi ta đưa ảnh số 1 vào hệ thống để huấn luyện, lúc này các tín hiệu V\_đốt\_1 có mức logic ‘1’, do đó tại vị trí 1 sẽ có mức logic là ‘1’ nhưng vị trí 3 vẫn giữ mức logic ‘0’. Chỉ khi nào có tín hiệu nút nhấn 1 lên mức logic ‘1’ làm cho vị trí 3 - ngõ vào flip flop lúc này sẽ là mức logic ‘1’ và trong vòng 10  $\mu s$  có một xung cạnh lên tác động vào flip flop sẽ làm cho ngõ ra flip flop là tín hiệu Sig\_kiểm\_tra đạt mức logic ‘1’. Các tín hiệu Nút\_nhấn sẽ XOR với tín hiệu Sig\_kiểm\_tra thu được tín hiệu a1 đến a10, vì tại thời điểm này chỉ có tín hiệu nút\_nhấn\_1 lên mức logic ‘1’ còn tất cả 9 tín hiệu Nút\_nhấn còn lại có mức logic ‘0’ do đó tại ngõ ra của cổng XOR này thu được tín hiệu a1 là mức logic ‘0’ còn 9 tín hiệu còn lại a2 đến a10 là mức logic ‘1’. Cùng lúc đó S\_đốt XOR với V\_đốt, sau đó tiếp tục OR với tín hiệu Sig\_huấn\_luyện ta được ngõ ra b1 của ảnh số 1 có mức logic ‘0’, 9 ảnh còn lại có mức logic ‘1’ (2). Từ (1) và (2), ta tiếp tục OR a và b thu được ck11a đến ck1010a. Tín hiệu ck11a vẫn là mức logic ‘0’. Do đó SW2 vẫn được đóng chuyển mạch và đồng thời ngắt chuyển mạch SW1, SW3. Tuy nhiên các tín hiệu ck22a, ck33a, ..., ck1010a sẽ nhận được mức logic

‘1’. Các tín hiệu này đi qua bộ so sánh làm cho các tín hiệu Sig tương ứng nhận mức logic ‘1’, điều này làm ngắt chuyển mạch SW5, SW8, ..., SW29 và đồng thời ngắt chuyển mạch SW4, SW6, ..., SW28, SW30. Do đó chỉ có duy nhất một mạch hoạt động trong tại một thời điểm trong quá trình huấn luyện. Tương tự như vậy khi đưa ảnh số 2 vào huấn luyện thì chỉ có mạch thứ hai hoạt động còn 9 mạch còn không hoạt động.

### 3.5 MÔ PHỎNG CHẾ ĐỘ KIỂM TRA

#### 3.5.1 Chế độ kiểm tra

Tương tự như chế độ huấn luyện thì ở chế độ kiểm tra chỉ khác với chế độ huấn luyện về khối điều khiển chuyển mạch. Khối điều khiển chuyển mạch của chế độ kiểm tra có ngõ vào gồm 30 tín hiệu điện áp vào, 10 tín hiệu V<sub>đốt</sub> và không sử dụng tín hiệu nút nhấn như chế độ huấn luyện, ngõ ra là 30 SW. Dưới đây là mạch chi tiết của khối điều khiển chuyển mạch trong chế độ kiểm tra.



**Hình 3.16:** Khối chuyển mạch của chế độ kiểm tra sử dụng memristor

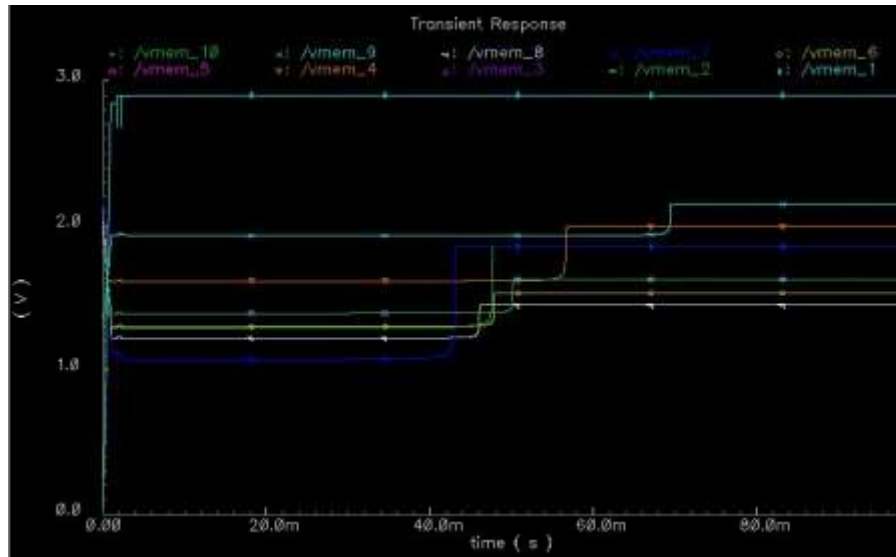
Tại thời điểm  $t = 0$ , bắt đầu quá trình kiểm tra thì 10 tín hiệu V<sub>đốt</sub> sẽ có mức logic là ‘0’ nên ngõ ra tín hiệu autor có mức logic ‘0’. Các tín hiệu V<sub>đốt</sub> sẽ XOR với tín hiệu autor, vì tại thời điểm  $t = 0$  này, tất cả 10 tín hiệu V<sub>đốt</sub> có mức logic ‘0’. Do đó tại 10 ngõ ra ck11a đến ck1010a sẽ có mức logic ‘0’, tiếp đến 10 tín hiệu này đi qua bộ so sánh với tín hiệu Vd nên ta thu được tín hiệu 10

tín hiệu Sig\_1 đến Sig\_10 đều là mức logic '0'. Do tín hiệu Sig\_1 đến Sig\_10 đều có mức logic '0' nên điều này làm đóng chuyển mạch SW2, SW5, ..., SW29 đồng thời ngắt chuyển mạch SW1, SW3, SW4, SW6, ..., SW28, SW30. Kết luận tại thời điểm  $t = 0$ , ngõ ra 10 tín hiệu Sig sẽ là mức logic '0' nhận điện áp 0 (V) làm đóng các chuyển mạch SW2, SW5, SW8,..., SW29 đồng thời ngắt các các chuyển mạch SW1, SW3, SW4, SW6, ..., SW28, SW30.

Khi ta đưa ảnh số 1 vào hệ thống để kiểm tra, lúc này các tín hiệu V\_đốt\_1 có mức logic '1', do đó tín hiệu autor có mức logic là '1'. Các tín hiệu V\_đốt sẽ XOR với tín hiệu autor (autor có mức logic '1'), tín hiệu V\_đốt\_1 có mức logic '1' thì ngõ ra ck11a vẫn là mức logic '0'. Tín hiệu ck11a lại đi qua bộ so sánh và thu được ở tín hiệu Sig\_1 tương ứng sẽ là mức logic '0'. Do đó SW2 vẫn được đóng chuyển mạch và đồng thời ngắt chuyển mạch SW1, SW3. Tuy nhiên các tín hiệu V\_đốt còn lại không đạt được mức logic '1' thì khi XOR với tín hiệu autor thì ngõ ra ck22a, ck33a, ..., ck1010a đều sẽ nhận được mức logic '1'. Các tín hiệu này đi qua bộ so sánh làm cho các tín hiệu Sig tương ứng nhận mức logic '1', điều này làm ngắt chuyển mạch SW5, SW8, ..., SW9 và đồng thời đóng chuyển mạch SW4, SW6, SW7, SW9, ..., SW28, SW30. Do đó chỉ tín hiệu Vmem\_1 được đưa vào để tiếp tục quá trình kiểm tra. Tương tự như vậy khi đưa ảnh số 2 vào kiểm tra thì mạch nào có V\_đốt đạt ngưỡng thì mạch tiếp tục hoạt động, nếu ngược lại thì mạch sẽ nổi đất và không hoạt động.

### **3.5.2 Chế độ kiểm tra với ảnh vào là ảnh số 1**

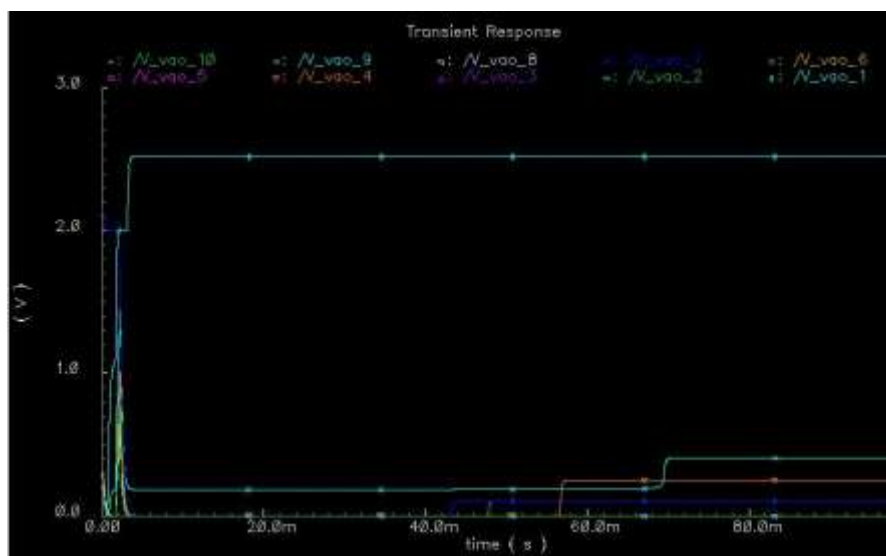
Sau khi cấp 30 điện áp vào vào hệ thống, cụ thể là điện áp đại diện cho ảnh số 1 thì thu được 10 tín hiệu ngõ ra trên 10 mảng memristor của hệ thống tương ứng Vmem\_1, Vmem\_2, ..., Vmem\_10. Các tín hiệu Vmem được sắp xếp theo thứ tự tín hiệu đạt đến ngưỡng 3 (V) nhanh nhất, về nhì,... về cuối như hình 3.17.



**Hình 3.17:** Kết quả 10 tín hiệu Vmem tương ứng trên 10 mảng memristor Mô hình sau khi huấn luyện có 10 mảng memristor đã được xác lập là trạng

thái trở kháng cao hay trở kháng thấp. Do vậy, khi cấp 30 tín hiệu điện áp đại diện ảnh số 1 vào hệ thống, trong đó có 8 mức điện áp cao và 22 mức điện áp thấp. 8 điện áp cao này sẽ cấp đúng cho 8 vị trí có trở kháng thấp của mảng memristor đại diện số 1. Vậy nên Vmem1 sẽ đạt mức điện áp cao nhất trong tất cả 10 Vmem như hình 3.17.

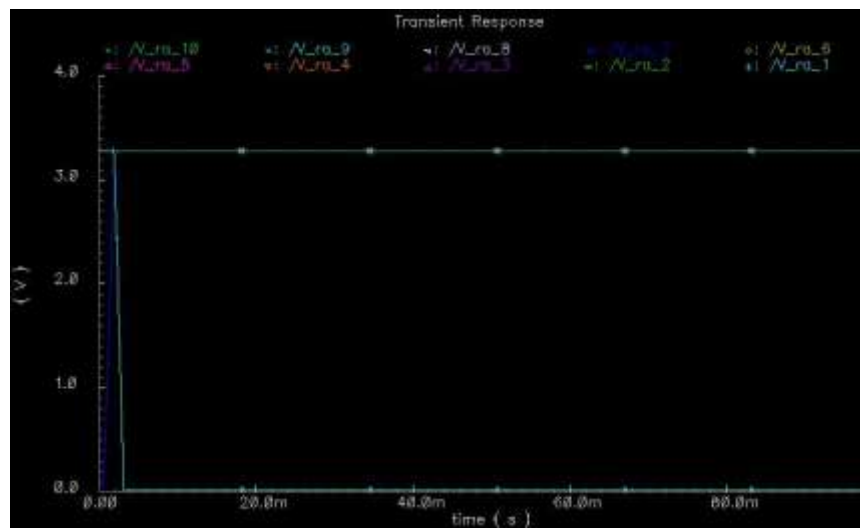
Trong chế độ phân loại thì 10 Vmem được đánh giá và phân loại như hình sau:



**Hình 3.18:** Kết quả ở chế độ phân loại

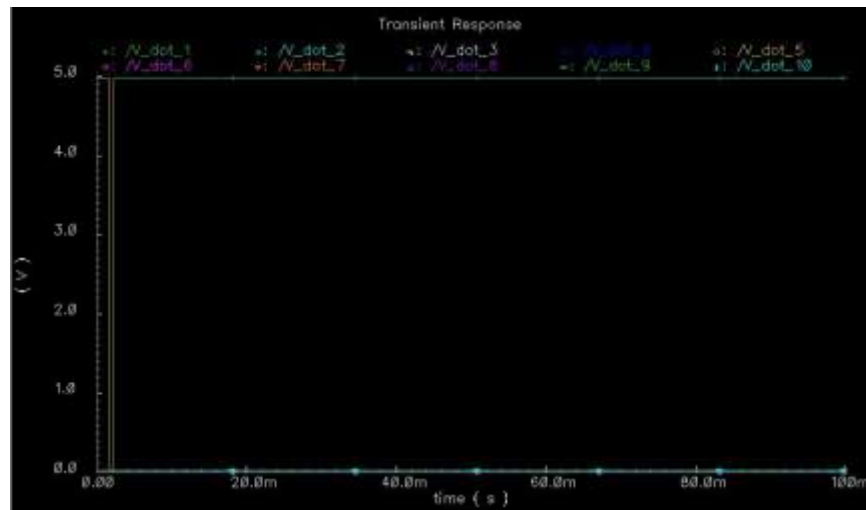


Trong bộ điều khiển chuyển mạch của chế độ kiểm tra ta lấy 10 ngõ ra Sig để điều khiển 30 SW làm nhiệm vụ chuyển mạch. Do chỉ có V\_đốt\_1 được đốt cháy nên SW2 và SW4, SW6, SW7, SW9, ..., SW28, SW30 được đóng chuyển mạch, còn lại thì ngắt chuyển mạch. Chính vì điều này nên Vmem1 được đánh giá là loại 2 nên sẽ có tín hiệu V\_vao\_1 tăng theo đặc tính của memristor và sẽ tăng nhanh nhất trong những tín hiệu này. Ngược lại Vmem2, Vmem 3, Vmem4, Vmem 5, Vmem6, Vmem 7, Vmem8, Vmem 9, Vmem 10 được đánh giá và đưa vào loại 1 nên nó nhận giá trị điện áp của của 30 tín hiệu vào là hằng số trong toàn bộ thời gian của chế độ phân loại.



**Hình 3.19:** Kết quả điện áp ra sau mạch tích phân

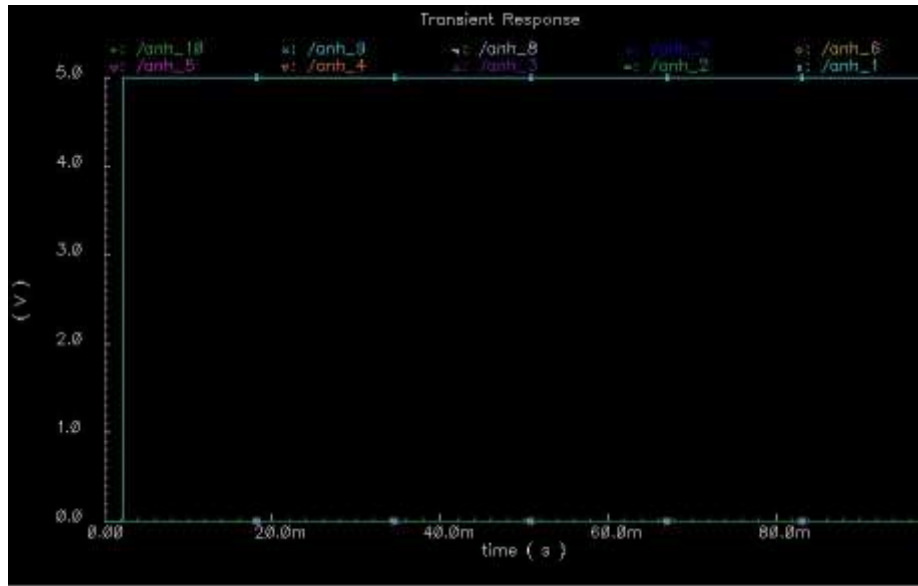
Hình 3.19 là kết quả sau khi 10 tín hiệu Vmem được phân loại và đi vào mạch tích phân để giảm dòng điện đi xuyên qua memristor được nạp trên các tụ. Điều này giúp xác định neuron nào được đốt cháy đầu tiên để gửi tín hiệu cấm về bộ điều khiển chuyển mạch.



**Hình 3.20:** Kết quả điện áp của trạng thái đốt và đóng băng

Sau khi ta thu được 10 tín hiệu  $V\_ra$  như hình 3.19 thì 10 tín hiệu này sẽ tiếp tục đi vào mạch đảo trạng thái. Các tín hiệu nào nhỏ hơn ngưỡng so sánh sẽ nhận điện áp mức logic '1' và ngược lại. Sở dĩ ta cần đảo trạng thái lên mức cao như hình 3.20 là vì tín hiệu  $V\_đốt$  là ngõ vào của bộ điều khiển chuyển mạch. Trong bộ điều khiển chuyển mạch đã thiết kế ban đầu cần các tín hiệu  $V\_đốt$  tích cực mức logic '1'. Chính vì điều đó ta cần thêm mạch đảo trạng thái cho khối noron của hệ thống.

Chúng ta hãy xem hình 3.21, đối với việc kiểm tra với ngõ vào là điện áp đại diện cho ảnh số 1 thì sau khi đã qua bộ chốt tín hiệu ngõ ra, ta thấy có duy nhất tín hiệu ảnh\_1 lên mức cao thể hiện mạch đã nhận dạng đúng ảnh số 1. Trong bộ chốt tín hiệu cần phải có đồng thời hai điều kiện: điều kiện thứ nhất tín hiệu  $V\_đốt\_1$  có mức logic '1', điều kiện thứ 2 là  $V\_mem1$  lớn hơn ngưỡng so sánh của mạch để tránh trường hợp ngõ vào có quá nhiều nhiễu làm giảm mức điện áp  $V\_mem$ . Từ hai điều kiện cần thiết này ta đã nhận dạng được chính xác đây là ảnh số 1 như hình 3.21.



**Hình 3.21:** Kết quả điện áp ngõ ra

### 3.6 KẾT QUẢ NHẬN DẠNG

Bởi vì thời gian ở chế độ phân loại rất nhỏ (diễn ra trong thời gian vài trăm nano giây) so với toàn bộ quá trình huấn luyện nên trong hình ảnh hiển thị kết quả ngõ ra nhận dạng 10 ảnh thì ta sẽ không quan tâm đến khoảng thời gian ở chế độ phân loại. Tín hiệu ngõ ra cuối cùng được đi qua bộ so sánh chuyển từ điện áp 0 (V) đến 3.3 (V) về điện áp 0 (V) đến 5 (V)).

Chương 3 đã trình bày về ý tưởng của hệ thống cũng như giải thích cách thức hoạt động của hệ thống thì hệ thống đã nhận dạng 9 ảnh /10 ảnh so với mục tiêu ban đầu là 10 ảnh.

Hệ thống nhận dạng đúng được hầu hết tất cả các ảnh. Tuy nhiên, đối với ảnh số 8 vẫn chưa chính xác. Hệ thống nhận dạng sai trường hợp này là do tập hợp pixel có trở kháng thấp của ảnh số 7 và số 0 lại là tập hợp con của tập hợp pixel có trở kháng thấp của ảnh số 8. Do vậy mặc dù điện áp cấp vào là đại diện cho ảnh số 8 nhưng 9 pixel trở kháng thấp của số 7 và 10 pixel trở kháng thấp của số 0 vẫn được cấp đầy đủ mức điện áp cao như khi ngõ vào là đại diện điện áp của ảnh số 7 hay là số 0. Điều này dẫn đến cả Vmem\_7, Vmem\_8, Vmem\_0 đều có mức điện áp cao làm cho hệ thống không phân biệt được chính xác. Kết quả cụ thể của phương pháp này được thể hiện rõ ở bảng 3.1.

**Bảng 3.1:** Kết quả nhận dạng của hệ thống khi dùng một mảng memristor

	Ảnh 1	Ảnh 2	Ảnh 3	Ảnh 4	Ảnh 5	Ảnh 6	Ảnh 7	Ảnh 8	Ảnh 9	Ảnh 10
Số pixel '1'	8	14	14	10	14	15	9	16	10	10
Tổng số pixel trong ảnh	30	30	30	30	30	30	30	30	30	30
Kết quả nhận dạng	1	2	3	4	5	6	7	8,7,0	9	0

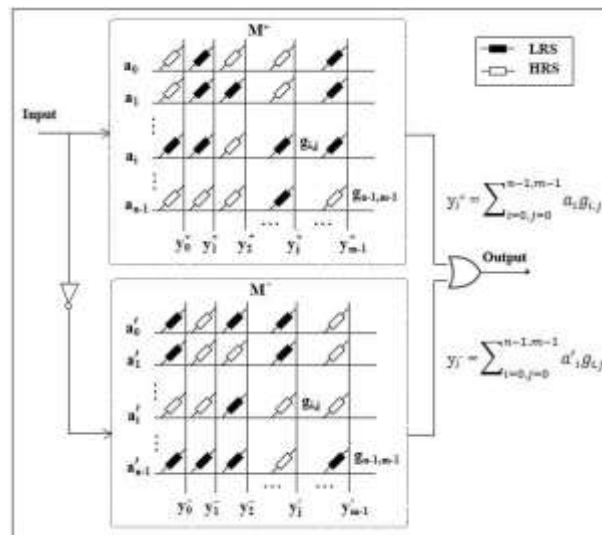
Để cải tiến trường hợp nhận dạng sai của hệ thống khi điện áp ngõ vào là đại diện ảnh số 8 thì nhóm chúng tôi đề xuất phương pháp nhận dạng mới bằng cách dùng hai mảng memristor thay vì dùng một mảng memristor như ở chương 3.

## CHƯƠNG 4

# CẢI TIẾN HỆ THỐNG NEUROMORPHIC BẰNG HAI MẢNG MEMRISTOR HOẠT ĐỘNG SONG SONG

### 4.1 PHƯƠNG PHÁP CẢI TIẾN

Trong chương 3 nhóm chúng tôi đã trình bày về phương pháp nhận dạng ảnh ký tự số dùng một mảng memristor, tuy nhiên kết quả nhận dạng không chính xác khi ngõ vào là tín hiệu điện áp của ảnh số 8 nhưng lại nhận dạng ra cả ba số 8, 0 và 7. Để dễ phân biệt chúng tôi gọi toàn bộ quá trình huấn luyện và kiểm tra ảnh trong chương 3 là phương pháp thứ nhất để nhận dạng ảnh sử dụng memristor, phương pháp cải tiến trong chương 4 dùng mảng memristor hoạt động song song mà nhóm chúng tôi trình bày là phương pháp thứ hai, để theo dõi nội dung chương 4, ta quan sát hình 4.1



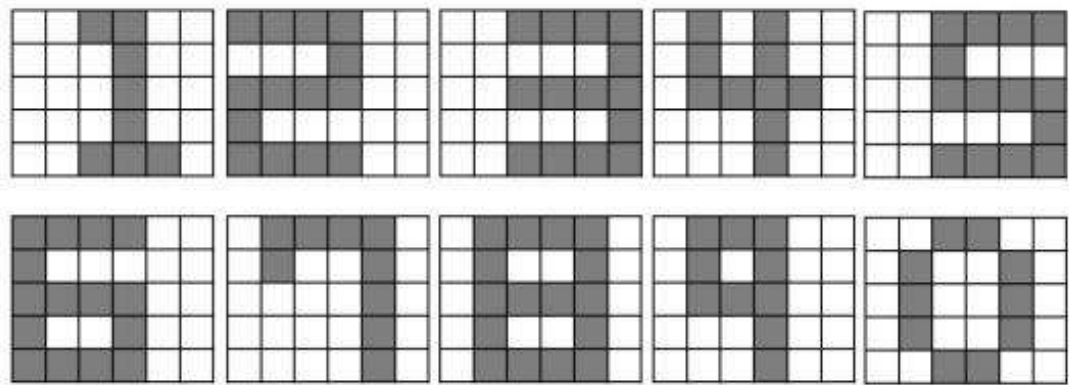
**Hình 4.1:** Mô hình phương pháp cải tiến

Cấu trúc của phương pháp cải tiến gồm có 2 khối memristor hoạt động song song với nhau. Mỗi khối gồm 10 mảng, mỗi mảng sẽ có 30 memristor mảng. Như hình 4.1, ngõ vào khối thứ hai sẽ là đảo mức logic ngõ vào của khối thứ nhất.

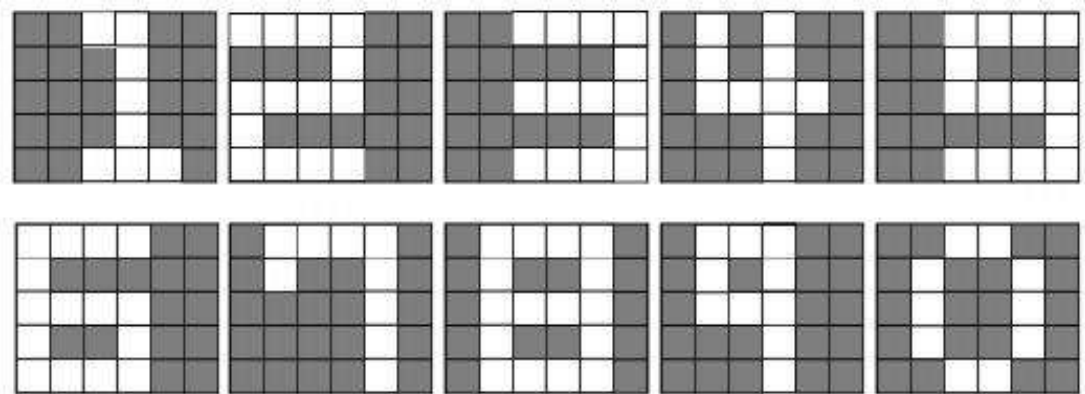
## 4.2 CHẾ ĐỘ HUẤN LUYỆN CỦA PHƯƠNG PHÁP CẢI TIẾN

### 4.2.1 Tập ảnh huấn luyện

Các ký tự ảnh từ số 0 đến số 9 sẽ có dạng tập ảnh huấn luyện trong phương pháp này như sau:



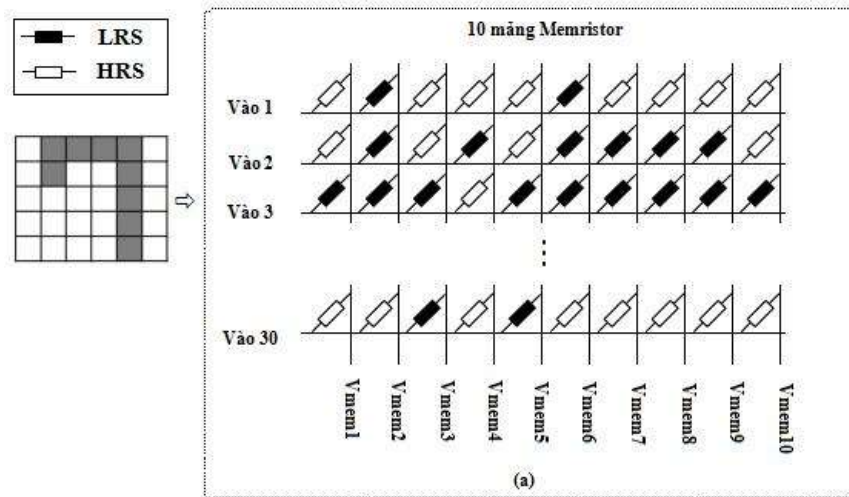
**Hình 4.2:** Tập ảnh huấn luyện của khối memristor thứ nhất



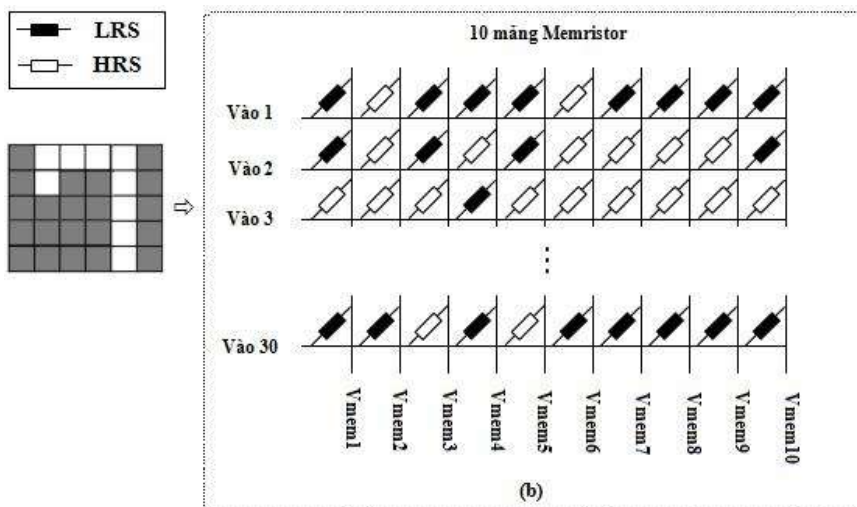
**Hình 4.3:** Tập ảnh huấn luyện của khối memristor thứ hai

Khối tích hợp được cải tiến như sau, mỗi một ảnh được đưa vào hệ thống sẽ có kích thước là 5x6 pixel, mức điện áp là 3,3 V tương ứng với mức logic ‘1’, mức điện áp là 0 V sẽ tương ứng với mức logic ‘0’, như vậy 30 pixel từ mỗi hình

là 30 tín hiệu đưa vào khối memristor thứ nhất của hệ thống, đồng thời 30 tín hiệu này sẽ được đảo mức logic tín hiệu và đưa vào khối memristor thứ hai. Chúng ta hãy quan sát hình 4.4 và hình 4.5 để thấy rõ hơn về sự đảo mức logic của tín hiệu ảnh số 7.



**Hình 4.4:** Khối thứ nhất của mảng memristor sau khi huấn luyện



**Hình 4.5:** Khối thứ hai của mảng memristor sau khi huấn luyện

Với 30 tín hiệu vào sẽ đi xuyên qua 300 memristor mảng như hình 4.4 chúng ta sẽ được 10 tín hiệu  $V_{mem\_1}$ ,  $V_{mem\_2}$ , ...,  $V_{mem\_10}$ . Tại  $t = 0$  toàn bộ memristor trong mảng sẽ có trở kháng cao là  $21\text{ K}\Omega$ , nếu tín hiệu vào là mức logic '1' thì sẽ làm cho memristor chuyển dần từ trở kháng cao sang trở kháng

thấp là  $100\ \Omega$ , nếu tín hiệu vào là mức logic '0' thì sẽ không làm thay đổi trở kháng memristor.

Tương tự như vậy tín hiệu vào sẽ được đảo mức logic và đi vào khối memristor thứ hai của hệ thống, 30 tín hiệu này tiếp tục đi xuyên qua 300 memristor mảng như hình 4.5 ta sẽ được 10 tín hiệu  $V_{mem\_11}$ ,  $V_{mem\_12}$ , ...,  $V_{mem\_20}$ . Cũng như mảng thứ nhất tại thời điểm  $t = 0$  thì toàn bộ memristor trong mảng sẽ có trở kháng cao là  $21\ K\Omega$ , nếu tín hiệu vào là mức logic '1' thì sẽ làm cho memristor chuyển dần từ trở kháng cao sang trở kháng thấp là  $100\ \Omega$ , nếu tín hiệu vào là mức logic '0' thì sẽ không làm thay đổi trở kháng memristor.

#### **4.2.2 Các bước thực hiện huấn luyện**

Bước 1: Đưa 1 ảnh bất kỳ vào mô hình để huấn luyện đồng thời kích hoạt một trong mười tín hiệu nút\_nhấn để khối điều khiển biết bắt đầu quá trình huấn luyện và huấn luyện cho ảnh ở mạch nào.

Bước 2: Sẽ có 30 tín hiệu đi vào 300 memristor khối mảng thứ nhất và 30 tín hiệu này đi qua cổng NOT sau đó đi vào 300 memristor khối mảng thứ hai. Nhưng chỉ có 30 tín hiệu đi qua 30 memristor thuộc một trong mười mảng memristor khối thứ nhất đồng thời cũng chỉ có 30 tín hiệu đi qua 30 memristor thuộc một trong mười mảng memristor khối thứ hai, kết thúc quá trình huấn luyện khi một trong mười tín hiệu  $V\_đốt$  đạt 5 V và một trong mười tín hiệu  $V\_đóng\_băng$  đạt ngưỡng 5 V.

Bước 3: Quá trình kiểm tra sẽ có một cặp tín hiệu  $V\_đốt$  và  $V\_đóng\_băng$  đạt ngưỡng nhanh nhất sẽ được gửi tới mạch chốt kết quả ngõ ra để ra quyết định ảnh đang kiểm tra là ảnh số mấy.

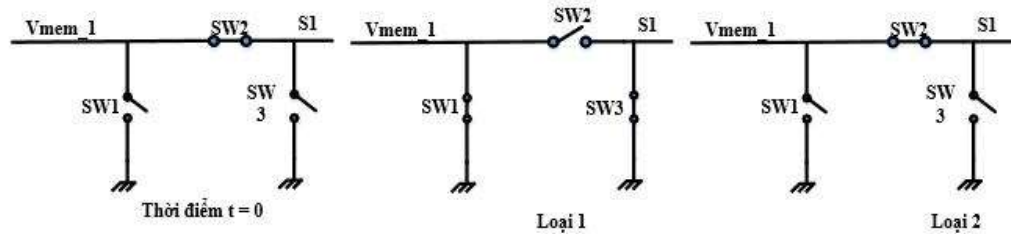
#### **4.2.3 Khối tích hợp của chế độ huấn luyện**

Khối tích hợp của chế độ huấn luyện trong phương pháp hai mảng hầu như tương đối giống với phương pháp một mảng đều có bộ điều khiển chuyển mạch và bộ tích hợp. Tuy nhiên do phương pháp 2 mảng ta có thêm 10 mảng memristor nên trong bộ điều khiển chuyển mạch của chế độ huấn luyện có đầu



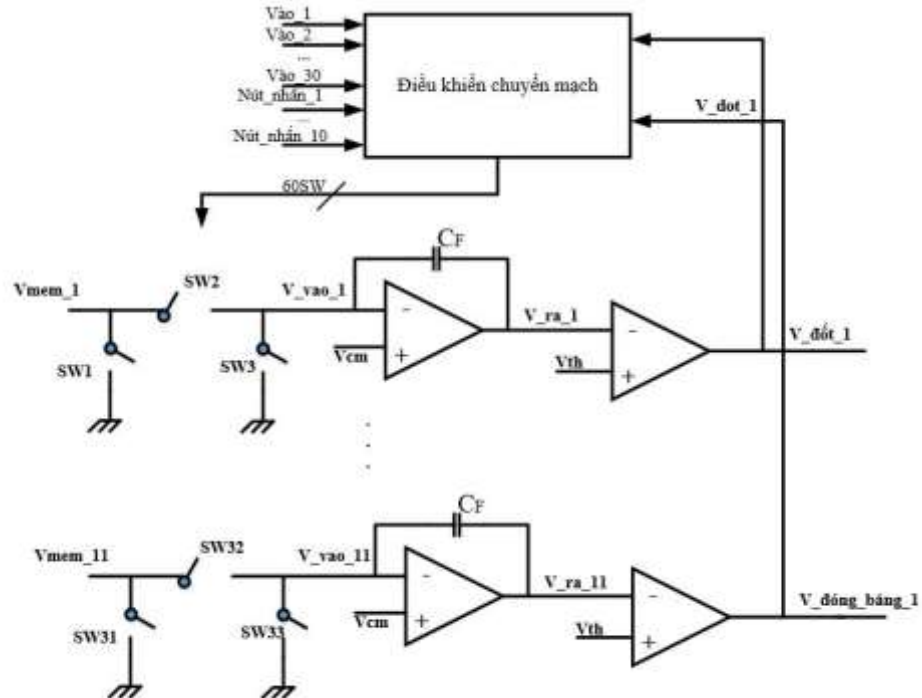
vào lấy tín hiệu từ 30 ngõ vào, 10 nút nhấn và 10 V\_đốt, 10 V\_đóng\_bằng, đầu ra là điều khiển 60 SW, trong đó SW1, SW3, SW4, SW6, SW31, SW33, SW34, SW36, ..., SW58, SW60 sử dụng NMOS để mô phỏng và SW2, SW5, SW32, SW35, ..., SW59 sử dụng PMOS để mô phỏng.

Quá trình phân loại của phương pháp 2 mảng có phần cứng và hoạt động giống với phương pháp 1 mảng nhưng thêm 10 mạch.



**Hình 4.6:** Quá trình phân loại

Bộ nơron mạch của chế độ huấn luyện của phương pháp 2 mảng cũng giống với phương pháp 1 mảng nhưng thêm 10 tín hiệu V\_đóng\_bằng của 10 mảng.



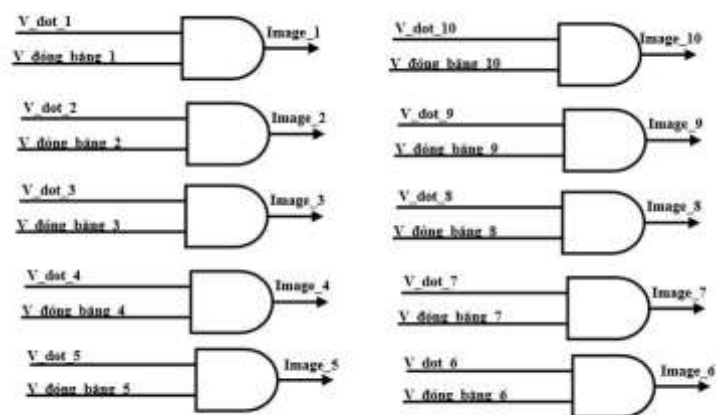
**Hình 4.7:** Chế độ huấn luyện ảnh trạng thái đốt và đóng bằng

Quan sát hình 4.7, tại thời điểm  $t = 0$ , tín hiệu  $V_{\text{vào}}$  nhỏ hơn điện áp  $V_{\text{CM}}$  nên  $V_{\text{ra}}$  sẽ nhận điện áp  $V_{\text{dd}}$  là 3.3 (V), lúc này  $V_{\text{ra}}$  có điện áp lớn hơn  $V_{\text{TH}}$  là 2 (V) nên  $V_{\text{Đốt\_1}}$  và  $V_{\text{đóng\_băng\_1}}$  sẽ nhận điện áp  $V_{\text{ss}}$  là 0 (V),  $V_{\text{Đốt\_1}}$  và  $V_{\text{đóng\_băng\_1}}$  gửi tín hiệu điện áp bản thân nó về cho bộ điều khiển chuyển mạch, bộ điều khiển chuyển mạch sẽ đóng SW2 và mở SW3, để tín hiệu từ  $V_{\text{mem}}$  đi qua SW2 tiến vào khối noron mạch.

Tại  $t > 0$ , bởi vì cấp tín hiệu vào memristor là giá trị dương nên giá trị trở kháng sẽ giảm từ trở kháng cao xuống trở kháng thấp dẫn đến giá trị  $V_{\text{mem}}$  sẽ tăng theo thời gian, khi  $V_{\text{vào}}$  tăng lớn hơn  $V_{\text{CM}}$  thì  $V_{\text{ra}}$  sẽ giảm điện áp từ  $V_{\text{dd}}$  là 3.3 (V) về mức điện áp 0 (V), dẫn đến  $V_{\text{Đốt}}$  và  $V_{\text{đóng\_băng}}$  bị đốt cháy sẽ tăng từ điện áp 0 (V) lên 5 (V).

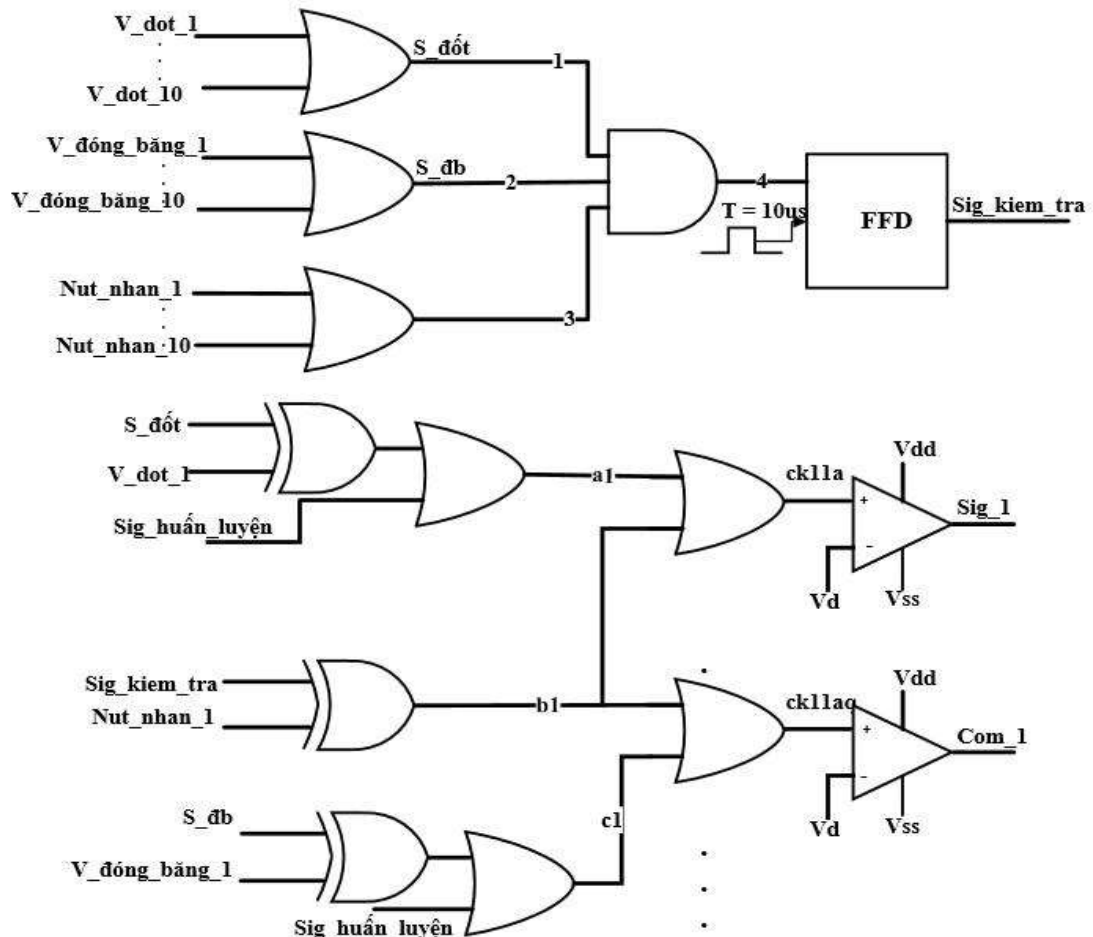
Ngay khi khối noron ngõ ra đạt trạng thái đốt thì bộ điều khiển sẽ không cho các noron còn lại hoạt động mà sẽ đưa các noron này về trạng thái đóng băng bằng cách ngắt chuyển mạch SW2, đóng chuyển mạch SW1 và SW3 như hình 4.6, như vậy chỉ có noron bị đốt cháy là 5 (V) trong quá trình huấn luyện còn những ngõ ra noron còn lại sẽ nhận điện áp 0 (v) và tại thời điểm đó gọi là điện áp đóng băng.

Bộ chốt ngõ ra của chế độ huấn luyện có nhiệm vụ kiểm tra ngõ ra của 2 mảng nào đã đốt cháy, chúng ta xem hình 4.8. Lúc này trên hệ thống tương ứng 10 khối noron ngõ ra sẽ có 10 Tín hiệu  $V_{\text{Đốt}}$ , 10 tín hiệu  $V_{\text{đóng\_băng}}$ . Các cặp tín hiệu này đi qua cổng AND để xét xem đó là ảnh số mấy.



**Hình 4.8:** Bộ chốt ngõ ra của phương pháp 2 mảng

Sau khi ta hiểu về quá trình phân loại và khối nơron mạch thì chúng ta tiếp tục làm rõ bộ điều khiển chuyển mạch trong hệ thống của chế độ huấn luyện trong phương pháp thứ 2 có nhiệm vụ và cấu tạo khác như thế nào so với phương pháp 1.



**Hình 4.9:** Mạch chi tiết bộ điều khiển chuyển mạch của chế độ huấn luyện

Trong quá trình huấn luyện tín hiệu S\_huấn\_luyện sẽ tích cực mức logic '0' để báo hiệu đây là quá trình huấn luyện. Tại thời điểm  $t = 0$ , bắt đầu quá trình huấn luyện 10 tín hiệu V\_dot\_bang, 10 tín hiệu V\_dot sẽ có mức logic là '0' nên ngõ ra tại vị trí 1, 2 cũng có mức logic '0', các tín hiệu nút nhấn chưa được kích hoạt để thực hiện quá trình huấn luyện thì tín hiệu tại vị trí 3 là mức logic '0', do đó vị trí 4 – ngõ vào flip flop D sẽ là mức logic '0' và đồng thời có một xung cạnh lên  $T = 10 \mu s$  đã được đưa vào flip flop D nên ngõ ra flip flop lúc này

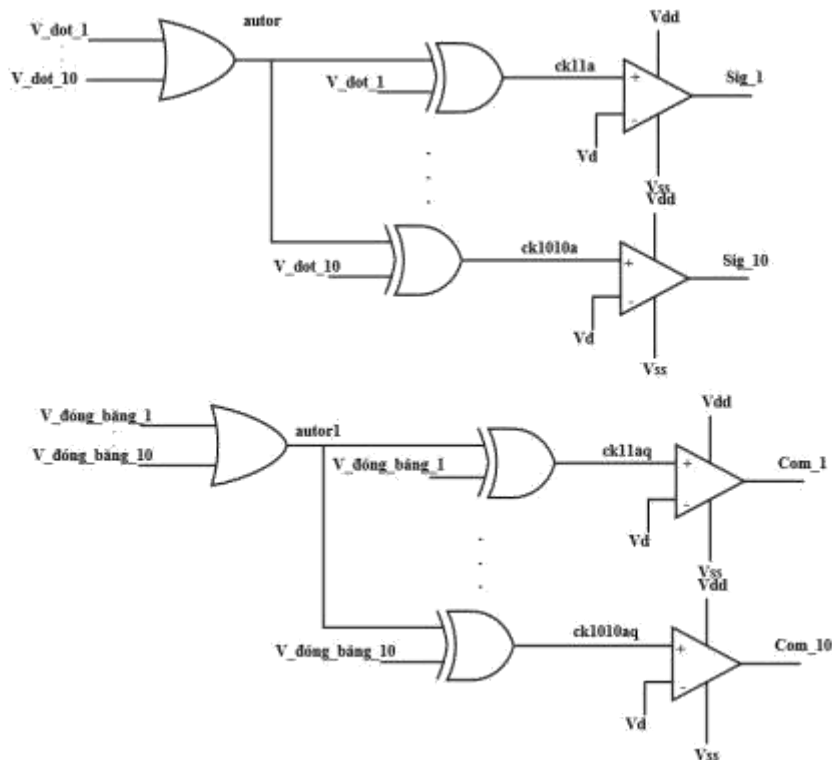
là tín hiệu Sig\_kiểm\_tra có mức logic '0'. Các tín hiệu Nút\_nhấn sẽ XOR với tín hiệu Sig\_kiểm\_tra thu được tín hiệu b1 có mức logic là '0'(1), vì tại thời điểm  $t = 0$  này, tất cả 10 tín hiệu Nút\_nhấn có mức logic '0'. Cùng lúc đó S\_đốt XOR với V\_đốt, sau đó tiếp tục OR với tín hiệu Sig\_huấn\_luyện ta được ngõ ra a1 có mức logic '0', S\_đb XOR với V\_đóng\_băng, sau đó tiếp tục OR với tín hiệu Sig\_huấn\_luyện ta được ngõ ra c1 có mức logic '0' (2). Từ (1) và (2), ta tiếp tục OR tín hiệu a với b và b với c thu được ck11a đến ck1010a và ck11aq đến ck1010aq tương ứng sẽ có mức logic '0', tiếp đến 20 tín hiệu này đi qua bộ so sánh với tín hiệu Vd nên ta thu được tín hiệu 10 tín hiệu Sig\_1 đến Sig\_10, 10 tín hiệu Com\_1 đến Com\_10 đều là mức logic '0'. Do tất cả các tín hiệu Sig và tín hiệu Com đều có mức logic '0' nên điều này làm đóng chuyển mạch SW2, SW5, ..., SW29, SW32, SW35, ..., SW59 đồng thời ngắt chuyển mạch SW1, SW3, SW4, SW6, ..., SW28, SW30, SW31, SW33, SW34, SW36, ..., SW58, SW60. Kết luận tại thời điểm  $t = 0$ , trong quá trình huấn luyện khi ta chưa kích hoạt một trong mười tín hiệu nút nhấn thì ngõ ra bộ điều khiển là 10 tín hiệu Sig, 10 tín hiệu Com sẽ là mức '0' nhận điện áp 0 (V) làm đóng, ngắt các chuyển mạch như trên.

Khi ta đưa ảnh số 1 vào hệ thống để huấn luyện, lúc này các tín hiệu V\_đốt\_1 và V\_đóng\_băng\_1 có mức logic '1', do đó tại vị trí 1 và 2 sẽ có mức logic là '1' nhưng vị trí 4 vẫn giữ mức logic '0'. Chỉ khi nào có tín hiệu nút nhấn 1 lên mức logic '1' làm cho vị trí 4 - ngõ vào flip flop lúc này sẽ là mức logic '1' và trong vòng 10  $\mu s$  có một xung cạnh lên tác động vào flip flop sẽ làm cho ngõ ra flip flop là tín hiệu Sig\_kiểm\_tra đạt mức logic '1'. Các tín hiệu Nút\_nhấn sẽ XOR với tín hiệu Sig\_kiểm\_tra thu được tín hiệu b, vì tại thời điểm này chỉ có tín hiệu Nút\_nhấn\_1 lên mức logic '1' còn tất cả 9 tín hiệu Nút\_nhấn còn lại có mức logic '0' do đó tại ngõ ra của cổng XOR này thu được tín hiệu b1 là mức logic '0' còn 9 tín hiệu còn lại b2 đến b10 là mức logic '1'(3). Cùng lúc đó S\_đốt XOR với V\_đốt, sau đó tiếp tục OR với tín hiệu Sig\_huấn\_luyện và S\_đb XOR với V\_đóng\_băng, sau đó tiếp tục OR với tín hiệu Sig\_huấn\_luyện ta được ngõ ra tương ứng là a1 và c1 của ảnh số 1 có mức logic '0', 9 ảnh còn lại có mức logic '1' (4).

Từ (3) và (4), ta tiếp tục OR a với b, b với c thu được ck11a đến ck1010a và ck11aq đến ck1010aq tương ứng. Tín hiệu ck11a và ck11aq vẫn là mức logic '0'. Do đó SW2, SW32 vẫn được đóng chuyển mạch và đồng thời ngắt chuyển mạch SW3, SW1, SW33, SW31. Tuy nhiên các tín hiệu ck22a, ck22aq, ck33a, ..., ck1010a, ck1010aq tương ứng sẽ nhận được mức logic '1'. Các tín hiệu này đi qua bộ so sánh làm cho các tín hiệu Sig và Com tương ứng nhận mức logic '1', điều này làm ngắt chuyển mạch SW5, ..., SW29, SW35, ..., SW59 và đồng thời ngắt chuyển mạch SW4, SW6, ..., SW28, SW30, SW34, SW36, ..., SW58, SW60. Do đó chỉ có 2 mạch duy nhất trong tại một thời điểm trong quá trình huấn luyện cho phép V\_đốt và V\_đóng\_băng của cùng một số đi vào hoạt động. Tương tự như vậy khi đưa ảnh số 2 vào huấn luyện thì chỉ có 2 mạch hoạt động còn 18 mạch còn lại không hoạt động.

#### **4.3 CHẾ ĐỘ KIỂM TRA CỦA PHƯƠNG PHÁP CẢI TIẾN**

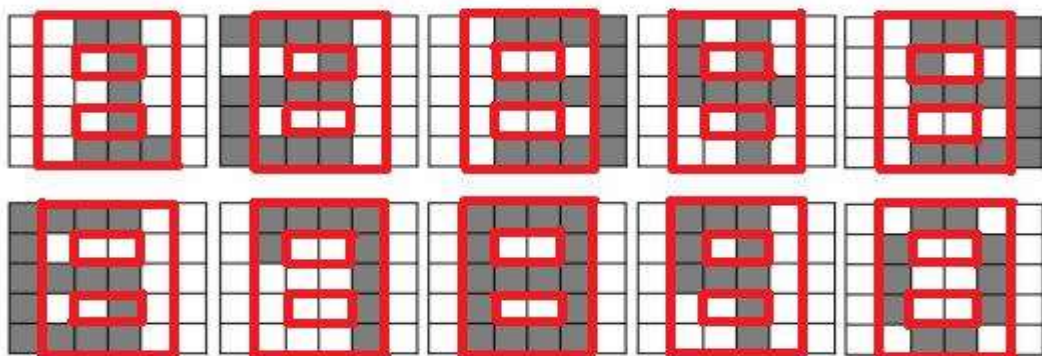
Tương tự như chế độ huấn luyện thì ở chế độ kiểm tra chỉ khác với chế độ huấn luyện về khối điều khiển chuyển mạch. Khối điều khiển chuyển mạch của chế độ kiểm tra có ngõ vào gồm 30 tín hiệu điện áp vào, 10 tín hiệu V\_đốt, 10 tín hiệu V\_đóng\_băng và không sử dụng tín hiệu nút nhấn như chế độ huấn luyện, ngõ ra là 60 SW. Dưới đây là mạch chi tiết của khối điều khiển chuyển mạch trong chế độ kiểm tra.



**Hình 4.10:** Tổng thể bộ điều khiển chuyển mạch của chế độ kiểm tra

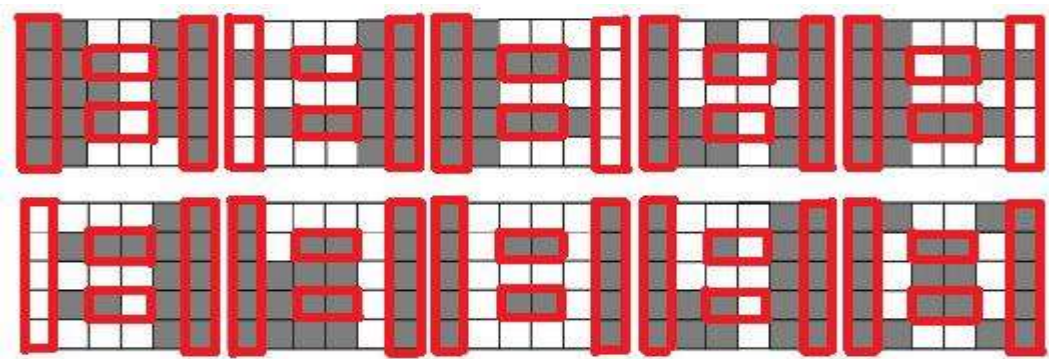
#### 4.4 PHÂN TÍCH HỆ THỐNG VỚI MẠCH NHẬN DẠNG SỐ 8

Như ta đã biết ở phương pháp nhận dạng thứ nhất trình bày ở chương 3 thì khi đưa tín hiệu điện áp đại diện ảnh số 8 vào nhận dạng thì kết quả trả về là số 7, số 0 và số 8. Kết quả này không chính xác hoàn toàn, do đó bên phương pháp hai mảng của chương 4 sẽ khắc phục được vấn đề này. Xét điện áp ngõ vào là điện áp đại diện cho ảnh số 8 như sau:



**Hình 4.11:** Đưa ảnh số 8 vào khối thứ nhất của hệ thống để kiểm tra

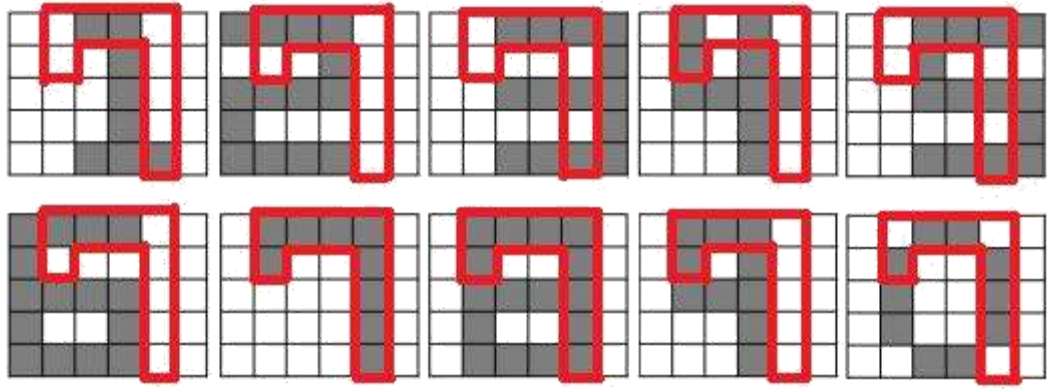
Ta thấy khi đưa ảnh số 8 vào mạch nhận dạng thì có 16 tín hiệu có mức logic ‘1’ nhận điện áp 3,3 (V) đi vào 10 lớp mặt nạ khối thứ nhất, chúng ta quan sát toàn thể 10 ảnh và tập trung vào phần diện tích được bao phủ bởi viền màu đỏ như hình 4.11, lúc này chúng ta thấy chỉ có ảnh số 8 là toàn bộ diện tích trong viền đỏ đều có màu đen, màu đen là memristor có trở kháng thấp, ảnh nào có tất cả các pixel màu đen được bao phủ trong diện tích viền màu đỏ thì sẽ tiến đến ngưỡng ngõ ra càng nhanh. Vậy 16 tín hiệu có mức logic ‘1’ nhận điện áp 3,3 (V) đi vào mô hình ảnh số 8 đặt trên 16 memristor có trở kháng thấp như trong trường hợp này thì cả ba mô hình số 7, số 8 và số 0 đều sẽ đạt ngưỡng ngõ ra nhanh như nhau nên mạch quyết định ngõ ra sẽ nhận được cả V\_đốt\_7, V\_đốt\_8 và V\_đốt\_10.



**Hình 4.12:** Đưa ảnh số 8 vào khối thứ hai của hệ thống để kiểm tra

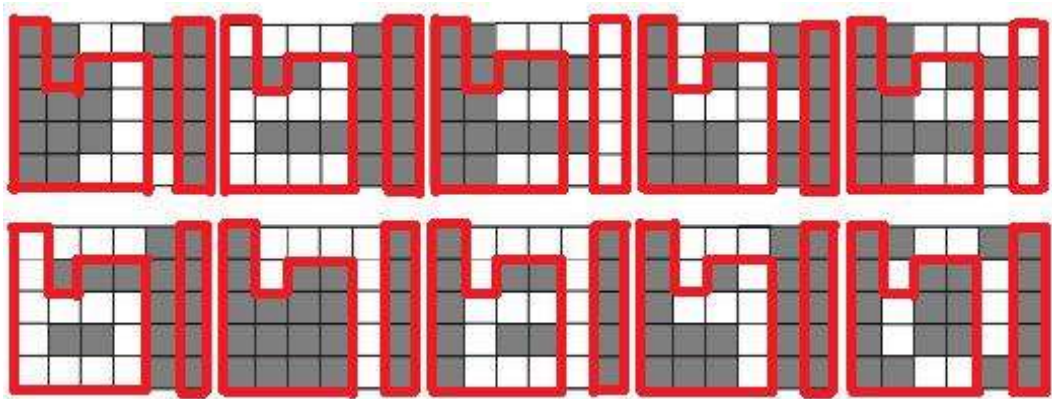
Chúng ta quan sát 10 mô hình trong hình 4.12, tập trung vào phần diện tích màu đen trong viền màu đỏ, như vậy trong trường hợp này thì chỉ có số 8 đạt ngưỡng ngõ ra nhanh nhất nên mạch quyết định ngõ ra sẽ nhận V\_đóng\_băng\_8. Từ những cơ sở thông tin trên mạch quyết định ngõ ra sẽ quyết định đây là ảnh số 8.

Để chứng minh mô hình này luôn đúng với bất kỳ hình nào đã liệt kê ở trên, ta sẽ chọn 1 hình bất kỳ tiếp theo để kiểm tra, chúng ta chọn tiếp hình số 7.



**Hình 4.13:** Đưa ảnh số 7 vào khối thứ nhất của hệ thống để kiểm tra

Chúng ta quan sát hình 4.13, ta biết rằng với mô hình này thì ảnh số 7 chính là tập con của ảnh số 8, do đó 9 tín hiệu có mức logic '1' của ảnh số 7 đưa vào khối memristor thứ nhất của hệ thống đều nằm tại những vị trí có trở kháng thấp trên ảnh số 7 và ảnh số 8. Nhưng ta sẽ nhận được tín hiệu  $V_{\text{đốt}_7}$  là đạt ngưỡng nhanh nhất đồng thời gửi tín hiệu này về mạch quyết định ngõ ra, chỉ mới có tín hiệu  $V_{\text{đốt}}$  gửi về nên mạch quyết định ngõ ra vẫn chưa phân biệt được, chúng ta hãy quan sát tiếp hình 4.14.



**Hình 4.14:** Đưa ảnh số 7 vào khối thứ hai của hệ thống để kiểm tra

Hãy chú ý đến phần diện tích được bao bọc bởi viền màu đỏ, hãy chú ý đến ảnh số 7 toàn bộ diện tích hai khu vực trong viền đỏ đều được bôi đen, những điểm đen là điểm có trở kháng thấp và 21 tín hiệu có mức logic '1' của ảnh số 7 lúc này như lớp mặt nạ in trùng lên mô hình huấn luyện, vậy ảnh số 7 sẽ là ảnh đạt ngưỡng nhanh nhất trong toàn bộ 10 ảnh khối thứ hai, ảnh số 8 muốn đạt được ngưỡng nhanh như ảnh số 7 thì phải có ít nhất là 7 pixel nằm khớp vào 7 vị trí đang có trở kháng cao nằm trong phần diện tích viền đỏ như hình 4.14. Vậy



ngõ ra khối thứ hai sẽ là  $V_{\text{đóng\_băng\_7}}$ , tín hiệu này sẽ được gửi đến mạch quyết định ngõ ra lúc này đã có đủ cơ sở để mạch ra quyết định đây là ảnh số 7.

Từ những gì đã phân tích ở trên chúng ta rút ra các kết luận sau. Khối memristor thứ nhất đưa tín hiệu qua khối tích hợp sẽ cho ra kết quả ảnh đang kiểm tra là ảnh nào, nếu ảnh đó là tập con của ảnh khác thì ngõ ra sẽ là ảnh tập con và ảnh chứa tập con đó, ví dụ ảnh số 7 là tập con của ảnh số 8, nên ngõ ra sẽ có cả 2 ảnh là số 7 và ảnh số 8. Khối memristor thứ hai đưa tín hiệu qua khối tích hợp thứ hai sẽ chốt lại ảnh thật sự đang kiểm tra, kết hợp cả hai khối memristor, hai khối tích hợp thì sẽ quyết định chính xác ngõ ra cuối cùng là ảnh nào đang đưa vào kiểm tra.

#### 4.5 KẾT QUẢ MÔ PHỎNG CỦA PHƯƠNG PHÁP CẢI TIẾN

So với mục tiêu của đề tài đưa ra ban đầu thì khi hệ thống nhận dạng ảnh ký tự số dùng phương pháp thứ 2 sẽ nhận dạng được 100% tất cả 10 ảnh. Bảng 4.1 sẽ trình bày kết quả của hệ thống khi dùng phương pháp thứ 2 và cho thấy được rằng dùng phương pháp 2 sẽ khắc phục được tình trạng lỗi mà phương pháp thứ 1 ta chưa thực thi được.

**Bảng 4.1:** Kết quả nhận dạng của hệ thống khi dùng phương pháp thứ 2

Ảnh	Ảnh 1	Ảnh 2	Ảnh 3	Ảnh 4	Ảnh 5	Ảnh 6	Ảnh 7	Ảnh 8	Ảnh 9	Ảnh 10
Số pixel '1'	8	14	14	10	14	15	9	16	10	10
Tổng số pixel trong ảnh	30	30	30	30	30	30	30	30	30	30
Kết quả nhận dạng	1	2	3	4	5	6	7	8	9	0

## **4.6 KẾT LUẬN CHƯƠNG 4**

Trong chương 4, chúng tôi đã đề xuất cải tiến mạch theo hướng thêm một mô hình lấy tín hiệu vào từ hệ thống sau đó đảo tín hiệu này rồi đưa vô khối tích hợp để nhận dạng ngược lại so với khối tích hợp ban đầu. Như vậy hệ thống sẽ cùng lúc hoạt động song song hai khối để hỗ trợ lẫn nhau trong quá trình kiểm tra ảnh, chính vì khi cả hai khối hỗ trợ lẫn nhau sẽ làm tăng khả năng nhận dạng ảnh đang kiểm tra của mạch.

## CHƯƠNG 5

### KẾT LUẬN VÀ ĐÁNH GIÁ

#### 5.1 SO SÁNH KHẢ NĂNG NHẬN DẠNG CỦA HAI PHƯƠNG PHÁP

Bảng 5.1 ta thấy ở phương pháp thứ nhất tập ảnh 10 số của chúng ta không nhận dạng được chính xác ảnh số 8. Tuy nhiên ở phương pháp thứ 2 chúng ta đã cải thiện được vấn đề này là nhận dạng chính xác 10 ảnh.

**Bảng 5.1:** So sánh khả năng nhận dạng của hai phương pháp

Kết quả nhận dạng	Ảnh 1	Ảnh 2	Ảnh 3	Ảnh 4	Ảnh 5	Ảnh 6	Ảnh 7	Ảnh 8	Ảnh 9	Ảnh 10
Phương pháp 1	1	2	3	4	5	6	7	0, 7, 8	9	0
Phương pháp 2	1	2	3	4	5	6	7	8	9	0

Từ chương 3 và 4 ta có thể rút ra kết luận là tập ảnh 10 số từ 0 đến 9 sẽ được nhận dạng chính xác hơn khi dùng phương pháp thứ 2. Khi hệ thống dùng phương pháp thứ nhất thì chỉ nhận dạng được 9 ảnh / 10 ảnh so với mục tiêu đề ra ban đầu, còn khi dùng phương pháp nhận dạng thứ 2 thì hệ thống sẽ nhận dạng được hết 10 ảnh đúng với mục tiêu đề tài. Bởi vì đối với tập ảnh số 8 nếu dùng phương pháp 1 thì sẽ bị nhầm lẫn với số 0 và 7 vì vị trí pixel có trạng thái trở kháng thấp trong tập ảnh số 0 và 7 lại là tập con của vị trí pixel có trạng thái trở

kháng thấp của số 8. Chính vì vậy cả 3 tín hiệu  $V_{đốt}$  của ba số 0, 7, 8 sẽ đều bị đốt cháy và nhảy lên mức logic '1'. Cho nên hệ thống của phương pháp 1 sẽ không thể nhận dạng chính xác đó là ảnh số 8 đang đưa vào kiểm tra. Tuy nhiên sử dụng phương pháp thứ 2 để nhận dạng thì loại bỏ được những vấn đề này. Bởi vì trong hệ thống của phương pháp thứ 2 các vị trí pixel mang trở kháng thấp sẽ bị đảo với vị trí của pixel mang trở kháng cao. Do đó ta nên dùng phương pháp thứ hai để cải tiến và loại bỏ những nhầm lẫn này.

## 5.2 KẾT LUẬN

Trong chương 1, chúng tôi đã trình bày một cái nhìn tổng quan về tình hình nghiên cứu trên thế giới có liên quan đến đề tài sử dụng memristor cho hệ thống tái tạo lại hệ thống não bộ của con người.

Chương 2, chúng tôi đã trình bày một cách tổng quát về tính chất, nguyên lý hoạt động, mô hình toán học của memristor, đây là cơ sở để chúng tôi vận dụng và hiểu về ý tưởng nhận dạng ảnh sử dụng memristor được trình bày trong chương 3 và chương 4.

Chương 3, chúng tôi trình bày ý tưởng và kết quả của hệ thống nhận dạng 10 ảnh ngõ vào, hệ thống gồm 30 tín hiệu vào lấy từ bộ nhận ảnh nhân tạo, hệ thống chia ra làm 10 khối, 10 khối này có chung 30 tín hiệu vào, mỗi khối có 30 memristor và có 1 đầu ra, trong mỗi một khối lại được chia ra làm 2 phần chính là mảng memristor và nơon ngõ ra.

Trong chương 4, chúng tôi đề xuất cải tiến mạch để thu được kết quả mô phỏng của mô hình nhận dạng ảnh dùng memristor đúng hơn kết quả của chương 3, có ảnh minh họa và phân tích, sau đó là kết quả của tập ảnh gồm 10 ảnh và đánh giá trong từng mục.

Chương 5, chúng tôi đưa ra kết luận về phương pháp nhận dạng hiệu quả là sự kết hợp của hai khối tích hợp như mô hình trình bày trong chương 4, khối thứ hai hỗ trợ cho khối thứ nhất bằng cách lấy tín hiệu vào sau đó đảo tín hiệu và cho qua memristor để tạo thành mảng memristor với chức năng nhận dạng ngược trở lại và rất hiệu quả trong vấn đề loại bỏ những trường hợp tập pixel của ảnh có

các số khác là tập pixel con hoặc những trường hợp tập pixel ảnh chỉ khác một vị trí pixel.

### **5.3 ƯU ĐIỂM**

Qua toàn bộ quá trình nghiên cứu, cùng với những kết quả đạt được, chúng tôi rút ra một số ưu điểm quan trọng như sau:

- Hệ thống có cấu tạo đơn giản, kết hợp linh hoạt giữa linh kiện điện tử mới là memristor với công nghệ CMOS.
- Nhận dạng 1 ảnh ngẫu nhiên đưa vào, không cần phải đưa ảnh vào theo thứ tự ảnh 1, ảnh 2, ... ảnh 10. Hệ thống luôn nhận dạng được bất kỳ ảnh nào đưa vào từ tập ảnh huấn luyện khi sử dụng phương pháp thứ 2.

### **5.4 KHUYẾT ĐIỂM**

- Tuy hệ thống đã xây dựng xong nhưng chỉ dừng lại ở mức độ là mô phỏng, vẫn chưa làm thành mạch để kiểm chứng thực tế.

### **5.5 ĐỀ XUẤT CẢI TIẾN**

- Nên làm mạch thực tế để kiểm chứng sự hoạt động của mạch.
- Tối ưu hóa công suất tiêu thụ.

## TÀI LIỆU THAM KHẢO

- [1] L. O. Chua, “*Memristor The missing circuit element*”, IEEE Trans. Circuit Theory, vol. CT-18, pp. 507–519, 1971.
- [2] M. Hu, H. Li, Y. Chen, Q. Wu, G. S. Rose and R. W. Linderman, “*Memristor Crossbar-Based Neuromorphic Computing System: A Case Study*” in IEEE Transactions on Neural Networks and Learning Systems, vol. 25, no. 10, pp. 1864-1878, Oct. 2014.
- [3] L. Xie, H. A. D. Nguyen, M. Taouil, S. Hamdioui and K. Bertels, “*Interconnect networks for memristor crossbar*”, Proceedings of the 2015 IEEE/ACM International Symposium on Nanoscale Architectures, Boston, MA, 2015, pp. 124-129.
- [4] M. Chu et al., “*Neuromorphic Hardware System for Visual Pattern Recognition With Memristor Array and CMOS Neuron*” in IEEE Transactions on Industrial Electronics, vol. 62, no. 4, pp. 2410-2419, April 2015.
- [5] Z. Li et al., “*An overview on memristor crossbar based neuromorphic circuit and architecture*”, 2015 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Daejeon, 2015, pp. 52-56.
- [6] M. Hu, H. Li, Y. Chen, Q. Wu, G. S. Rose and R. W. Linderman, “*Memristor Crossbar-Based Neuromorphic Computing System: A Case Study*” in IEEE Transactions on Neural Networks and Learning Systems, vol. 25, no. 10, pp. 1864-1878, Oct. 2014.
- [7] C. R. Wu, W. Wen, T. Y. Ho and Y. Chen, “*Thermal optimization for memristor-based hybrid neuromorphic computing systems*” 2016 21st Asia and South Pacific Design Automation Conference (ASP-DAC), Macau, 2016, pp. 274-279.
- [8] MohanUjwal Bandaru, “*Modelling And The Study Of The Memristor*”, University Of Dayton, Dayton, Ohio, December, 2012.