

# Integración DSP y uP

## - Integración

El objetivo es integrar el bloque DSP y el microprocesador en un solo diseño.

## - Ejercicio 1

Utilizando los desarrollos anteriores integrar el DSP y el uP tomando como referencia los siguientes lineamientos:

- El GPIO de salida se utiliza para escribir los comandos en el Register File (RF) particionando los 32bits en **command**[31:24], **enable**[23] y **data**[22:0] (Fig. 1).
- El uP escribe tres veces el puerto de salida cambiando el bit de enable.
  - 0x01000001
  - 0x01800001
  - 0x01000001

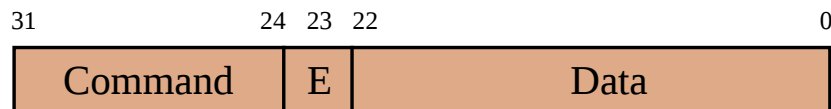


Figura 1: Partición de los bits del GPIO de salida.

- En la Fig. 2 se observa una nueva interfaz denominada Register File, la cual es un banco de registros que almacena los comandos enviados desde el uP.
- El esquema del DSP se detalla en la Fig. 3, el cual incorpora nuevas señales que se conectan al RF.
- El contador de BER retorna el número de errores y bits contados en una arreglo de 64bits, el cual deberá ser particionado en dos bloques de 32bits para que pueda ser leído por el GPIO de entrada.
- El flujo de datos entre la PC y el hardware diseñado se ejemplifica en la Fig. 4.
- Por último, se utiliza una memoria de logueo que captura las muestras de salida del filtro Tx (Fig. 3).
  - Se debe implementar una BRAM
  - Los datos se guardan a la frecuencia de clock.
  - La memoria comienza a loguear cuando detecta el flanco ascendente de **o\_run\_log** y guarda datos en cada ciclo de clock hasta llegar a la posición final de la memoria.

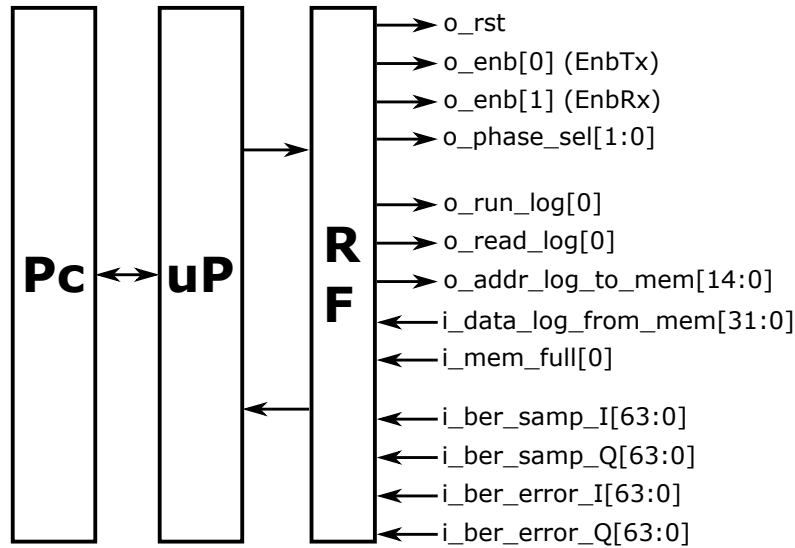


Figura 2: Puertos de entrada y salida del RF.

- Cuando esto ocurre se pone en alto **i\_mem\_full** para avisar al usuario que puede comenzar a leer los datos almacenados.
- La BRAM es una memoria de doble puerto, los cuales usan el mismo clock de referencia.
- Se debe habilitar la lectura de la memoria colocando en alto (1) el puerto **o\_read\_log** y bloquear la lectura (0) cuando se este escribiendo la memoria.
- Al puerto de entrada de datos (interno al módulo) se conecta el canal I/Q.
- La dirección de memoria donde se almacena este dato es controlado por un contador, el cual se detiene cuando se llega al final de la memoria.
- Para leer los datos desde el micro se coloca primero la dirección a leer **o\_addr\_log\_to\_mem** y esto retorna el dato en el puerto **i\_data\_log\_from\_mem**.

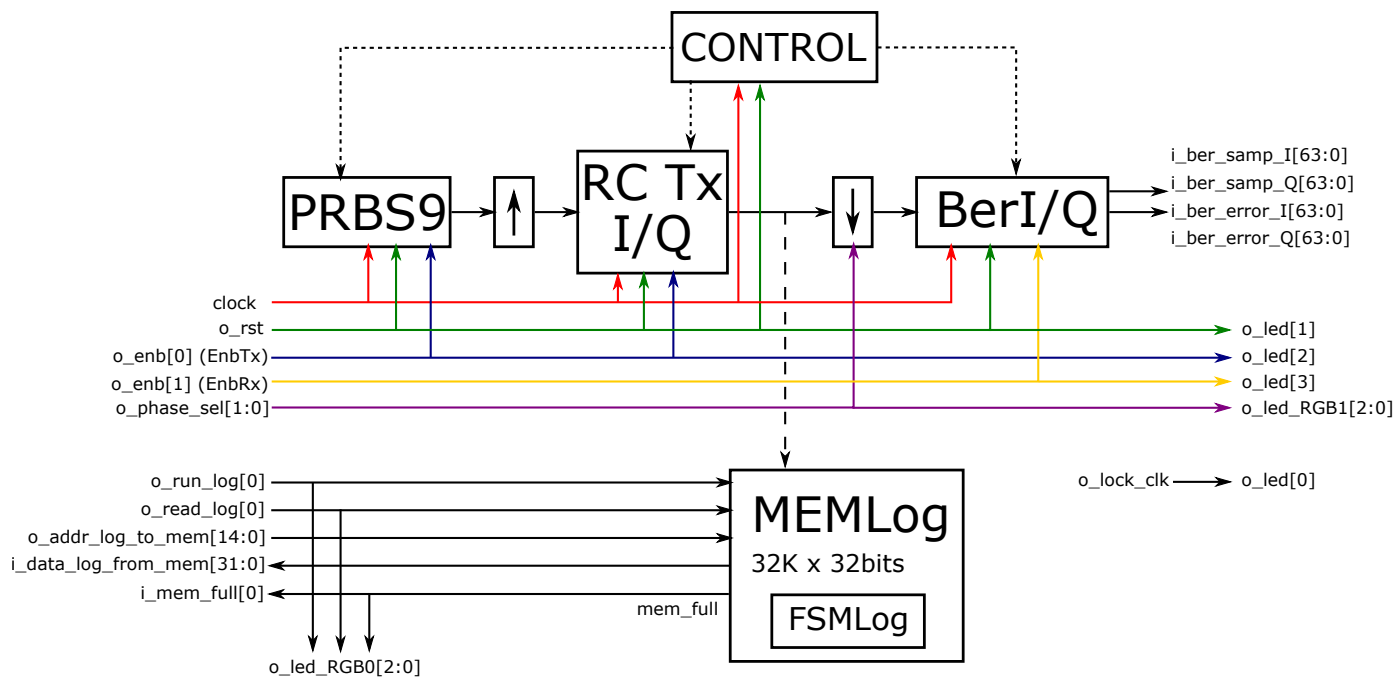


Figura 3: Diagrama en bloques del diseño del DSP.

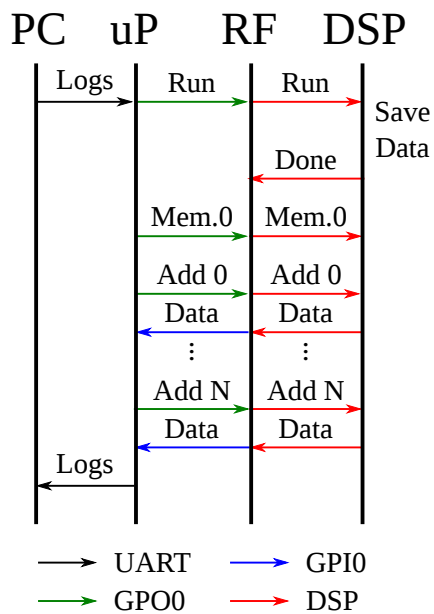


Figura 4: Diagrama de flujo de datos.