

**Apresente as configurações para o Timer 0 para provocar interrupções periódicas a cada 5 ms. Considere o uso do clock: SMCLK = 2 MHz.**

```
TAOCTL = TASSEL1 + MC0;  
TAOCCTL0 = CCIE;  
TAOCCR0 = 9999; // (5ms)*(2MHz)-1
```

**Apresente as configurações para o Timer 0** para provocar interrupções periódicas a cada **250 ms**. Considere o uso do clock: **SMCLK = 2 MHz**.

$\text{TAOCTL} = \text{TASSEL1} + \text{MC0} + \text{ID1}; // \text{FDIV de } 8$   
 $\text{TAOCTL0} = \text{CCIE};$   
 $\text{TAOCCR0} = 6249; // (250\text{ms}) * (2\text{MHz}) - 1 = 49999 > 65535, \text{ deve-se utilizar um FDIV de } 8$

Apresente as configurações para o Timer 0 para provocar interrupções periódicas a cada 100  $\mu$ s. Sinais de clock disponíveis: SMCLK = 8 MHz; ACLK = 32768 Hz. Escolha o sinal de clock mais adequado.

TAOCTL = TASSEL1 + MC0;  
TAOCTL0 = CCIE;  
TAOCCR0 = 799; // (100us)\*(8MHz)-1 = 799 e (100us)\*(32768Hz)-1 = 2.2768, logo o clock mais adequado é o de 8Mhz, pois tem uma contagem em números inteiros

**Apresente as configurações para o Timer 0** para provocar interrupções periódicas a cada **125 ms**. Sinais de clock disponíveis: **SMCLK = 4 MHz**; **ACLK = 32768 Hz**. Escolha o sinal de clock mais adequado.

```
TA0CTL = TASSEL1 + MC0;  
TA0CTL0 = CCIE;  
TA0CCR0 = 4095; // (125ms)*(4MHz)-1 = 499999 e (125ms)*(32768Hz)-1 = 4095, logo o clock mais adequado é o de 32768Hz, pois não precisa utilizar FDIV
```

**Apresente as configurações para o Timer 0** para provocar interrupções periódicas a cada **100 ms**. Sinais de clock disponíveis: **SMCLK = 8 MHz**; **ACLK = 32768 Hz**. Escolha o sinal de clock mais adequado.

```
TA0CTL = TASSEL1 + MC0;
TA0CCTL0 = CCIE;
TA0CCR0 = 3276; // (100ms)*(8MHz)-1 = 799999 e (100ms)*(32768Hz)-1 = 3275.8, logo o clock mais adequado é o de 32768Hz, pois embora seu número não seja inteiro, um clock de 8MHz
//precisaria de um FDIIV maior do que 8
```

**Apresente as configurações para o Timer 0** para provocar interrupções periódicas a cada 30 s. Sinais de clock disponíveis: **SMCLK = 1 MHz; ACLK = 32768 Hz**. Escolha o sinal de clock mais adequado. Considere o uso do modo de contagem up/down do contador.

```
TAOCTL = TASSEL1 + MC0 + ID1; // FDIV de 8
TAOCTL0 = CCIE;
TAOCCR0 = 61439; // (30s)*(1MHz/2)-1 = 1,874,999 e (30s)*(32768Hz/2)-1 = 61439, logo o clock mais adequado é o de 32768Hz
```