Lógica Reconfigurável

Navegação do questionário
DANIEL AUGUSTO MULLER
1 2 3 4 5 6 7 8
Terminar revisão

Iniciado em	segunda, 20 jun 2022, 19:01
Estado	Finalizada
Concluída em	segunda, 20 jun 2022, 20:03
Tempo empregado	1 hora 1 minuto
Notas	2,00/8,00
Avaliar	2,50 de um máximo de 10,0(25%)

Questão **1**
Incorreto
Atingiu 0,00 de 1,00
Marcar questão

Considere o código a seguir:

```
library ieee;
use ieee.std_logic_1164.all;

entity c1ha is
    port(a1, a2: in std_logic;
         y1, y2: out std_logic);
end entity;

architecture arq of c1ha is
begin
    y1 <= a1 and a2;
    y2 <= not a1;
end arq;
```

Com relação ao código apresentado, é correto afirmar que:

- É um código que corresponde a um circuito que produzirá uma saída em '1' quando suas entradas forem '1' e '1' ✗
- É um código que corresponde a um circuito que produzirá uma saída em '1' quando suas entradas forem '1' e '0'
- n.d.a.
- É um código que corresponde a um circuito que produzirá uma saída em '0' quando suas entradas forem '1' e '1'
- É um código que corresponde a um circuito que produzirá uma saída em '1' quando suas entradas forem '0' e '1'

Sua resposta está incorreta.
A resposta correta é:
É um código que corresponde a um circuito que produzirá uma saída em '0' quando suas entradas forem '1' e '1'.

Questão **2**
Incorreto
Atingiu 0,00 de 1,00
Marcar questão

Considere o código a seguir:

```
library ieee;
use ieee.std_logic_1164.all;

entity c1ha is
    port(ha:  in std_logic;
         hb:  in std_logic_vector(1 downto 0);
         y:   out std_logic_vector(1 downto 0));
end entity;

architecture arq of c1ha is
signal x: std_logic_vector(2 downto 0);
begin

    x <= ch & b;

    process(x)
    begin
        case x is
            when "000" => y <= "0000";
            when "001" => y <= "0000";
            when "010" => y <= "0000";
            when "011" => y <= "0000";
            when "100" => y <= "0001";
            when "101" => y <= "0010";
            when "110" => y <= "0100";
            when "111" => y <= "1000";
        end case;
    end process;
end arq;
```

Com relação ao código apresentado, é correto afirmar que:

- Quando "0000" for conectado a y, isto fará com que y seja alterada para "0110"
- n.d.a.
- para este código operar usando CASE, a operação da linha 14 é necessária
- Quando "0110" for conectado a y, isto fará com que y seja alterada para "0000" ✗
- para este código operar usando CASE, a operação da linha 14 não é necessária

Sua resposta está incorreta.
A resposta correta é:
para este código operar usando CASE, a operação da linha 14 é necessária

Questão **3**
Incorreto
Atingiu 0,00 de 1,00
Marcar questão

Considere o código a seguir:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity leading_zeros is
    port(ha:  in std_logic;
         portb:  in std_logic_vector(6 downto 0);
         y:  out integer range 0 to 8);
end entity;

architecture arq of leading_zeros is
signal x: std_logic_vector(7 downto 0);
begin

    process(x)
    variable temp: integer range 0 to 8;
    begin
        temp := 0;
        for i in 0 range loop
            exit when x(i) = '0';
            temp := temp + 1;
        end loop;
        y <= temp;
    end process;
end arq;
```

Com relação ao código apresentado, é correto afirmar que:

- n.d.a.
- Quando "1000" for conectado a x, y produzirá 1
- Quando "1000" for conectado a y, produzirá 0 ✗
- Quando "0101" for conectado a x, y produzirá 2
- Quando "0001" for conectado a x, y produzirá 3

Questão **4**
Correto
Atingiu 1,00 de 1,00
Marcar questão

Considere o código a seguir:

```
library ieee;
use ieee.std_logic_1164.all;

entity gera_clock is
    generic(N: integer := 50_000_000);
    portin(ck, rst:  in std_logic;
           clk:  out std_logic);
end entity;

architecture arq of gera_clock is
signal div: integer := 0;
begin

    process (ck,ck, rst)
    variable conta: integer range 1 to N := 1;
    variable v_clk: std_logic := '1';
    begin
        if(rst = '1') then conta := 1; v_clk := '0';
        elsif(ck'event and ck = '1') then
            if(conta = N-1) then conta := conta + 1;
                v_clk := not v_clk;
            else conta := conta + 1;
                v_clk := not(v_clk);
            end if;
        end if;
        clk <= v_clk;
    end process;
end arq;
```

Neste código, N corresponde à frequência do oscilador de um kit de desenvolvimento, responsável por fornecer 50 MHz de frequência na entrada mclk.
Para este código, a frequência que será gerada na saída clk valerá

- 2 Hz
- n.d.a.
- 10 Hz
- 1 Hz
- 5 Hz ✓

Sua resposta está correta.
A resposta correta é:
5 Hz

Questão **5**
Incorreto
Atingiu 0,00 de 1,00
Marcar questão

Considere o código a seguir:

```
library ieee;
use ieee.std_logic_1164.all;

entity gera_clock is
    generic(N: integer := 50_000_000);
    portin(ck, rst:  in std_logic;
           clk:  out std_logic);
end entity;

architecture arq of gera_clock is
signal div: integer := 0;
begin

    process (mclk, rst)
    variable conta: integer range 1 to N := 1;
    variable v_clk: std_logic := '1';
    begin
        if(rst = '1') then conta := 1; v_clk := '0';
        elsif(mclk'event and mclk = '1') then
            if(conta = N-1) then conta := conta + 1;
                v_clk := not v_clk;
            else conta := conta + 1;
                v_clk := not(v_clk);
            end if;
        end if;
        clk <= v_clk;
    end process;
end arq;
```

Este código foi submetido ao arquivo de testbench abaixo:

VHDL

```
library ieee;
use ieee.std_logic_1164.all;

entity tb_gera_clock is
    generic(N: integer := 50);
end entity;

architecture tb_arq of tb_gera_clock is
component gera_clock is port(mclk, rst: in std_logic;
    clk: out std_logic);
end component;

    uut: entity work.gera_clock(arq)
        generic map(N)
        port map t1_mclk, t_rst, t_clk);

    t_rst <= '1', '0' after clk_period/2;

    process begin
        t_mclk <= '0'; wait for clk_period/2;
        t_mclk <= '1'; wait for clk_period/2;
    end process;
end tb_arq;
```

A simulação deste código apresentará um período de clock no valor de:

- 100 ns
- 50 ns
- 20 ns
- n.d.a.
- 10 ns ✗

Sua resposta está incorreta.
A resposta correta é: 100 ns

Questão **6**
Correto
Atingiu 1,00 de 1,00
Marcar questão

Considere o código a seguir e seu respectivo testbench:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
use ieee.math_real.all;

entity contador_mb is
    generic(N:  integer := 8;
            bits:  integer := integer(ceil(log2(real(N))));
    portin(ck, rst:  in std_logic;
           q:  out std_logic_vector(bits-1 downto 0));
end entity;

architecture arq of contador_mb is
signal cont: integer range 0 to N-1;
begin

    process (ck, rst)
    variable conta: integer range 0 to N-1;
    begin
        if(rst = '1') then conta := 0 ;
        elsif(ck'event and ck = '1') then
            if(conta = N-1) then conta := conta + 1;
                conta := 0;
            else conta := conta + 1;
            end if;
        end if;
        cont <= conta;
        q <= std_logic_vector(to_unsigned(conta, bits));
    end process;
end arq;
```

VHDL Testbench

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
use ieee.math_real.all;

entity tb_contador_mb is
    generic(N:  integer := 8;
            bits:  integer :=
integer(ceil(log2(real(N))));
end entity;

architecture tb_arq of tb_contador_mb is
signal t_ck, t_rst: std_logic := '0';
signal t_q: std_logic_vector(bits-1 downto 0);
constant clk_period: time := 10 ns;
begin

    uut: entity work.contador_mb(arq)
        generic map(N, bits)
        port map (t_mclk, t_rst, t_q);

    t_rst <= '1', '0' after clk_period/2;

    process begin
        t_mclk <= '0'; wait for clk_period/2;
        t_mclk <= '1'; wait for clk_period/2;
    end process;
end tb_arq;
```

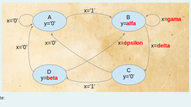
O código apresentado, ao ser submetido a uma simulação de acordo com os estímulos presentes no código de testbench, é correto afirmar que:

- será apresentada uma contagem de zero a oito
- será apresentada uma contagem de zero a quatro
- será apresentada uma contagem de zero a três
- será apresentada uma contagem de zero a sete ✓
- n.d.a.

Sua resposta está correta.
A resposta correta é: será apresentada uma contagem de zero a sete

Questão **7**
Incorreto
Atingiu 0,00 de 1,00
Marcar questão

A figura a seguir corresponde ao Diagrama de Transição de Estados de um detector da sequência "101", contendo incógnitas na cor vermelha.



Os valores para beta e épsilon são, respectivamente:

- 1 e 1
- 0 e 1 ✗
- n.d.a.
- 1 e 0
- 0 e 0

Sua resposta está incorreta.
A resposta correta é:
1 e 1

Questão **8**
Incorreto
Atingiu 0,00 de 1,00
Marcar questão

O código VHDL com incógnitas em vermelho a seguir corresponde a um detector da sequência "101".

```
1  library ieee;
2  use ieee.std_logic_1164.all;

3  entity detect is
4      port(clk:  in std_logic;
5           x:  in std_logic;
6           y:  out std_logic);
7  end detect;

8  architecture arq of detect is
9  type estado is (estado_A, estado_B, estado_C, estado_D);
10 signal pr_st, no_st: estado;
11 begin
12     process(clk, rst)
13     begin
14         if(rst = '1') then pr_st <= estado_A;
15         elsif(clk'event and clk = '1') then
16             pr_st <= no_st;
17         end if;
18     end process;

19     process(pr_st, x)
20     begin
21         case pr_st is
22             when estado_A =>
23                 y <= '0';
24                 if(x = '1') then no_st <= estado_B;
25                 else no_st <= estado_A;
26                 end if;
27             when estado_B =>
28                 y <= '0';
29                 if(x = '1') then no_st <= estado_C;
30                 else no_st <= estado_A;
31                 end if;
32             when estado_C =>
33                 y <= '0';
34                 if(x = '1') then no_st <= estado_D;
35                 else no_st <= estado_A;
36                 end if;
37             when estado_D =>
38                 y <= '1';
39                 if(x = '1') then no_st <= estado_B;
40                 else no_st <= estado_A;
41                 end if;
42         end case;
43     end process;
44 end arq;
```

Os valores que corretamente correspondem a neta e teta são, respectivamente:

- '0' e estado_A
- '0' e estado_D
- '0' e estado_C
- n.d.a. ✗
- '1' e estado_C

Sua resposta está incorreta.
A resposta correta é:
'0' e estado_C

Terminar revisão

← Teste Simulado para P2 | Seguir para... | Prova de Recuperação - 27/06/2022 →