

Universidad de Costa Rica
Facultad de Ingeniería
Escuela de Ingeniería Eléctrica
ED2371 - Capacitación en Diseño y Verificación de VLSI
Abril – Julio de 2023

Proyecto #1b

Diseño y simulación de una máquina de estados en Verilog.

Daniel Alejandro Rodríguez Alvarado C06575

Profesores:

Erick Carvajal Barboza, PhD
Luis Araya Carballo, MSc
Gerardo Castro Jiménez, MSc

21 de mayo del 2023

Índice

1. Objetivos	1
2. Descripción de la asignatura	1
3. Funcionamiento de la máquina de estados	2
4. Comprobación de que no existen estados redundantes	2
5. Asignación y codificación de estados	3
6. Resultados de la simulación	3

Índice de figuras

1. Diagrama ASM.	2
2. Formas de onda, simulación de la máquina de estados.	4

1. Objetivos

- Diseñar y simular una máquina de estados mediante el lenguaje de descripción de hardware Verilog

2. Descripción de la asignatura

El proyecto se puede realizar de forma individual o en grupos de máximo dos personas. En este proyecto, se espera que los estudiantes realicen las siguientes tareas:

1. Proponer una máquina de estados y realizar su diagrama ASM.
2. Programar la máquina de estados utilizando el lenguaje de descripción de hardware Verilog.
3. Crear un módulo de prueba donde se le indiquen diferentes entradas a la máquina de estados y se verifique su funcionamiento respecto a sus especificaciones.

3. Funcionamiento de la máquina de estados

La máquina de estados que se creó es la de una puerta de seguridad o caja fuerte. Posterior a recibir una solicitud inicial de ingreso mediante la señal SOLICITUD_ACCESO, le siguen cuatros estados que se encargan de obtener el PIN que introduce el usuario y luego se compara con un registro interno llamado CLAVE con la clave real. Para simular la acción del usuario introduciendo cada dígito, se creó una entrada de estímulo llamada DIGITO_STB. Para efectos de simulación, se utilizó la clave 6969. **Después** de haber introducido los cuatro dígitos, si el valor introducido y la clave coinciden, entonces se levantará la salida ACCESO_ACEPTADO, caso contrario se levanta ACCESO_DENEGADO. Ambas salidas son de **Mealy**.

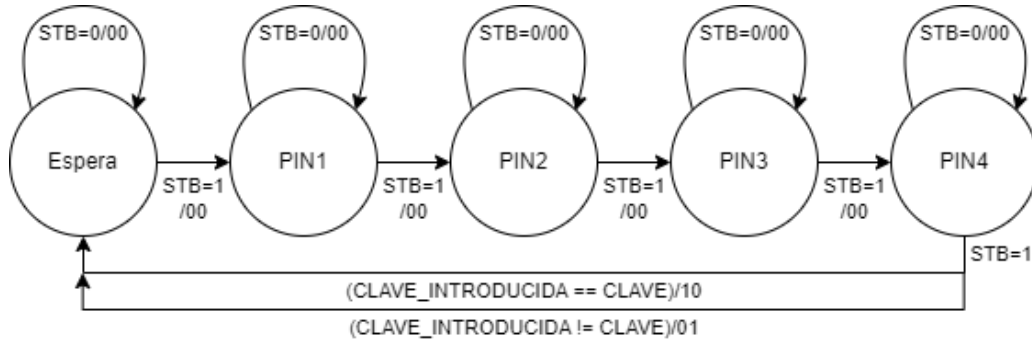


Figura 1: Diagrama ASM.

Tabla de próximo estado. Entrada: {RESET, (PIN == CLAVE), DIGITO_STB, SOLICITUD_ACCESO}. Salida: {ACCESO_ACEPTADO, ACCESO_DENEGADO}.

Estado Presente	1XXX	0101	0111	0011	0001	0100	0110	0010	0000
ESPERA	ESPERA/00	PIN1/00	PIN1/00	PIN1/00	PIN1/00	ESPERA/00	ESPERA/00	ESPERA/00	ESPERA/00
PIN1	ESPERA/00	PIN1/00	PIN2/00	PIN2/00	PIN1/00	PIN1/00	PIN2/00	PIN2/00	PIN1/00
PIN2	ESPERA/00	PIN2/00	PIN3/00	PIN3/00	PIN2/00	PIN2/00	PIN3/00	PIN3/00	PIN2/00
PIN3	ESPERA/00	PIN3/00	PIN4/00	PIN4/00	PIN3/00	PIN3/00	PIN4/00	PIN4/00	PIN3/00
PIN4	ESPERA/00	PIN4/00	ESPERA/10	ESPERA/01	PIN4/00	PIN4/00	ESPERA/10	ESPERA/01	PIN4/00

4. Comprobación de que no existen estados redundantes

A pesar de que no hayan muchas particiones debido a salidas, se comprueba que no existen estados redundantes gracias a los sucesores. Inicialmente se partió PIN4 del conjunto original P0 debido a las salidas, y posteriormente se hayó en los sucesores de PIN3. Luego de separar PIN3, este fue hallado en los sucesores de PIN2 y lo mismo con PIN1 y ESPERAR, finalizando la comprobación en los subconjuntos P4.

P0: {ESPERA, PIN1, PIN2, PIN3, PIN4}
P1: {ESPERA, PIN1, PIN2, PIN3} {PIN4}
P2: {ESPERA, PIN1, PIN2} {PIN3} {PIN4}
P3: {ESPERA, PIN1} {PIN2} {PIN3} {PIN4}
P4: {ESPERA} {PIN1} {PIN2} {PIN3} {PIN4}

5. Asignación y codificación de estados

Se utilizó el método de codificación One Hot:

```
// Codificación de estados
parameter ESPERA = 5'b000001;
parameter INTRODUCIENDO_PIN_1 = 5'b000010;
parameter INTRODUCIENDO_PIN_2 = 5'b000100;
parameter INTRODUCIENDO_PIN_3 = 5'b001000;
parameter INTRODUCIENDO_PIN_4 = 5'b010000;
```

6. Resultados de la simulación

En la simulación (ver figura 2) se introduce un total de 20 dígitos. Los primeros 4 dígitos introducen la clave correcta, de modo que se activa la salida ACCESO_ACEPTADO. Posteriormente, se introduce una clave incorrecta, lo cual activa la señal ACCESO_DENEGADO. Ambos casos se repiten una vez más. Finalmente, se corrobora la funcionalidad de la entrada RESET, al devolver la máquina al estado ESPERA (0x01) a pesar de estar en medio proceso de solicitud. Nótese que los dígitos introducidos después del reset no son añadidos al registro CLAVE_INTRODUCIDA, esto se debe a que la solicitud de acceso previa al RESET perdió su validéz.

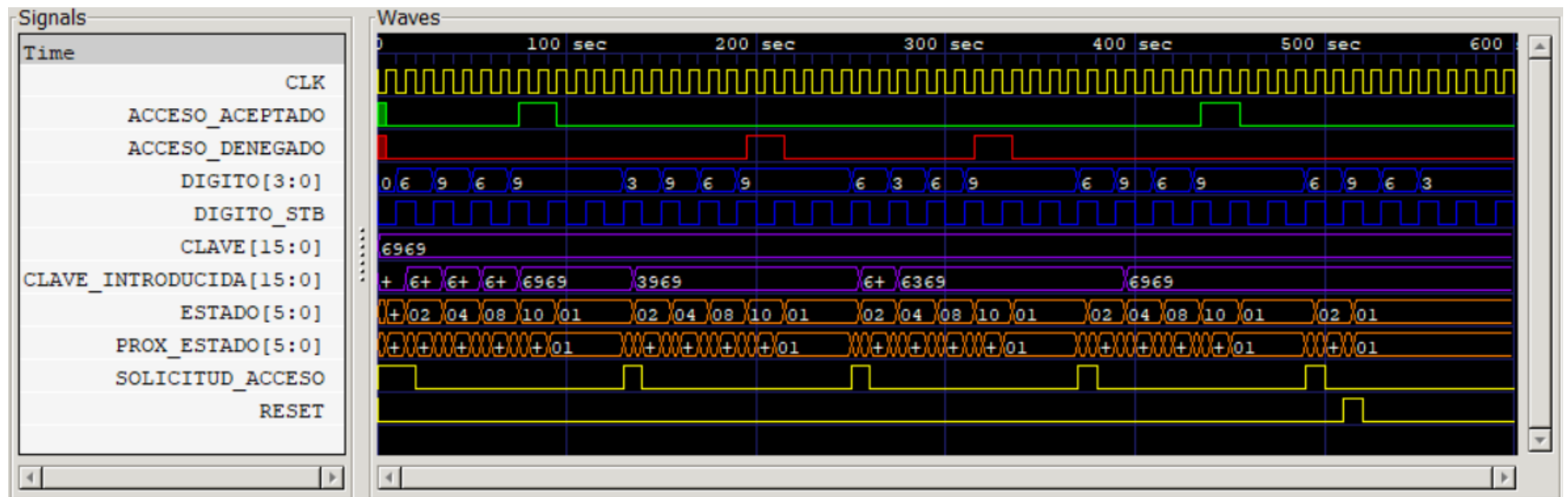


Figura 2: Formas de onda, simulación de la máquina de estados.