

高速 AD/DA 模块

使用指南 Rev 1.3

黑金动力社区 编

技术支持

我们技术支持是通过论坛进行的,如果您有任何与小黑有关的技术问题,请发帖到黑金动力社区的 FPGA 黑金开发板专栏,我们有工程师负责为您解决相关问题。同时,教程、视频、资料等更新,全部通过黑金动力社区网站来进行发布,敬请关注。网址:<http://www.heijin.org>

常见问题解答

在论坛中,我们建立了一个归纳贴,将常见的问题都收集在了这个贴下面,如遇到问题,请大家先去里面查看,如果没有解决,再在相应的板块提问。网址:<http://www.heijin.org/viewthread.php?tid=9470&extra=page%3D1>

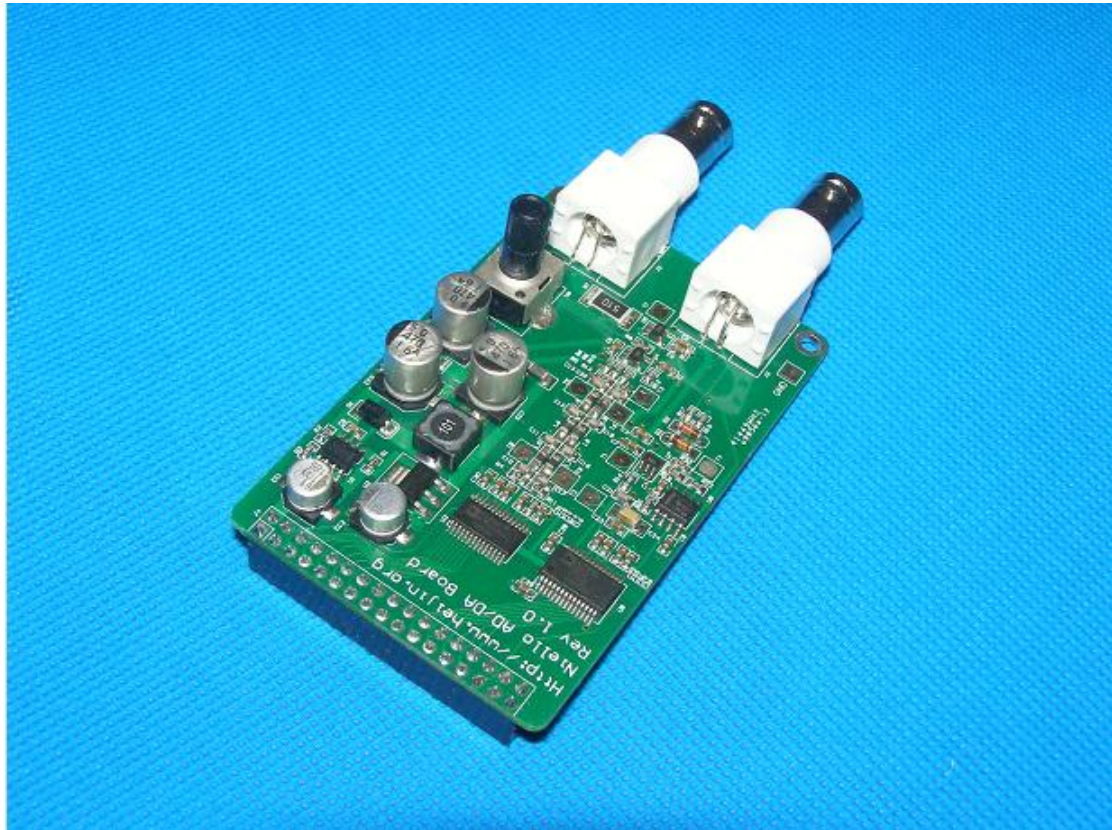
官方博客

黑金动力社区官方博客负责发布相关技术博文,产品信息,及各种资料的更新,地址:<http://kingst.cnblogs.com>

官方淘宝店

黑金官方淘宝店负责销售有黑金动力社区设计研发的各种产品,如有需要请登录黑金动力社区官方淘宝店,地址:<http://oshcn.taobao.com>

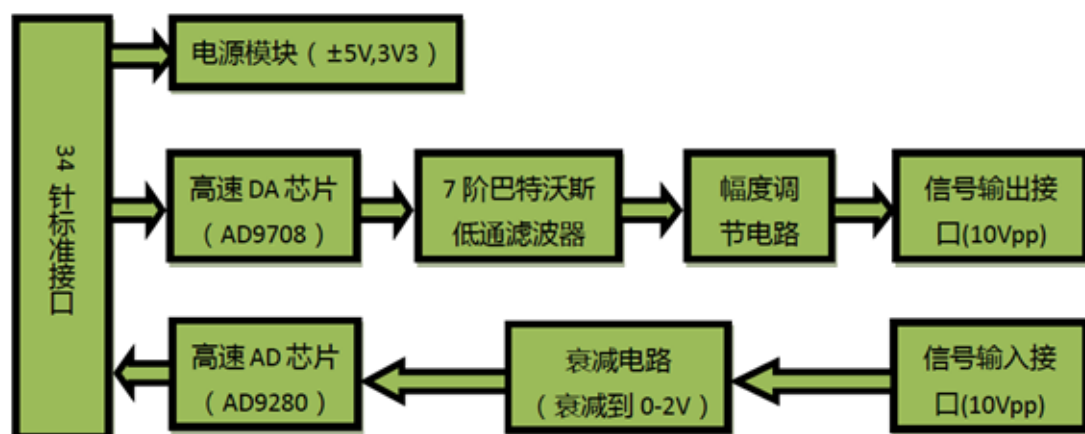
一、 产品图片



二、 致谢

感谢您选购由黑金动力社区推出的高速 AD/DA 模块，此模块需要与其他开发板配合使用，暂时支持 FPGA 黑金开发板（DB2C8）和 FPGA 黑金开发板学生版（DB2C5），后续支持硬件将通过黑金动力社区更新。

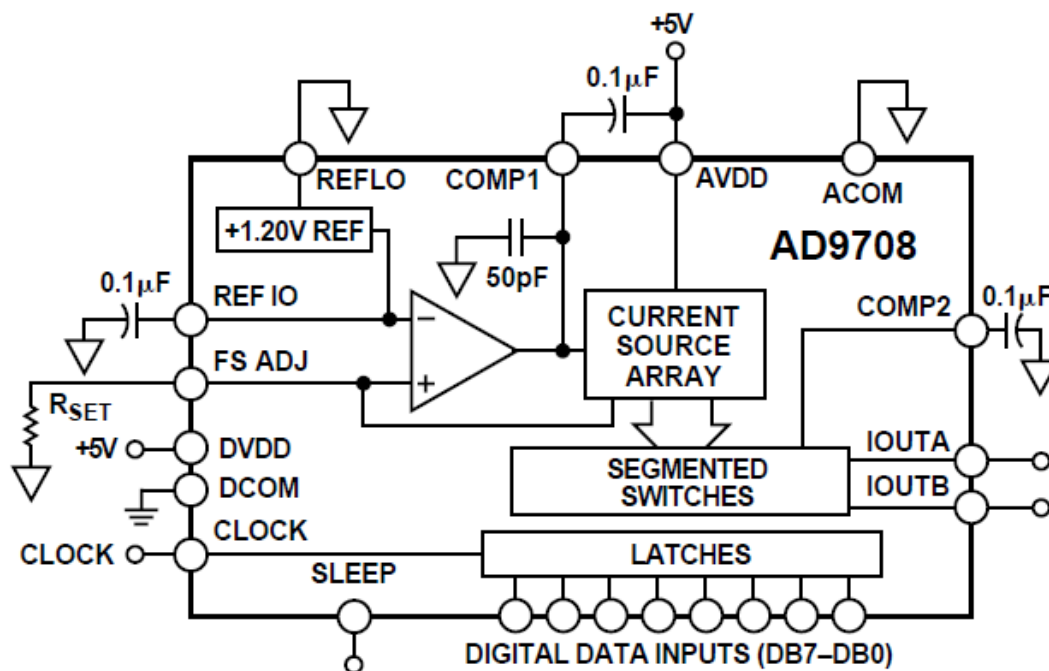
三、 硬件结构



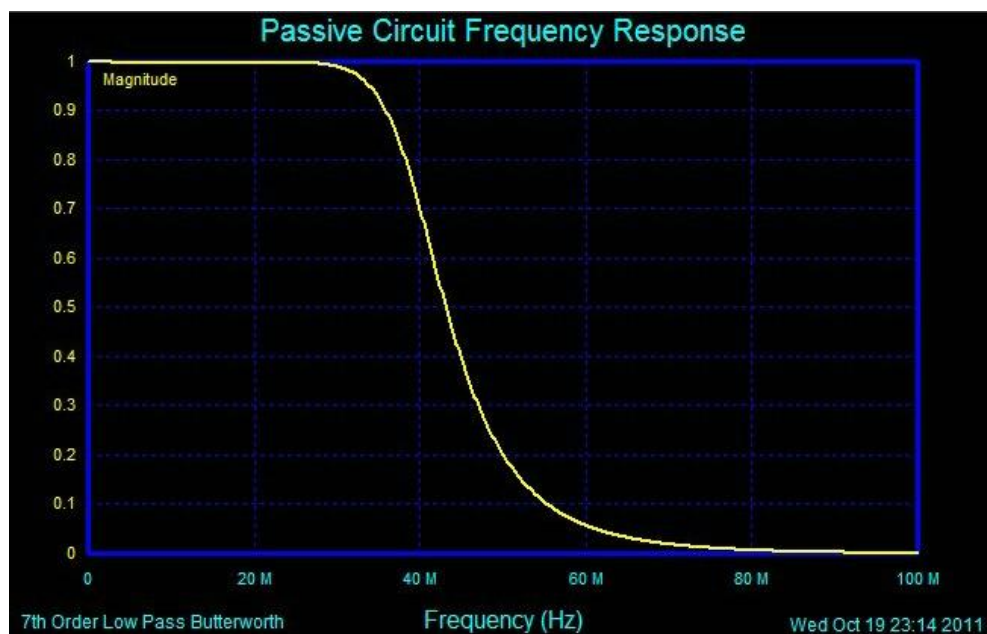
四、 数模转换 (DA) 电路

如硬件结构图所示，DA 电路由高速 DA 芯片、7 阶巴特沃斯低通滤波器、幅度调节电路和信号输出接口组成。

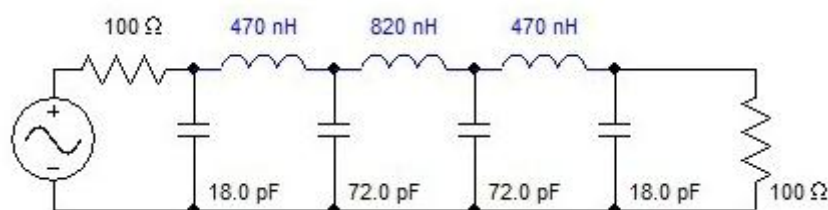
我们使用的高速 DA 芯片是 AD 公司推出的 AD9708。AD9708 是 **8 位 ,125MSPS** 的 DA 转换芯片，内置 1.2V 参考电压，差分电流输出。芯片内部结构图如下图所示



AD9708 芯片差分输出以后，为了防止噪声干扰，电路中接入了 7 阶巴特沃斯低通滤波器，带宽为 40MHz，频率响应如下图所示



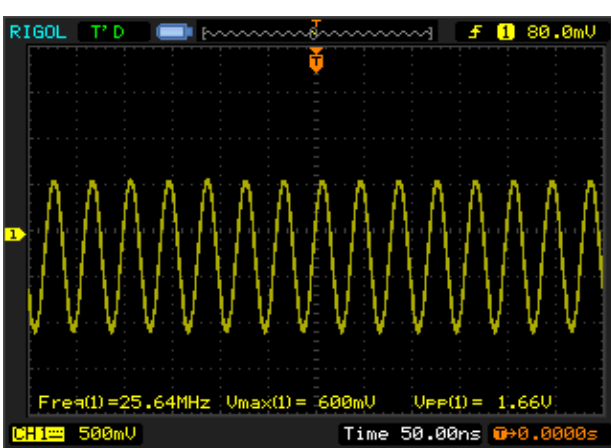
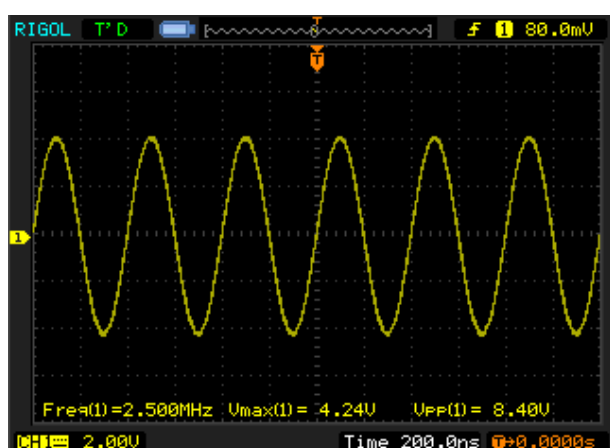
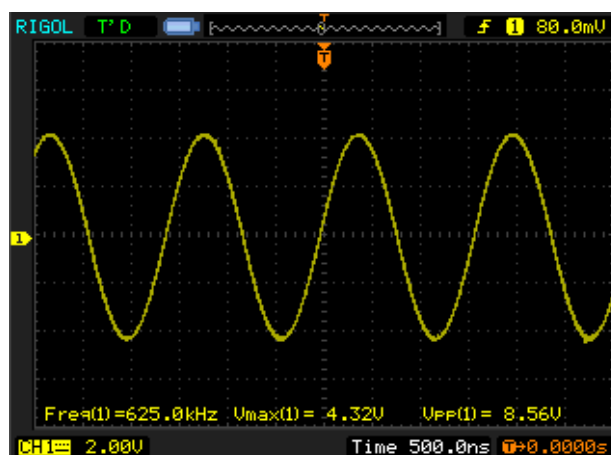
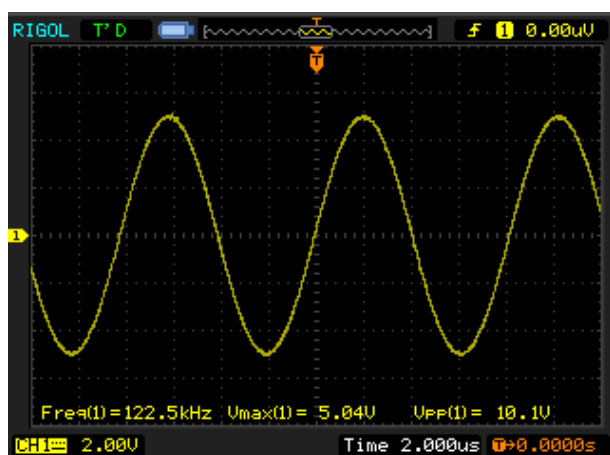
滤波器参数如下图所示



滤波器之后，我们使用了 2 片高性能 145MHz 带宽的运放 AD8056，实现差分变单端，以及幅度调节等功能，使整个电路性能得到了最大限度的提升。幅度调节，使用的是 5K 的电位器，最终的输出范围是 -5V~5V (10Vpp)。

注：由于电路器的精度不是很精确，最终的输出有一定误差，有可能波形幅度不能达到 10Vpp，也有可能出现波形削顶等问题，这些都属正常情况。

五、 波形展示

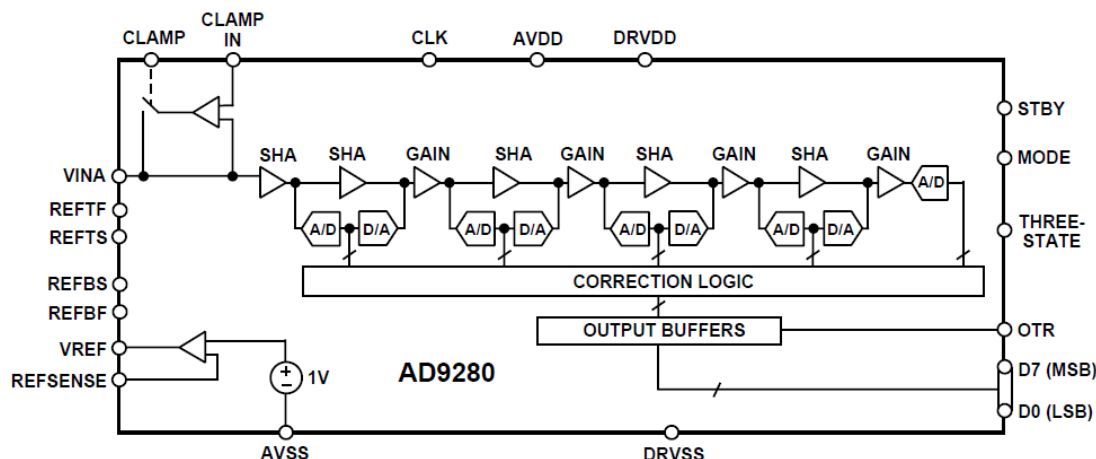


注：由于幅频特性的影响，随着频率的增加，波形的幅度会不断减小。

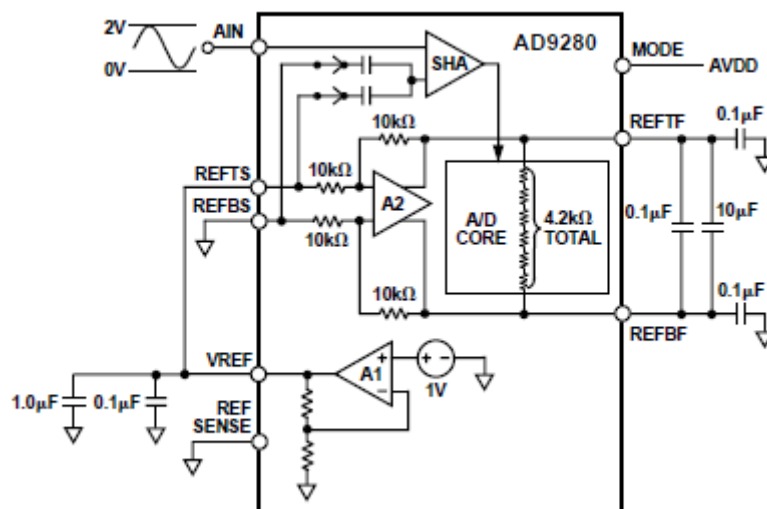
六、模数转换 (AD) 电路

如硬件结构图中所示，AD 电路由高速 AD 芯片、衰减电路和信号输入接口组成。

我们使用的高速 AD 芯片是由 AD 公司推出的 **8 位，最大采样率 32MSPS** 的 AD9280 芯片。内部结构图如下图所示



根据下图的配置，我们将 AD 电压输入范围设置为：0V~2V



在信号进入 AD 芯片之前，我们用一片 AD8056 芯片构建了衰减电路，接口的输入范围是-5V~+5V(10Vpp)。衰减以后，输入范围满足 AD 芯片的输入范围 (0~2V)。转换公式如下：

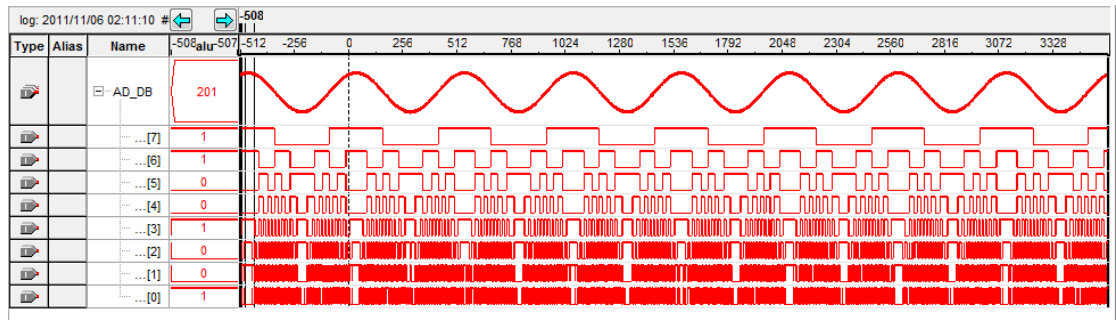
$$V_{AD} = \frac{1}{5} V_{IN} + 1$$

当输入信号 $V_{in}=5(V)$ 的时候，输入到 AD 的信号 $V_{ad}=2(V)$ ；

当输入信号 $V_{in}=-5(V)$ 的时候，输入到 AD 的信号 $V_{ad}=0(V)$ ；

七、SignalTap II 波形

下图波形为利用 Quartus II 里面的工具 SignalTap II 采集的数据波形。



八、接口定义(原理图中的 J4,PCB 上带方框的引脚为 1 脚)



引脚	内容	备注	引脚	内容	备注
1	DCOM	地	2	VCC	+5V
3			4		
5	DACLK	DA 时钟线	6	DADB7	DA 数据线
7	DADB6	DA 数据线	8	DADB5	DA 数据线
9	DADB4	DA 数据线	10	DADB3	DA 数据线
11	DADB2	DA 数据线	12	DADB1	DA 数据线
13	DADB0	DA 数据线	14		
15			16		
17			18		
19			20		
21	ADDB0	AD 数据线	22	ADDB1	AD 数据线
23	ADDB2	AD 数据线	24	ADDB3	AD 数据线
25	ADDB4	AD 数据线	26	ADDB5	AD 数据线
27	ADDB6	AD 数据线	28	ADDB7	AD 数据线
29	ADCLK	AD 时钟线	30		
31			32		
33			34		

九、DA 实验操作步骤

1. 首先，将 ADDA 模块与 FPGA 黑金开发板的 34 针标准扩展口相连接（在掉电情况下）。
2. 做 DA 实验的时候，需要有示波器配合，将 AD 输出端口（近电位器的 BNC 接口 J2）通过我们提供的连接线与示波器接口相连接。
3. 利用 Quartus II 软件，将程序下载到 FPGA 中（测试程序在我们论坛中可以下载）。
4. 调整示波器，使其正确显示完整波形。
5. 您可以通过电位器（U6）来手动调节波形的幅值。

十、AD 实验操作步骤

1. 首先，将 ADDA 模块与 FPGA 黑金开发板的 34 针标准扩展口相连接（在掉电情况下）。
2. 这个实验需要 DA 实验的配合，就是说我们需要将 DA 输出的信号传给 AD 输入口。当然，如果您有信号源，那就更好了，利用我们提供的连接线将信号源的输出接口与 AD 输入接口（J3）相连（注：AD 口输入范围：-5V~+5V）。
3. 利用 Quartus II 软件，将程序下载到 FPGA 中（测试程序在我们论坛中可以下载）。
4. 利用 SignalTap II 对数据进行实时采集。

十一、注意

1. 此 ADDA 模块可以直接与更新后的 FPGA 黑金开发板、FPGA 黑金开发板学生版相连使用。之前版本的黑金开发板（未引出标准 34 针扩展口的）不能与此模块相连，需要通过跳线来实验。

