**[1]設計者姓名及連絡電話**

學生姓名：吳承蒼

連絡電話：0966701538

**[2]專題名稱**

中文專題名稱 : 局部二值模式

英文專題名稱 : Local Binary Patterns

**[3]全新設計或改版說明**

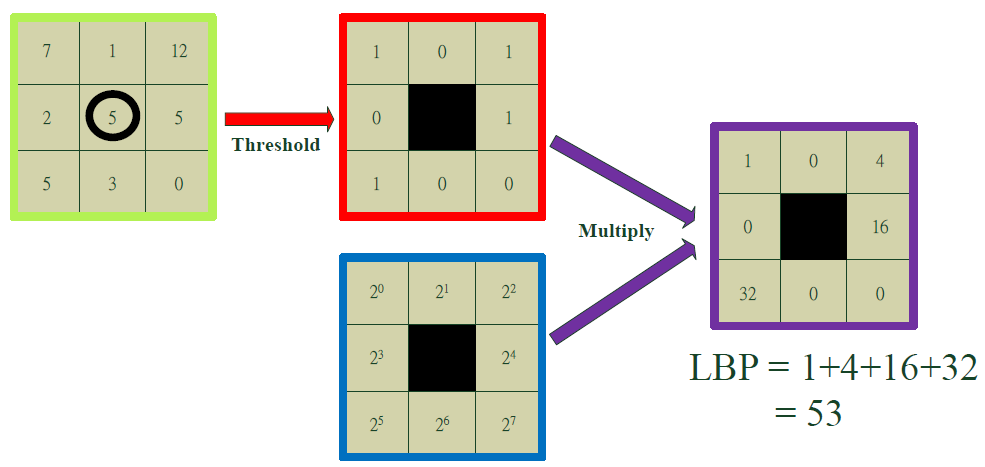
此案件為設計者全新設計

**[4]原理及架構說明**

此電路運作原理是將一張圖片的每一個pixel與周圍的八個pixel互相比較大小後，再依序以其各自的權重值相加成為此中心pixel的lbp值(lbp\_data)，如下圖所示，計算公式如下：

一張含有 文字 的圖片

自動產生的描述



將以上計算方法套用至整張圖片便為此電路的目的。

一張含有 文字, 個人, 女性, 白色 的圖片

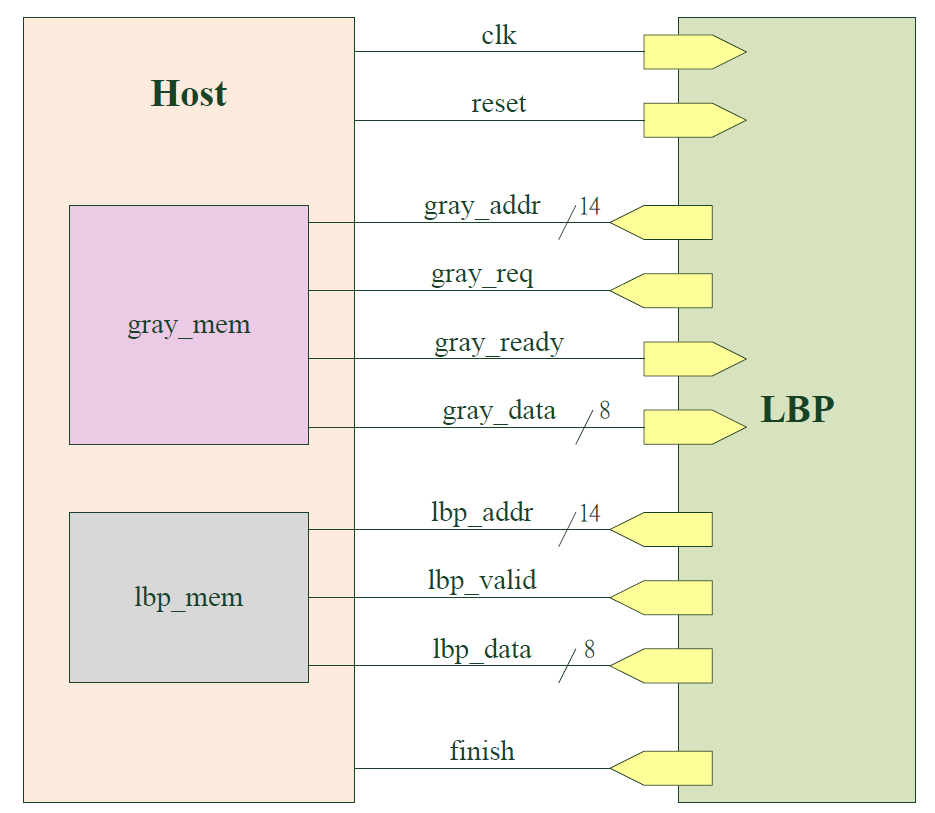
自動產生的描述 一張含有 文字, 相框 的圖片

自動產生的描述

輸出灰階特徵影像

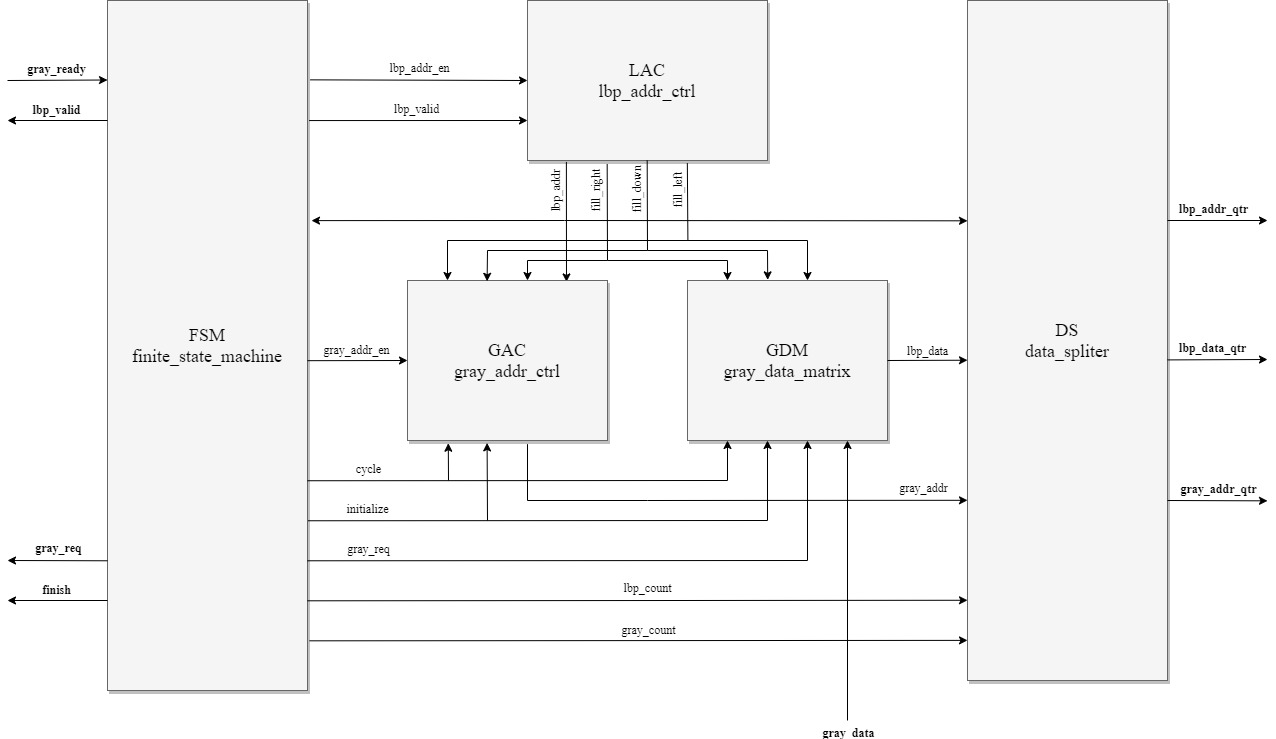
輸入灰階影像

此電路採用的系統架構如下：



為應付腳位數量的要求，14位元的gray\_addr和lbp\_addr更改成為4位元的gray\_addr\_qtr和lbp\_addr\_qtr，同理8位元的lbp\_data更改成為2位元的lbp\_data\_qtr。

以下為LBP的電路內部架構(clk和reset腳位省略)：



**FSM (finite state machine):**

此電路的狀態機，目的為控制GAC、LAC、GDM在正確的時間更改正確的值，也是控制DS依序輸出gray\_addr\_qtr、lbp\_addr\_qtr、lbp\_data\_qtr的正確部分。

**LAC (lbp address control):**

控制lbp\_addr的輸出。lbp\_addr即為GDM中心pixel的位址，移動的方式為由左向右後下降一格再由右向左，以上方法持續到lbp\_addr到達圖片左下角的pixel位址為止。

**GAC (gray address control):**

控制gray\_addr的輸出。GDM需要有gray\_addr向Host端(虛擬記憶體)提取正確的gray\_data，而gray\_data的取決方式與lbp\_data有關，並且也要得知lbp\_addr未來的走向，才可以得知應該要取用哪些gray\_addr把正確的gray\_data輸入進GDM裡。

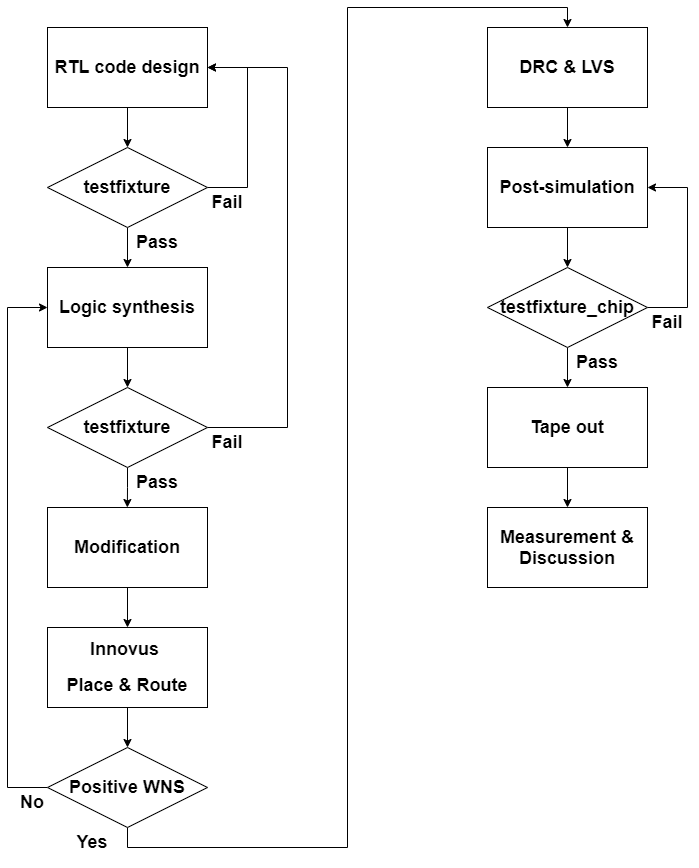
**GDM (gray data matrix):**

在一開始有提及lbp\_data的計算方法，是將中心gray\_data的值與其鄰近九宮格的其他8個gray\_data進行比較，在依各自的權重值相加後得到lbp\_data。因此這裡採用了9個DFF來達成此目的，此九宮格會依據當下一個lbp\_addr的位址及走向來決定此9個DFF之間要如何去賦予下一個值，讓這9個DFF看起來就像一個九宮格在向特定方向移動一樣。

**DS (Data spliter):**

此為簡單的一個資料分類區，gray\_addr與lbp\_addr、lbp\_data會分別以4 to 1的多工器藉由gray\_count、lbp\_count的值依序輸出正確的部分(gray\_addr\_qtr、lbp\_addr\_qtr、lbp\_data\_qtr)，達到腳位限縮的目的。

**[5]設計流程**

****

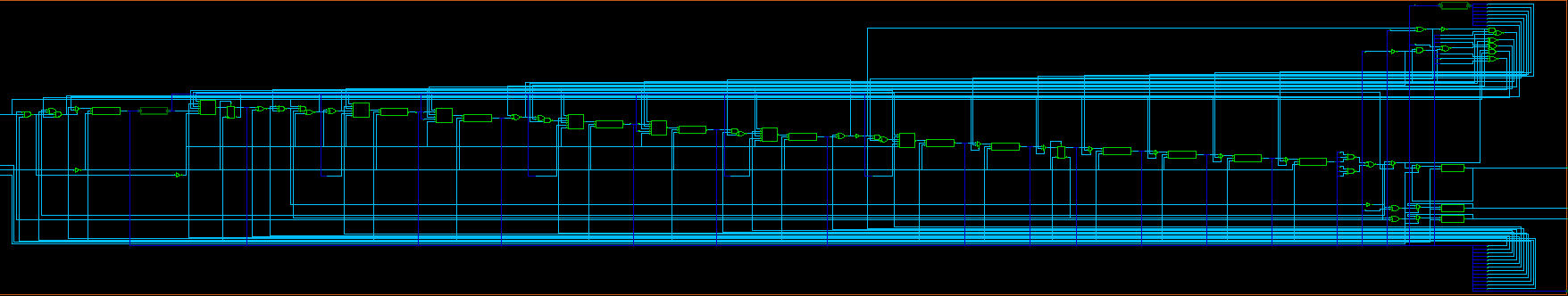
**[6]電路詳圖**

**FSM:**

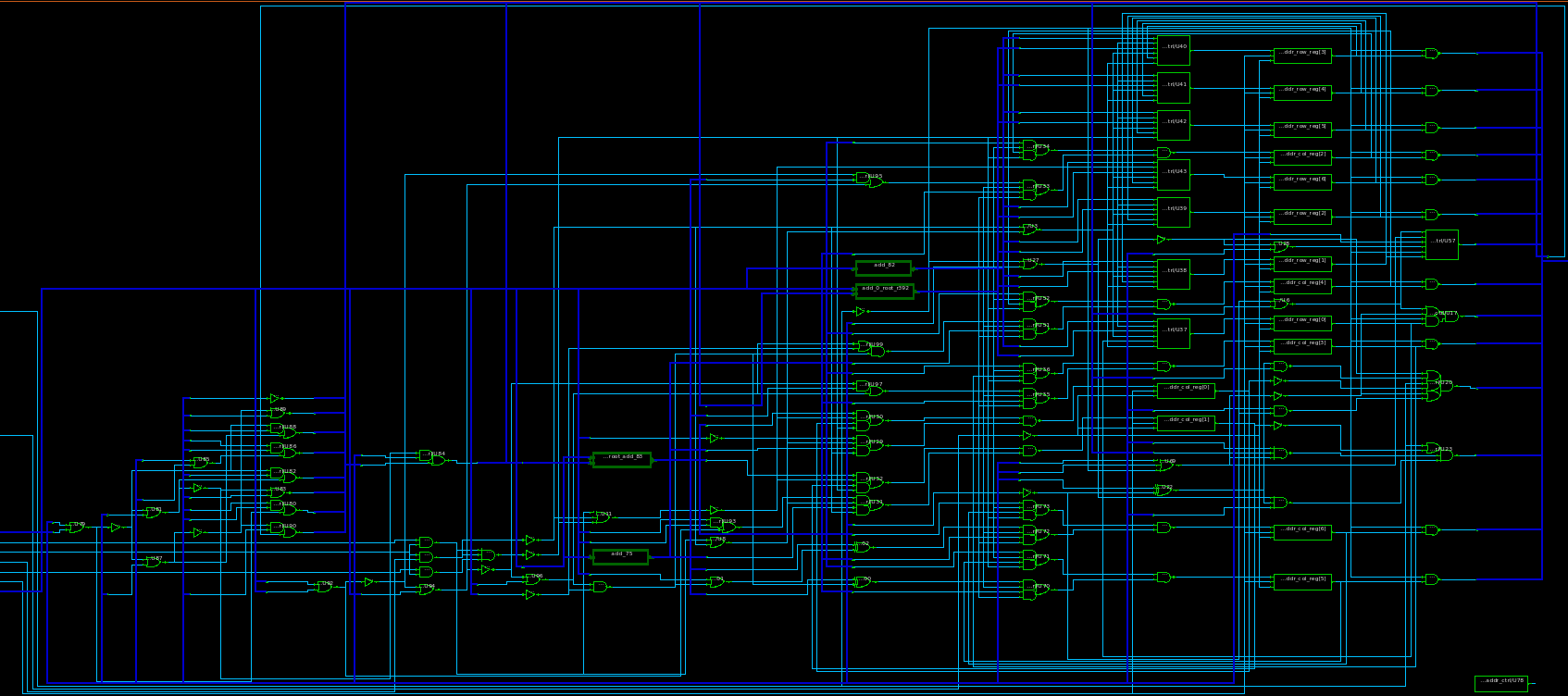
**一張含有 文字, 時鐘, 顯示 的圖片

自動產生的描述**

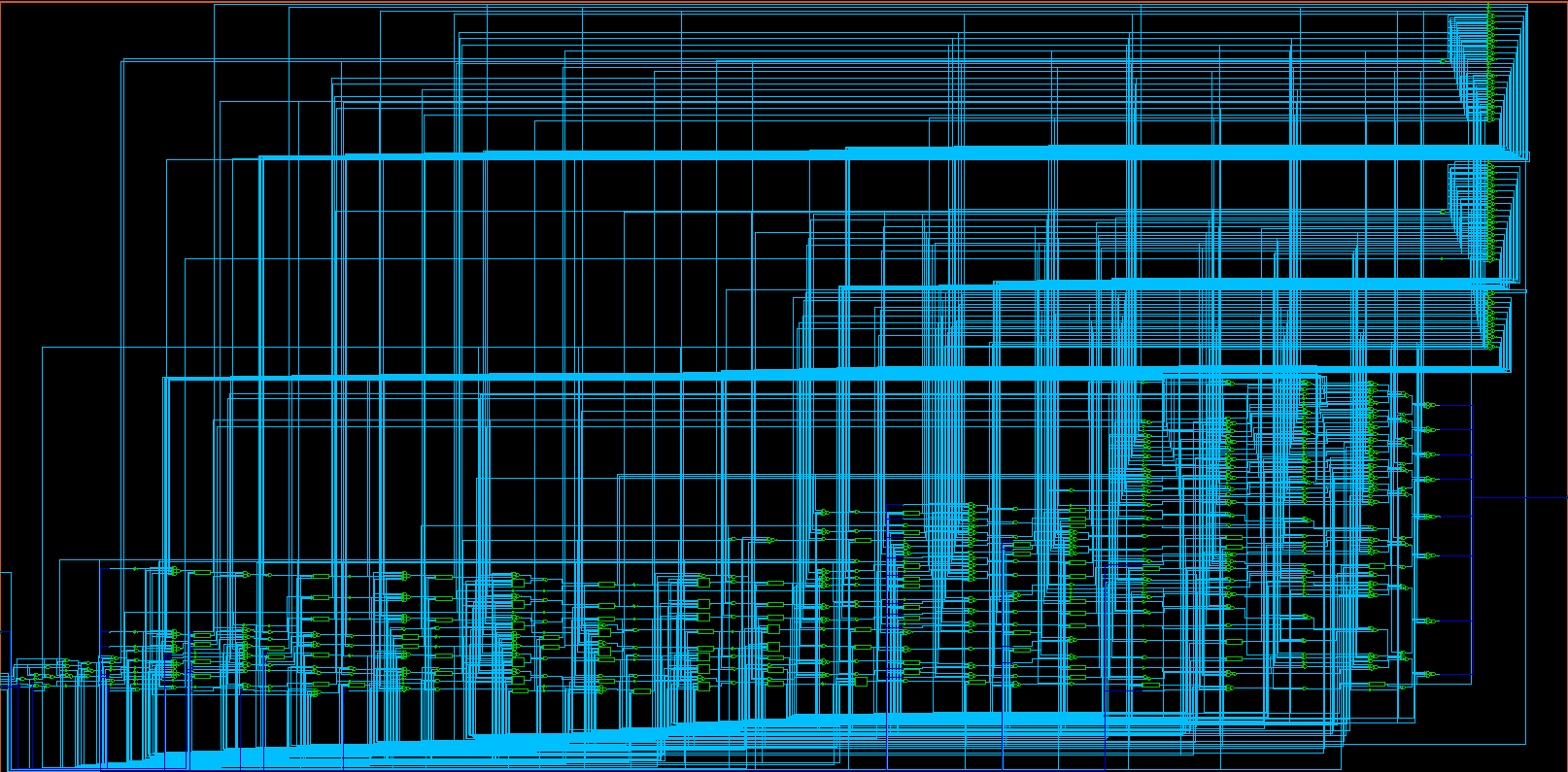
**LAC:**

****

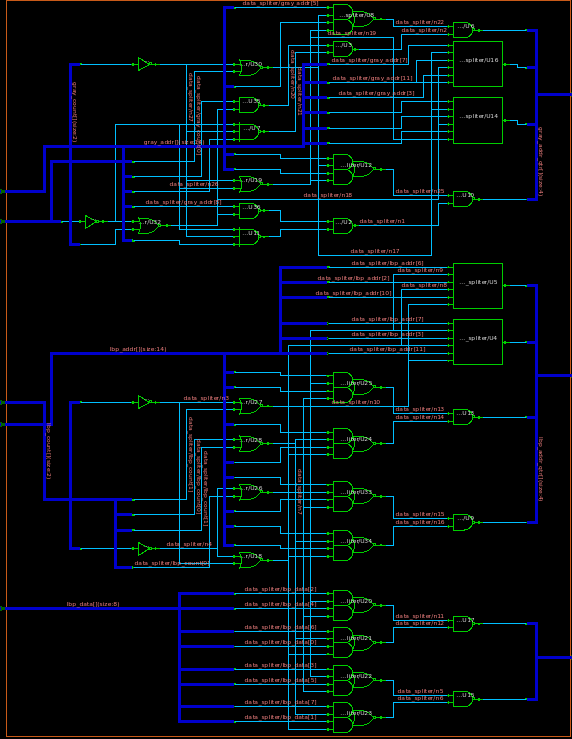
**GAC:**

****

**GDM:**

****

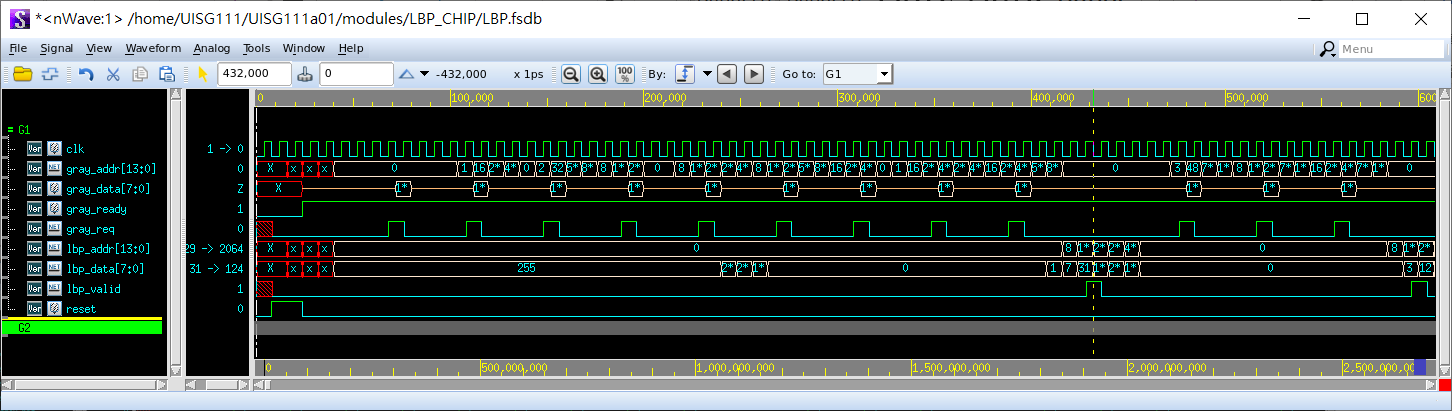
**DS:**



**[7]模擬結果**

**Pre-layout simulation：**

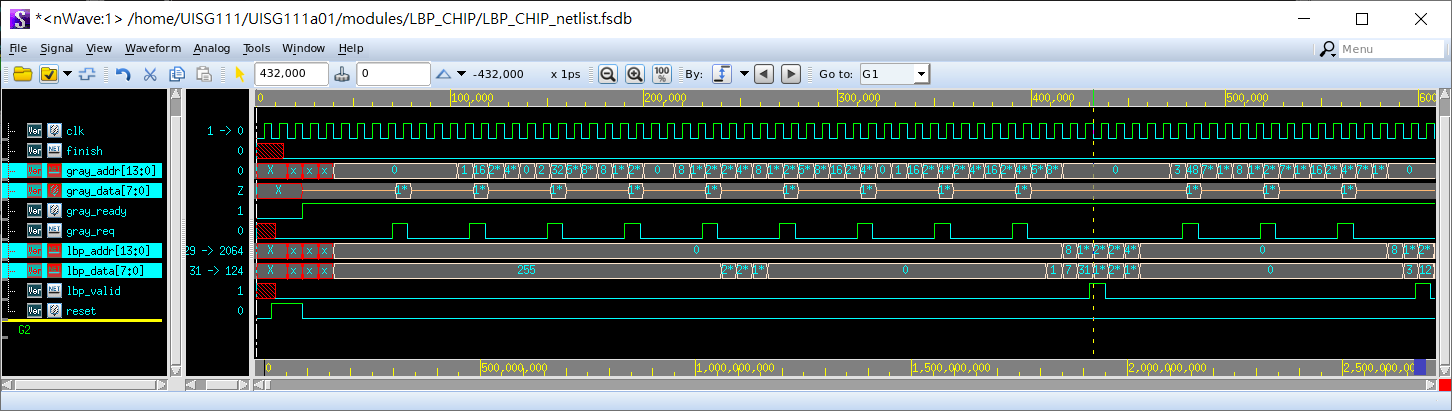
**一張含有 文字 的圖片

自動產生的描述**

**Post-layout simulation：**

**一張含有 文字 的圖片

自動產生的描述**

****

由以上的pre-layout和post-layout的波形圖可見，兩者的波形幾乎完全一致，差別只在於微小的延遲上。另外兩者皆有通過對應的testbench測試，因此可以確定電路行為正確。

**[8]量測考量**

以FPGA進行量測，並且輸入預期範圍內的CYCLE進行測定。因本次電路為用虛擬記憶體存取信號控制電路，因此會利用Quartus等軟體創造記憶體來進行測量。

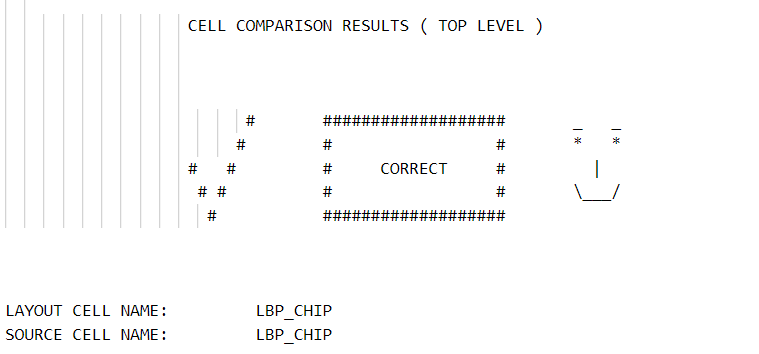
**[9]佈局驗證結果錯誤說明**

**DRC：**

找到的錯誤如下表，均為DRC可容忍之假錯。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| UMC18 可允許DRC假錯列表 | | | | | |
| ■RECOMMEND\_4.14L | ■4.1M | ■4.20G | | | ■4.22G |
| ■4.24G | ■4.26G | ■4.28G | | | ■4.31F |
| □4.20C | □4.22C | □4.24C | | | □4.26C |
| □4.28C | □4.29NOTICE | □4.01Z.NO\_IND\_OD | | | ■4.14Z.NO\_IND\_PO1 |
| ■4.20F.NO.IND\_M1 | ■4.22F.NO\_IND\_M2 | ■4.24F.NO\_IND\_M3 | | | □4.26F.NO\_IND\_M4 |
| □4.28F.NO\_IND\_M5 | □4.31E.NO\_IND\_M6 | □6Bb.ME1 | | | ■Sanity\_1 |
| ■IO5.1.W2 | ■IO5.1.R1 | □IO5.2.1.W1.a | | | □IO5.2.1.W1.b |
| ■IO5.2.2.L1.a | ■IO5.2.2.L1.c | □IO5.5.4.Note | | | ■Latch.4.1 |
| ■Latch.4.2 | ■Latch.4.4.pick | □Latch.4.5 | | | ■Latch.4.5.pick |
| ■Latch.4.6.guard | ■Latch.4.7 | ■Latch.4.7.guard | | | ■Latch.4.10 |
| ■Latch.5.1 | □Latch.5.3 | □Latch.5.4 | | | ■Latch.5.5 |
| ■Latch.5.6 | ■Latch.4.8\_Latch.4.9\_Latch.5.2 | | | | |
| □5.2A\_M3 | □5.2B\_M3 | | □Off\_Grid | □SkewEdge | |

**LVS：**

****

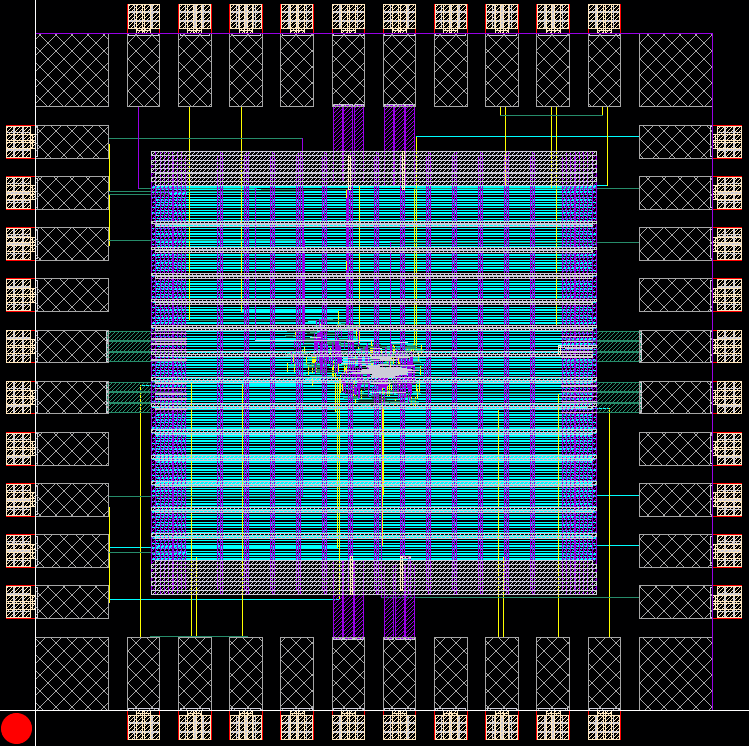
**[10]佈局平面圖**

**Chip Size:** 1415 um x 1415 um

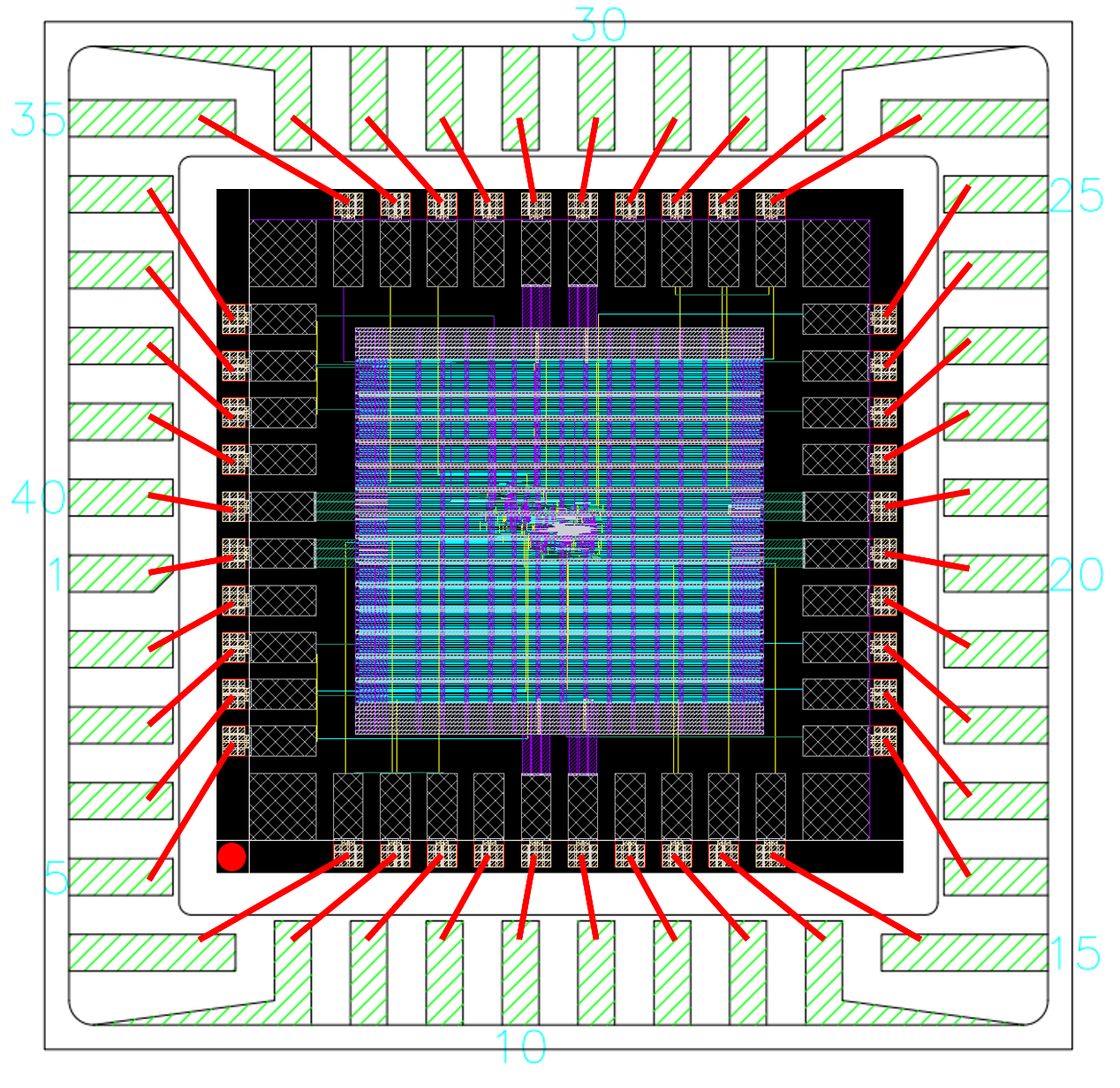
**Transistor/Gate Count:** 1996 Gates

**Power Dissipation:** 1.1277mW

**Max. Frequency:** 125 MHz



**[11]打線圖**



**[12]預計規格列表**

|  |  |  |  |
| --- | --- | --- | --- |
| Specification | Spec. | Pre-simulation | Post- simulation |
| Power Supply (V) | 3.3 | 3.3 | |
| Frequency (MHz) | > 100 | 125 | |
| Chip size (um2) | 1500 x 1500 | 1415x 1415 | |

**[13]參考文獻**

<http://www2.cic.org.tw/~shuttle/drc/all/U18.pdf>