Projektarbeit GPU
Matrix-Vektor-Produkt

Daniel Emil Giring

vorgelegt bei

Dr. Ralf Seidler

Fakultät für Mathematik und Informatik

Friedrich-Schiller-Universität Jena

Contents

1 Motivation

Matrix Vektor Operationen gehören sind Elementar für verschiedene Berechnungen. Daher ist es von großer Bedeutung diese zu optimieren um Rechenzeit und andere Ressourcen zu sparen. Bei Matrix-Vektor Operation werden viele, bis auf den Indize, gleiche Operationen durchgeführt. Daher eignen sich Grafikarten gut für diese, da GPU sehr effizient bei hochparallelen Anwendungen mit gleichen Operationen sind. Im folgenden werden vier Algorithmen zu Matrix-Vektor vorgestellt, deren Implementierung in Cuda besprochen und deren Performance diskutiert.

2 Algorithmen zur Matrix-Vektor-Operation

Aus der linearen Algebra kennen wir das Matrix-Vektor-Produkts wie folgt: Sei $A \in \mathbb{R}^{n \times n}$, $x \in \mathbb{R}^n$,. Dann errechnet sich das Matrix-Vektor-Produkt wie folgt: $b = Ax, b_j = \sum_{i=1}^{n} a_{i,j} \cdot x_i$. In den folgenden Implementierungen des Matrix-Vektor-Produkts auf Grafikkarten bekommt jeder thread ein Produkt $a_{i,j} \cdot x_i$ zur Berechnung. Diese Produkte werden dann mittels einer Summer über i reduziert, sodass das Endergebnis in einen Vektor b gespeichert werden kann.

2.1 Sharedmemory mit wiederholten Aufruf des Kernels

Für diese Implementierung benötigen wir neben einer $n \times n$ Matrix A und eine n-dimensionalen Vektor x einen Speicher für das Ergebnis und die Zwischenergebnisse buff, eine boolvariable doComputation sowie eine Größe toreduce.
Bevor ein Kernel gestartet werden kann muss eine Blockgröße und ein grid definiert werden. Da wir mit einer zweidimensionalen Matrix rechnen eignen sich zweidimensionale Threadblöcke. In meiner Implementierung kann der Benutzer die Größe der Threadblöcke selbst einstellen, wobei sx die Anzahl der Spalten und sy die Anzahl der Zeilen eines threadblockes darstellt. Auß Performancegründen ist es wichtig für sx und sy zweier Potenzen einzugeben. Außerdem muss beachtet werden, dass $sx \cdot sy \leq 1024$, da ein Threadblock maximal 1024 threads enthalten kann. Die Anzahl an thread-Blöcken, welche gestartet werden, werden in der dim3 Variable grid bzhw, itgrid gespeichert. Dies wird hier auch wieder in zwei Dimensionen dargestellt, da somit man die zweidimensionale Matrix gut in zweidimensionale Blöcke aufteilen kann.
Am Anfang wir die boolvariable doComputation auf true gesetzt, toreduce auf n, da jeweils n Produkte zu einer Summe zu reduzieren sind. Dem Kernel wird die Matrix A, x, doComputation, die Anzahl der Spalten der Matrix (size), sowie toreduce übergeben. Nun kann der Kernel das erste mal gestartet werden.
Es werden bei der ersten Ausführung des Kernels size/sx*size/sy viele Threadblöck gestartet. Mann kann sich die Gesamtheit der Threadblöcke wieder wie eine Matrix vorstellen. In jedem Threadblock wird zunächst von den verschiedenen threads das Produkt $a_{i,j} * x_i$ ausgerechnet. Dabei wird die Matrix A so aufgeteilt, dass die verschiedenen Threadblöcke das jeder Matrixeintrag $a_{i,j}$ in genau einen threadblock von genauen einen Thread mit dem dazugehörigen Vektoreintrag x_i multipliziert wird. Sei A eine $n*n$ Matrix, so starten wir $n/sx*n/sy$ Threadblöcke der Größe $sx * sy$. Jeder threadblock rechnet somit sy Zeilen der

Länge sx aus A. Das Ergebnis dieser Multiplikation schreiben die threads dann in einen shared Memory innerhalb des thread Blocks. Der shared Memory wird so indeziert, dass dieser Wieder als Matrix der Größe sx*sy gelesen werden kann. Dabei werden Produkte in eine Zeile geschrieben, beiden den die Faktoren $a_{i,j}$ auch in der Ursprungsmatrix A innerhalb einer Zeile standen. Über diese Zeile kann jetzt innerhalb des threadblocks reduziert werden. Dafür wird sich die ... Pointer Reduzierung zu Nutzen gemacht. Damit liefert jeder threadblock als Zwischenergebnis ein Spaltenvektor der Größe Länge sy. Diese Spaltenvektoren werden jetzt in einem Zwischenspeicher buff geschrieben. Dabei werden die Ergebnisse der untereinanderliegenden Threadblöcke in gleicher Reihenfolge in buff untereinander, die Ergebnisse der nebeneinanderliegenden Threadblöcke in buff nebeneinander gespeichert. Das Zwischenergebnis ist eine Matrix mit $size/sx$ vielen Spalten und $size$ vielen Zeilen.
Diese Matrix können wir nun wieder an den Kernel übergeben, dafür müssen wir zunächst noch ein Paar Vorbereitungen treffen. Da wir von allen Einträgen $a_{i,j}$ das Produkt mit der entsprechenden Vektorkomponente ausgerechnet haben, wird die Variable doComputation auf false gesetzt. Da im Zwischenergebnis nur noch $size/sx$ viele Zeileneinträge zu reduzieren sind, wird toreduce auf size/sx gesetzt. Da das Zwischenergebnis nur toreduce=$size/sx$ viele Spalten besitzt werden nun weniger Threadblöcke in Zeilen benötigt. Somit wird die x. dimension des grids toreduce/sx gesetzt.(toreduce viele Einträge sind pro Zeile zu reduzieren, sx viele Zeileneinträge pro threadblock). buff, welcher das Zwischenergebnis enthällt, toreduce, doComputation und size wird an den kernel übergeben. Da doComputation auf false gesetzt ist werden im Kernel die zu den threadblock gehörigen Matrixeinträge des Zwischenspeichers buff direkt in den shared Memory geschrieben und es muss keine Berechnung dafür durchgeführt werden. Nun wird wie im ersten Schritt über die Zeilen des Shared Memory reduziert. Das Zwischenergebnis eines Threadsblocks ist wieder ein Spaltenvektor mit sy vielen Spalten. Die Spaltenvektoren werden wieder in den Zwischenspeicher buff geschrieben, wobei wie die Spaltenvektoren der Threadblöcke untereinander untereinander gespeichert werden, die Spaltenvektoren der Threadblöcke nebeneinander werden wieder nebeneinander gespeichert. Das Zwischenergebnis hiervon stellt ein Matrix mit sy vielen spalten und $toreduce/sx$ vielen Zeilen durch. Am Ende wird toreduce dividiert durch sx da im neuen Zwischenergebnis nur noch $toreduce/sx$ viele Zeileneinträge reduziert werden müssen. Dieses Verfahren wenden wird solange an bis $toreduce = 1$. Ist dies erreicht, so haben wir alle Zeileneinträge auf einen reduziert, sodass wir das die vorderste Spalte des Zwischenergebnis in das Endergebnis speichert können.

2.2 Sharedmemory mit Atomics

In der zweiten Methode wird der Kernel nur einmal aufgerufen. Ähnlich wie in der Methode, in der wir nur mit shared Memory gearbeitet haben, wird hier zunächst die Matrix auf threadblöcke aufgeteilt, die entsprechenden Multiplikation werden in den Threadblöcken ausgeführt und jede threadblock hat als Zwischenergebnis einen Spaltenvektor der Größe sy. Jeodch werden die Einträge der Spaltenvektoren, der verschiedenen threadsblocks, welche aus der selben Zeile der Ursprungsmatrix hervorgehen, auf einen Wert in einen Speicher buff mittels atomicAdd Operationen aufaddiert. Somit liefert nach diesem Kernel buff einen Spaltenvektor der Länge sy, welche das Matrix-Vektor-Produkt enthält.

Model	cuda Cores	H Takt GHz	theo. SP. Performace
GTX780	2304	0,87 (9 Boost)	3976 GFlops
P100	3584	1,33 (1,48 Boost)	9400 GFlops
RTX2070super	2560	1,61 (1,77 Boost)	8243 GFlops

Table 1: GPU Daten

2.3 Nur Atomic Operationen

Ähnlich wie in den anderen Methoden bekommt hier wieder jedem Eintrag aus der Matrix A genau ein thread zugeordnet, der das Produkt mit der entsprechenden Vektor Komponente ermittelt. Das Produkt, speichert der thread in eine lokale Variable addsc ab. Es wurde vorher ein Speicher buff angelegt, welcher soviele Einträge hat, wie die Matrix A Zeilen. Threads, welche das Produkt mittel des Matrixeintrag aus der gleichen Spalten errechnet haben addieren ihr Ergebnis jetzt auf den entsprechenden Eintrag in der variablen buff auf, sodass buff am Ende ein Spaltenvektor, welcher dem Matrix-Vektor Produkt entspricht liefert.

2.4 Intra grid Groups

2.5 Shuffle

Eine weitere Methode zur Lösung des Problems ist die Verwendung von shuffle Operationen. Diese Bedarf aber einiges mehr an Implementierungsaufwand und wird daher in dieser Stelle nicht näher erläutert. Jedoch ist diese Methode deutliche performanter auf Grafikkarten als die bisher gezeigt sodass ich sie nicht unerwähnt lassen möchte.

3 Performance

3.1 Verwendete Grafikkarten

Für die Performancemessungen der Algorithmen wurden die Grafikkarten des Lehrstuhls Nvidia GTX780, Nvidia RTX2070 und der das Ara-Clusters Nvidia P100 verwendet. Alle Berechnung wurden mit Daten des Datentyp floats, also in Single Precision ausgeführt.
Die Angaben zur theoretischen Performance in Table 1 der GTX780, P100 sind Herrstellerangaben. Die theoretische Performance der RTX2070super errechnet sich durch:

$$\text{SP Performance} = \text{fma} \cdot \#\{\text{Cuda Cores}\} \text{Takt} = 2 \cdot 2560 * 1,61 Ghz = 8243 GFlops$$

3.2 Vergleich der Algorithmen

Auf alle Grafikkarten ist die Methode, welche nur Atomic Operationen zur Reduktion benutzt die langsamste. Bei Verwendung der Atomic Operation

müssen verschiedene threads auf die selben Speicherzellen schreiben, welche keinen geteilten Speicher enthalten. Dies hat zur Folge, dass die entsprechenden Speicherzellen immer wieder neu von threads geladen und beschrieben werden müssen während des die Anderen threads warten müssen, bis sie auf den Speicher zugreifen können.
Die Methode mit intragrids ... Interessant zu beobachten ist, dass auf der GTX780 und der RTX2070super die Methode der Shared Memory Reduktion innerhalb des threads blocks, Atomic Operationen zwischen den threads Blocks meist ähnlich schnell bzw. etwas schneller war als die Reduktion nur über shared Memory Operationen. Auf der P100 hingegen ist die Methode nur mit shared Memory Operationen hingegen deutlich schneller. Ein Mögliche Erklärung hierbei findet sich anhand der Hardwarespezifikationen. Die P100 hat deutlich mehr Cuda Cores als die GTX780, RTX2070super, wodurch sie mehr Thread Blöcke gleichzeitig starten kann, was ihr bei der Ausführung von viele thread Blöcke, also auch beim wiederaufruf des Kernels zu Gute kommt. Die RTX2070super ist zudem höher getaktet als die P100, was ihr bei den Atomic Operationen hilft. Jedoch lässt es sich nicht allein auf dieses Argument herunterbrechen, da die GTX780 deutlich niedriger Taktet als die anderen beiden GPUs.
Die schnellst Methode findet sich jedoch im Algorithmus mit shuffle Operationen, welcher nochmal eine bis zu drei mal bessere Performance liefert.

Vergleich der Grafikkarten

3.2.1 Sharedmemory Methode

Bei der Verwendung der Methode mit Shared Memory ist die P100 deutlich schneller als die RTX2070super und die GTX780. Hierbei wird vor allem die größere Anzahl an Cuda Cores ihr helfen, da somit mehr thread Blöck gleichzeitig ausgeführt werden können.

3.2.2 Shared plus Atomic

3.3 Atomic Operationen

Hier hat die RTX2070super deutlich schneller als die anderen beiden GPUs. Der schnellere Takt wird einen großen Einfluss dabei gespielt haben.

3.4 Differenz zur theoretischen Peak Performance

Bei allen Algorithmen und allen GPUs ist die erreicht Performance weit von der theoretischen Peak Performance entfernt. So erreicht man mit der P100 im shuffle Algorithmus maximal 240 GFlops, mit Shared Memory maximal 70 Gflops, was nur ein hundertstel der theoretischen Peakperformance von 9400 Gflops entspricht. Die Differenz bei der RTX2070super und der GTX780 liegt in einer ähnlichen Größenordnung. Ein Grund hierfür ist, dass die geladenen Matrixeinträge der Ursprungsmatrix A nur einmal zur Berechnung benutzt werden und auch bei Grafikkarten die Recheneinheiten deutlich mehr Daten verarbeiten könnten, als die Speichereinheiten Daten liefern können. Bei einer Matrix-Matrix-Multiplikation müssen die Daten der Ursprungsmatrix deutlich häufiger verwendet werden als bei einer Matrix-Vektor-Multiplikation, da für $C+ = AB$ jede Zeile von Matrix A mit jeder Spalte aus Matrix B multipliziert

wird. Somit bin ich in Hausaufgabe 3, der Matrix-Matrix-Multiplikation auf knapp 600 GFlops gekommen. Dies entspricht der dreifachen Performance der Implemtierung des shuffle Algorithmus, und sogar der 12-fachen Performance der Implemtierung von Kernel 1.2(48 GFLOps) und der 18 fachen Performance der Implemtierung von Kernel 1.1 (33 Gflops).

3.5 Performance Vergleich CPU

Ein Single Core CPU Implementation das Matrix-Vektor-Produktes, bei der die Matrix in Teilmatrizen aufgeteilt war für effektiver Transfer bezüglich Cache Lines, hat auf meinem System, mit AMD Ryzen 5 3600 eine Performance zwischen 0,1 und 3 Gflops erreicht. Besonders bei großer Problemgröße war diese sehr langsam. So hat sie für das Matrix-Vektorprodukt mit Dimension 16*1024 Werte zwischen 0,01 und 0,42 GFLOPS, je nach Größe der Teilmatrix.
Vor der Krise bezüglich der Verfügbarkeit von Grafikkarten hat man für ungefähr den gleichen Preis ein Nvidia RTX2070 super oder einen AMD Ryzen 9 3900X bekommen. Letzterer ist eine 12-core CPU mit einer vergleichbaren single core performance zum AMD Ryzen 5 3600.
Geht man von einer Perfekten Parallelisierung das Programms auf 12 Kerne aus und dem Idealfall in der Singlecore Impletmentierung von 0,42 GFlops, so erhält man mit dem Ryzen 9 3900X eine Performance von $0,42 GFlops * 12 = 5,04 GFlops$. Dies wäre um ein Faktor 9 schlechter, als die Performance des Matrix Vektor Produkts Kernel 1.2 auf der RTX2070super, sx=8, size=16*1024, und sogar um ein Faktor 35 schlechter als der shuffle Algorithmus auf der RTX2070super (185 Gflops) für size=16*1024. Anhand dieses Beispiels sieht man also gut, warum für Berechnungen von großen Matrix-Matrix oder Matrix-Vektorprodukten Grafikkarten anstatt CPUs verwendet werden.

4 Quellen

- https://www.nvidia.de/gtx-700-graphics-cards/gtx-780/ -https://www.computerbase.de/2016-04/nvidia-tesla-p100-gp100-als-grosser-pascal-soll-all-in-fuer-hpc-markt-gehen/