

Tutorium zur Vorlesung: Einführung in die moderne Digitalelektronik

Blockveranstaltung im Sommersemester 2021



DANIEL BAUR

daniel.baur@physik.uni-freiburg.de



Euer Tutor: Daniel Baur



- Arbeitsgruppe: [Astroteilchenphysik \(SCHUMANN & FISCHER\)](#)
- E-Mail: daniel.baur@physik.uni-freiburg.de
- Hausruf: +49 761 203-5694
- Büro: Physik-Hochhaus, Zimmer 607

Einführung in die moderne Digitalelektronik: Übungen

- Formalia & Stuff
- Lötpraxis
- Boolesche Algebra
- Einführung in die FPGA-Programmierung
- Einführung in die Mikrocontroller-Programmierung

Formalia & Stuff

Formalia

- Leistung:
 - 5 ECTS (Studienleistung): Teilnahme +Kurzvortrag
 - 7 ECTS (Prüfungsleistung): Teilnahme +Kurzvortrag +Prüfung
- Covid-19 \Rightarrow Sitzplätze beibehalten +MNS
- Unterlagen: [ILIAS-Kursseite](#)

Literaturempfehlungen

- Grundlagen: [KLAUS URBANSKI et al.: Digitaltechnik \(7. Auflage\)](#)
- Ergänzung:
 - [Crash Course: Computer Science](#)
 - [PowerCert Animated Videos](#)

Zeitplan der Übungen

Datum	26.07. (Mo)	27.07. (Di)	28.07. (Mi)	29.07. (Do)	30.07. (Fr)
Wo	PhyHH, 1. St.	CIP 2	CIP 2	CIP 2	CIP 2
Wann	14:15h - 15:45h	13:00h - 15:15h	13:00h - 15:15h	13:00h - 15:15h	13:00h - 15:15h
Thema	Lötpraxis	Bool	VHDL	VHDL	VHDL

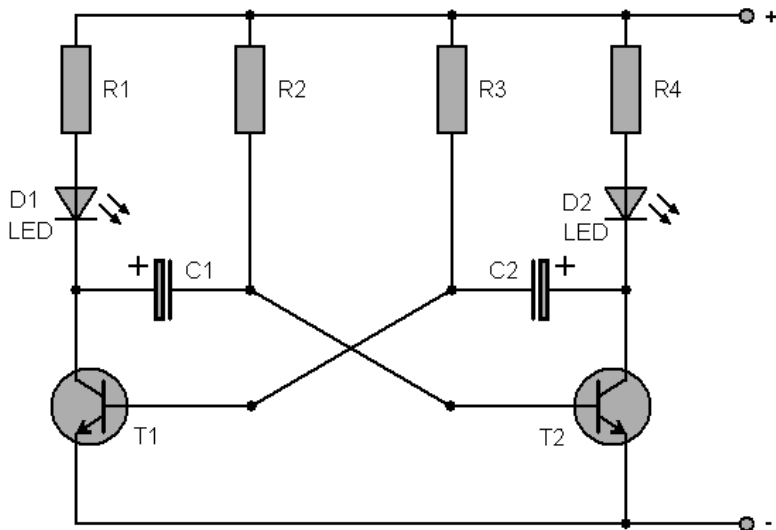
Datum	02.08. (Mo)	03.08. (Di)	04.08. (Mi)	05.08. (Do)	06.08. (Fr)
Wo	CIP 2	CIP 2	CIP 2	CIP 2	CIP 2
Wann	13:00h - 15:15h	13:00h - 15:15h	13:00h - 15:15h	10:30h - 12:00h	13:00h - 15:15h
Thema	VHDL +Talks	VHDL +Talks	Arduino +Talks	Arduino +Talks	Arduino

Kurzvorträge

02.08. (Mo)	03.08. (Di)	04.08. (Mi)	05.08. (Do)
JONATHAN <i>FDM-3D-Druck</i>	CHRISTOPH <i>Turing-Maschine</i>	SINO <i>DAC</i>	DANIEL <i>ESP32</i>
CLEMENS <i>GBC- Programmierung</i>	MATHIS <i>Tonerzeugung im C64</i>	LYSANDER <i>ADC</i>	
JOHANNES <i>PS-Kopierschutz</i>	ANDREAS <i>Logikchip- Herstellung</i>		

Lötpraxis

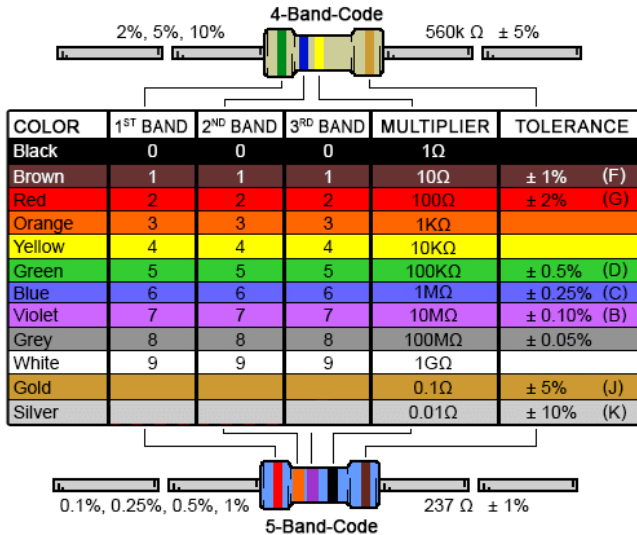
Schaltplan: Astabile Kippstufe



Orientierung (!):

- LEDs
- Transistoren
- Kondensatoren (!)

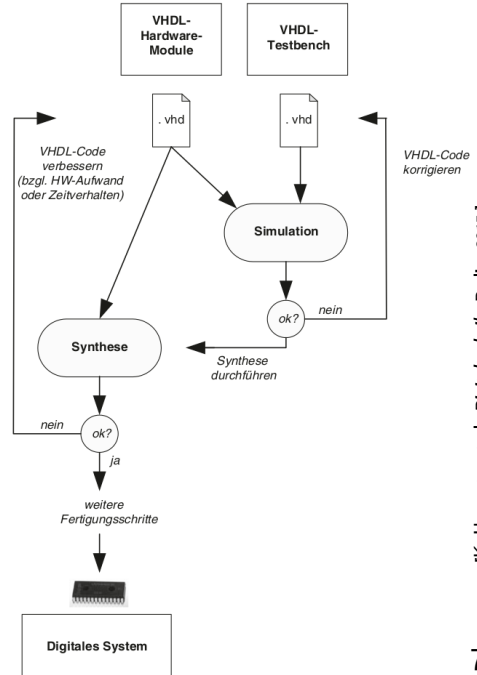
Elektrische Widerstände: Farbcode



Einführung in die FPGA-Programmierung

VHDL Entwicklungsprozess

- digitale Hardware → *Modul*
 - Bibliotheken
 - *entity*
 - *architecture*
- Softwaretest → *Testbench*
- Prozess: *Simulation* ↔ *Synthese*



VHDL-Modul: and-Gate

```
library ieee;  
use ieee.std_logic_1164.all;
```

Bibliotheken

```
entity and_2 is  
    port (a : in    std_logic;  
          b : in    std_logic;  
          q : out std_logic);  
end;
```

entity

```
architecture behave of and_2 is  
begin  
    q <= a and b;  
end;
```

architecture

Nebenläufigkeit (*Concurrency*)

■ [stackoverflow](#)

Die Stoppuhr: Arbeitsteilung

- je Aufbereitung mind. eines VHDL-Moduls
- Erklärung für die Gruppe
- gemeinsame Realisierung der Stoppuhr

SS LED Display	BCD Zähler	Taktskalierung
Mathis Jonathan Daniel	Clemens Andreas Johannes	Lysander Christoph Sino