

# 深圳大学实验报告

课程名称: 《EDA 技术》

实验项目名称: 加法器设计

学院: 医学院

专业: 生物医学工程

指导教师: 但 果 董 磊

报告人:            学号:            班级:           

实验时间: 2012.10.2 (周二) ~ 2012.10.16 (周二)

实验报告提交时间: 2012.10.22

教 务 部 制

### 一、实验平台：

1. 安装了 ISE 软件的 PC 计算机
2. EDA 主板和 EDA 扩展板
3. 8 位拨位开关和 1 位轻触按钮开关
4. 9 位发光二极管
5. 杜邦线若干
6. JTAG 下载线

### 二、实验内容：

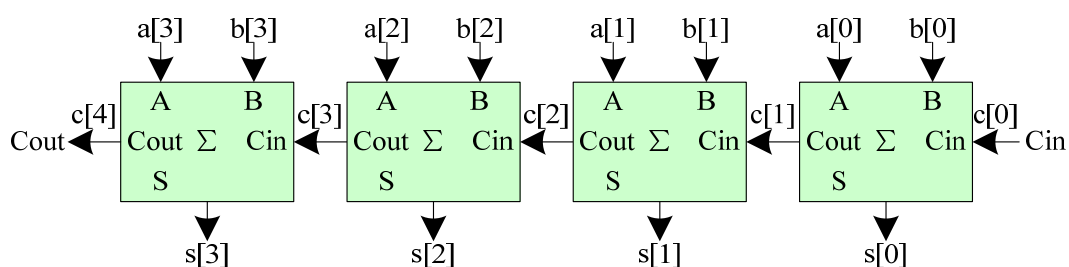
1. 用 VHDL 代码描述一个带输入进位和输出进位的 4 位加法器
2. 通过 ISE 软件对设计好的加法器进行编译
3. 编写测试激励，对编译好的 4 位加法器进行仿真调试
4. 编写引脚约束文件，用 ISE 软件生成.bit 文件，下载到 FPGA 板进行验证

### 三、实验内容：

1. 用 VHDL 代码描述一个带输入进位和输出进位的 4 位加法器
2. 通过 ISE 软件对设计好的加法器进行编译
3. 编写测试激励，对编译好的 4 位加法器进行仿真调试
4. 编写引脚约束文件，用 ISE 软件生成.bit 文件，下载到 FPGA 板进行验证

### 四、实验原理：

加法器可用两种经典方法来实现：逐级进位和超前进位。前者的优势是需要较少的硬件资源，而后者则速度较快。在这里我们采用逐级进位为例进行第一个实验，用户可自行实现 4 位超前进位加法器。如图错误！文档中没有指定样式的文字。-1 所示即为 4 位逐级进位加法器的输入输出框图：



图错误！文档中没有指定样式的文字。-1 4位逐级进位加法器的输入输出框

在图错误！文档中没有指定样式的文字。-1 中，a、b 分别为 4bits 的加数和被加数，Cin 为最低位的进位位，s 为 4bits 的和输出，Cout 为最高位的进位输出。

根据图错误！文档中没有指定样式的文字。-1 所示的实验框图可知，4 位逐级进位加法器可由 4 个全加器依次连接组成，故其基本单元为全加器，如表错误！文档中没有指定样式的文字。-1 所示即为全加器的真值表，根据真值表，可以得出输出和输入的关系为：

$$s = a \oplus b \oplus C_{in}$$

$$C_{out} = ab + bC_{in} + aC_{in}$$

表错误！文档中没有指定样式的文字。-1 全加器的真值表

a	b	C <sub>in</sub>	s	C <sub>out</sub>
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

## 五、实验方法、步骤：

六、VHDL 代码:

七、仿真结果及分析:

八、FPGA 板级级验证及结果分析：

九、实验总结：

指导教师批阅意见：	
成绩评定：	

成绩评定:

指导教师签字:  
年 月 日

指导教师签字： 年 月 日

备注:	
-----	--

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。  
2、教师批改学生实验报告时间应在学生提交实验报告时间后 10 日内。

2、教师批改学生实验报告时间应在学生提交实验报告时间后 10 日内。