

# 深圳大学实验报告

课程名称： 《EDA 技术》

实验项目名称： 加法器设计

学院： 医学院

专业： 生物医学工程

指导教师： 但果、董磊

报告人： 张树鑫 学号： 2015222068 班级 03

实验时间： 2017-9-25

实验报告提交时间： 2017-10-14

## 一、实验平台：

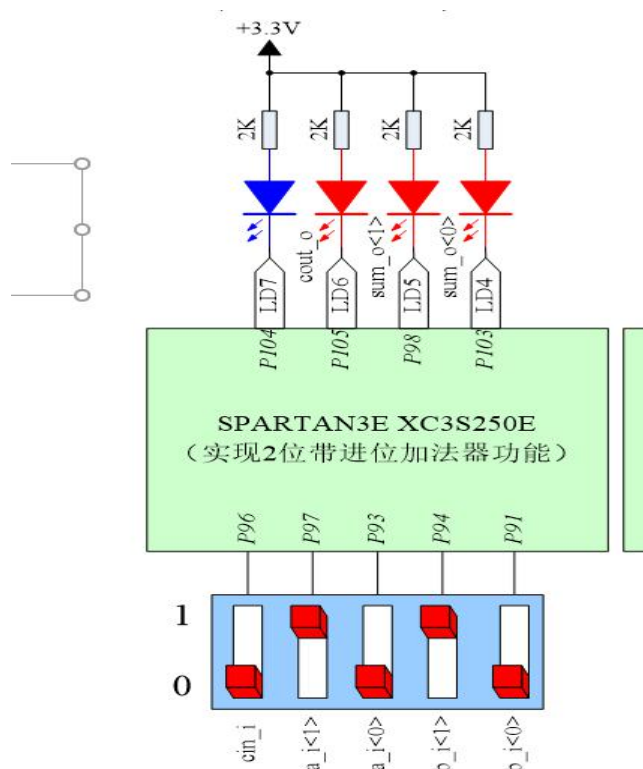
1. PC 机
2. 安装好的 ISE Design Suite 软件
3. 安装好的 Synplify 软件
4. 医疗电子自动化设计实验平台
5. JTAG 下载线

## 二、实验内容：

- (1) 熟悉加法器原理；
  - (2) 学会 ISE 软件的使用，包括对 ISE 软件标准化设置、ISE 软件第三方工具 Synplify 路径设置、新建工程等操作；
  - (3) RTL 级电路综合
  - (4) 电路仿真
  - (5) 引脚约束
  - (6) 生成 bit 文件并烧写到 FPGA
- 生成 mcs 文件并烧写到 FPGA

### 最终实验目标如下：

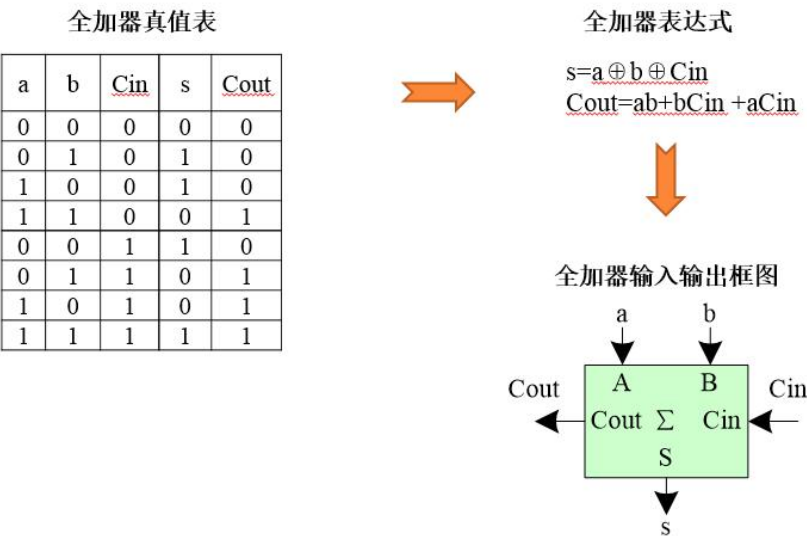
实现两个二进制两位数 a, b 以及其进位 cin\_i 的加法功能，输入端由拨位开关控制，置上位 1，置下为 0，所以输出结果，即 a, b 之和为一个二进制两位数，以及一个进位 cout\_o，结果通过发光二极管显示，LD6 为输出进位，LD5 和 LD4 构成和的两位，亮表示为 1，灭表示为 0。



### 三、实验原理：

#### 加法器原理

画出全加器的真值表，根据真值表写出全加器的逻辑表达式，即得到输入与输出的关系表达式。

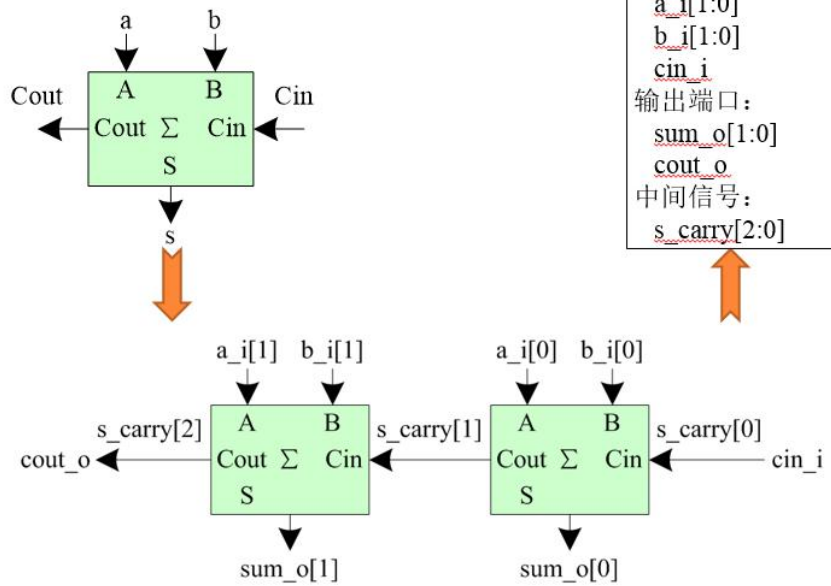


### 四、实验方法、步骤：

1、结合算术加法和以上全加器的原理，将两个加法器串联，其中第一个加法器的输出进位作为第二个加法器的输入进位。如下图，a，b 的最低位  $a_i[0]$  和  $b_i[0]$  以及输入进位  $\text{cin}_i$  送入第一个加法器，得到和的最低位  $\text{sum}_o[1]$ ，以及向第二位的进位  $s\_carry[1]$ ，接着，将 a，b 的高位  $a_i[1]$  和  $b_i[1]$  以及第一位的进位  $s\_carry[1]$  送入第二个加法器，最后得出和的最高位  $\text{sum}_o[1]$ ，还有整个加法器的输出进位  $s\_carry[2]$ 。

$s\_carry$  为中间信号， $s\_carry[0]$  接收的输入端口  $\text{cin}_i$ ， $s\_carry[1]$  接收第一个加法器的进位， $s\_carry[2]$  接收最后的输出进位，并传递给输出端口  $\text{cout}_o$ 。

## 加法器原理



## 2. 输入输出端口以及电路引脚约束

(1)

`a_i` : in std\_logic\_vector(1 downto 0); -- 输入端口定义

`b_i` : in std\_logic\_vector(1 downto 0);

`cin_i` : in std\_logic;

`sum_o` : out std\_logic\_vector(1 downto 0); -- 输出端口定义

`cout_o` : out std\_logic

(2) 引脚约束：根据实验箱的电路图，找出 5 个拨位开关、LED6/LED5/LED4 连接的芯片引脚。

Net "cin\_i" LOC=P96; -- 第一个拨位开关

Net "a\_i<1>" LOC=P97; -- 第二个拨位开关

Net "a\_i<0>" LOC=P93; -- 第三个拨位开关

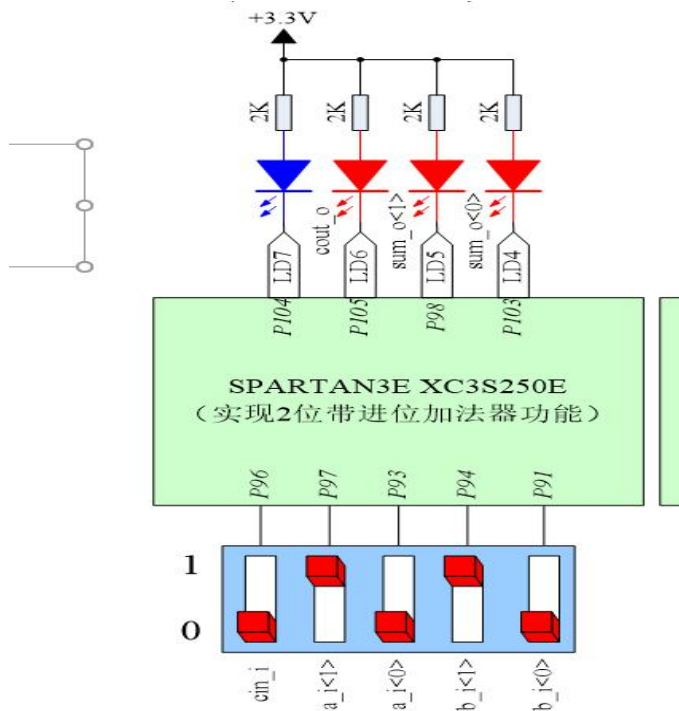
Net "b\_i<1>" LOC=P94; -- 第四个拨位开关

Net "b\_i<0>" LOC=P91; -- 第五个拨位开关

Net "cout\_o" LOC=P105; -- LED6

Net "sum\_o<1>" LOC=P98; -- LED5

Net "sum\_o<0>" LOC=P103; -- LED4



## 五、VHDL 代码:

```

library ieee; --库声明
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity adder is --实体，描述加法器电路的所以输入/输出引脚
port(
    a_i      : in  std_logic_vector(1 downto 0);
    b_i      : in  std_logic_vector(1 downto 0);
    cin_i    : in  std_logic;
    sum_o     : out std_logic_vector(1 downto 0);
    cout_o   : out std_logic
);
end adder;
architecture rtl of adder is --构造体，描述加法器电路行为和实现功能
    signal s_carry      : std_logic_vector(2 downto 0);
    signal s_sum_o_inv : std_logic_vector(1 downto 0);
begin
    s_carry(0)      <= cin_i;
    s_sum_o_inv(0)  <= a_i(0) xor b_i(0) xor s_carry(0);
    s_carry(1)      <= (a_i(0) and b_i(0) ) or (a_i(0) and s_carry(0)) or (b_i(0) and
s_carry(0));

    s_sum_o_inv(1)  <= a_i(1) xor b_i(1) xor s_carry(1);

```

```

s_carry(2)      <= (a_i(1) and b_i(1) ) or (a_i(1) and s_carry(1)) or      (b_i(1)
and s_carry(1));

sum_o(0)        <= not s_sum_o_inv(0); --取反，因为连接发光二极管的阴极，所以“1”
                                         时灭，“0”时亮，取反后将调整为1亮，0灭

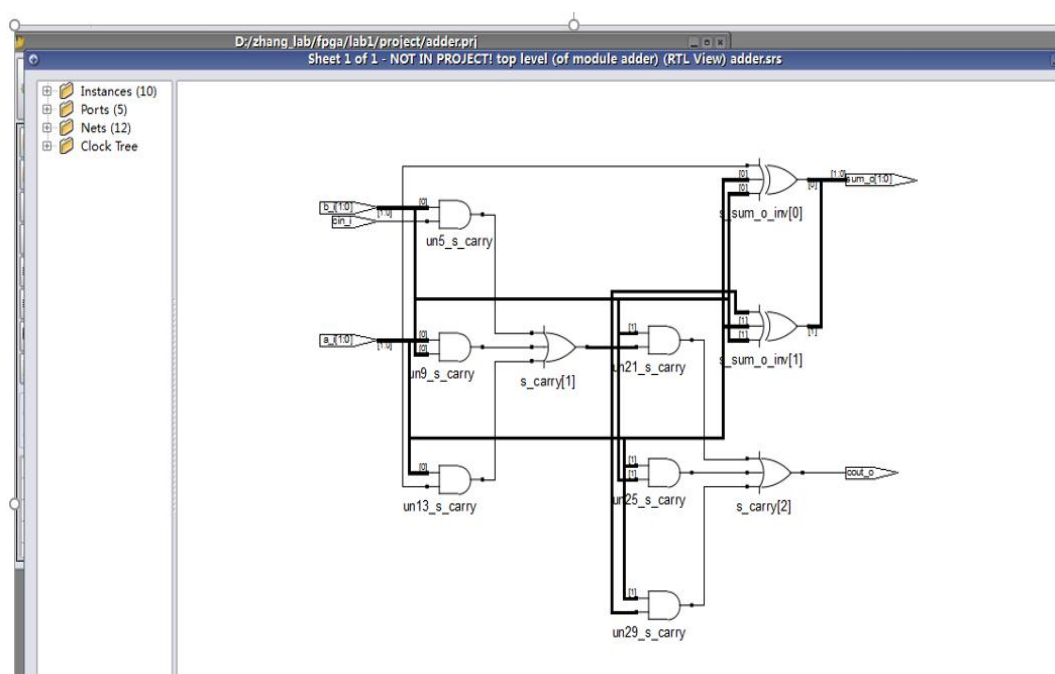
sum_o(1)        <= not s_sum_o_inv(1);

cout_o         <= not s_carry(2);
end rtl;

```

## 六、综合、仿真结果及分析：

RTL 级电路综合：



### 2. 电路仿真

代码：

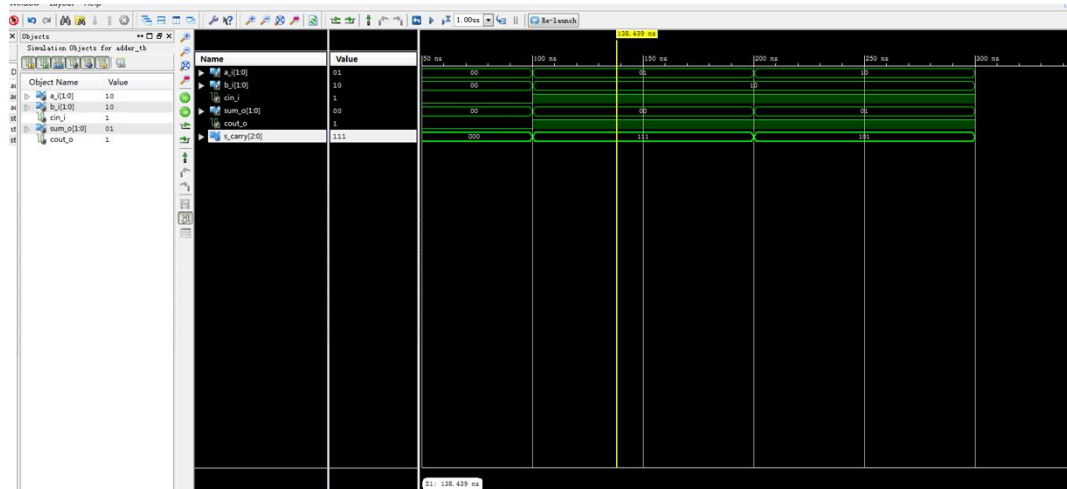
```

stim_proc: process
begin
    -- hold reset state for 100 ns.
    wait for 100 ns;
    -- insert stimulus here
    a_i <= "01";
    b_i <= "10";
    cin_i <= '1';
    wait for 100 ns;
    a_i <= "10";
    b_i <= "10";
    cin_i <= '1';

```

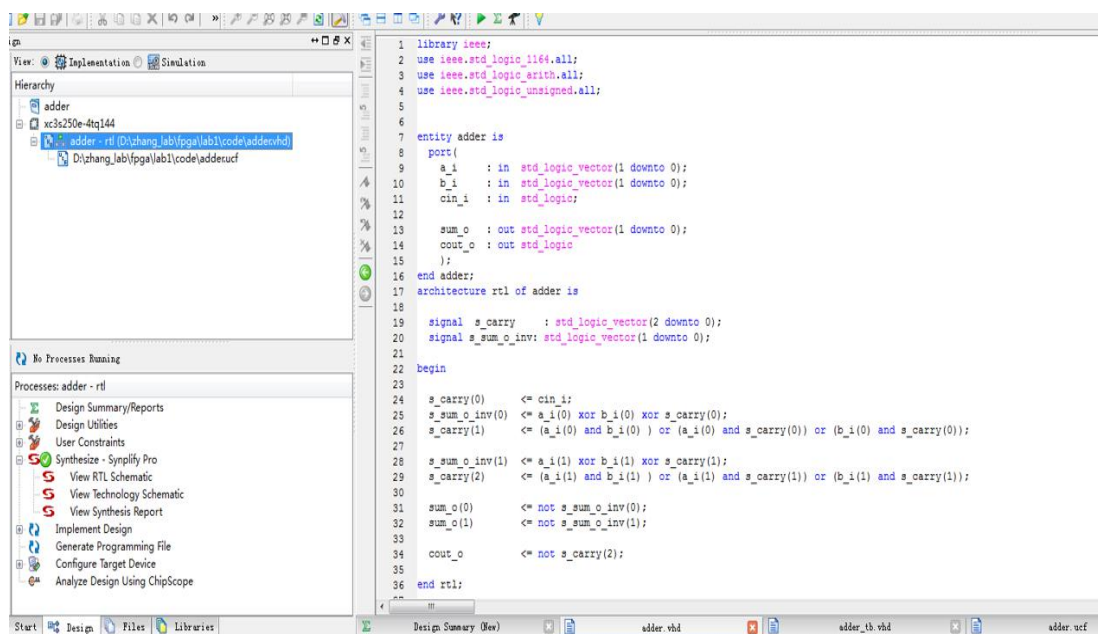
wait for 100 ns;  
wait;  
end process;

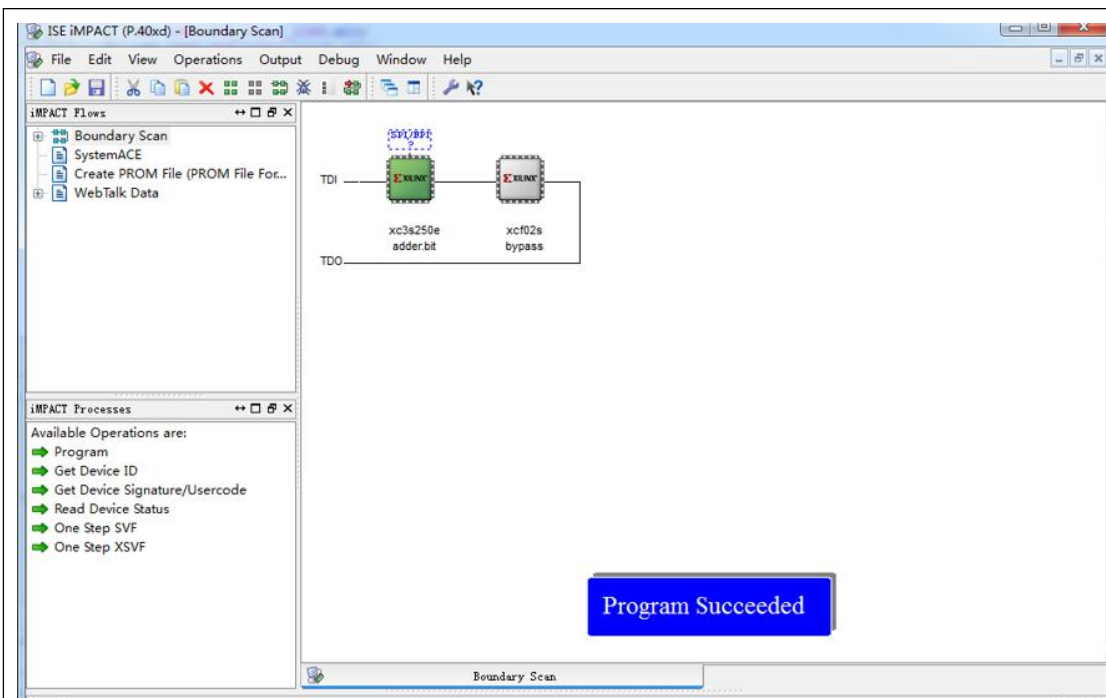
仿真结果:



## 七、FPGA 板级级验证及结果分析:

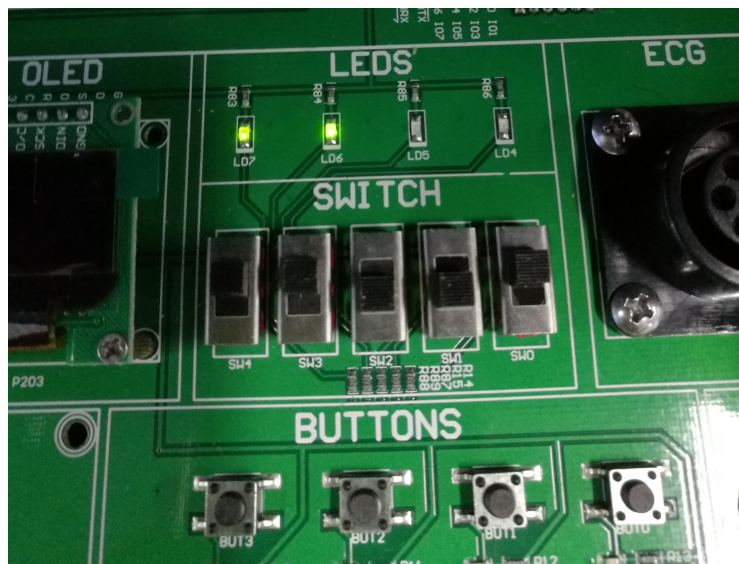
1.生成 bit 文件，电脑连接实验箱，并烧写 bit 文件到 FPGA 中，实现软硬件结合:





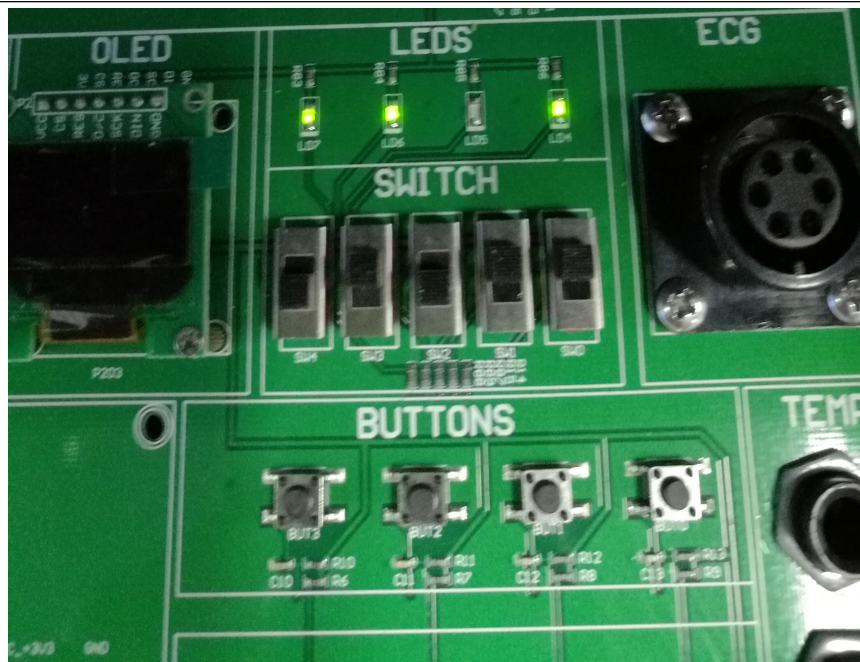
2.功能验证：改变拨位开关的位置，实现不同 a, b, 进位 cin<sub>i</sub> 的加法，通过 LED 等验证加法器结果。

(1) 拨位开关依次为 1,1,0,0,1，所以 a 为“10”，b 位“01”，进位为“1”，LED 显示结果为“00”，输出进位为 1，计算可知实验结果正确。

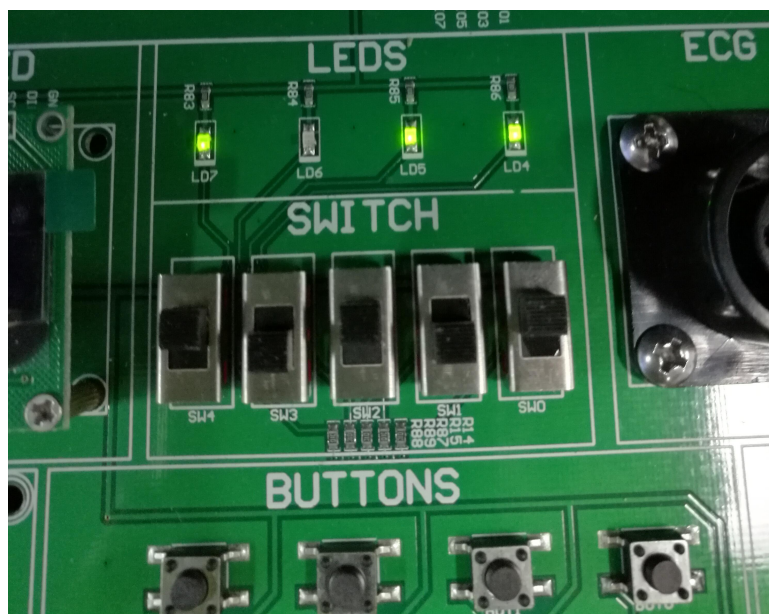


(2) 拨位开关依次为 0,1,0,1,1，所以 a 为“10”，b 位“11”，进位为“0”，LED 显示结果为“01”，输出进位为 1，计算可知实验结果正确。





(3) 拨位开关依次为 0,1,0,1,1, 所以 a 为 “10”, b 位 “11”, 进位为 “0”, LED 显示结果为 “01”, 输出进位为 1, 计算可知实验结果正确。



## 八、实验总结：

通过实验，我熟悉掌握了一个实现组合逻辑功能的 FPGA 实验流程，首先是运用数字电路知识对要实现的加法器功能进行分析，得出逻辑表达式，构建输入输出端口，以及硬件的引脚约束；接着学会使用 ISE 软件编写 VHDL 代码来描述电路行为和功能，生成 RTL 级电路综合，然后进行编写仿真代码在电脑上仿真，初步验证电路设计的正确性；最后编写芯片引脚约束的代码，将生成的 bit 文件烧写到实验箱，测试整个加法器功能。

实验的动手操作非常有趣，将理论课上学习的 VHDL 语言实际引用到实验设计中，利用软硬件结合完成特定的功能。初期接触硬件实验对整个流程比较生疏，但在老师的指导和同学的帮助下，我认真的按照要求完成实验，一步步解决遇到的问题。

<p>指导教师批阅意见：</p> <p>1. 实验报告书写规范--8 2. 实验原理清晰，有相应的原理图和电路图--27 3. 实验步骤详细--17 4. 代码书写比较规范，注释不充分--13 5. 有充分和正确的实验结果分析--18 6. 完成顺序在前十名（含）--10</p> <p>成绩评定：93</p> <p>指导教师签字： 年 月 日</p>
<p>备注：</p>

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。  
2、教师批改学生实验报告时间应在学生提交实验报告时间后 10 日内。