

深圳大学创业教育研究课程建设项目

《EDA技术》 分频技术概述

深圳大学医学院生物医学工程系

深圳大学-美国赛灵思医疗电子技术联合实验室

但果、董磊

VHDL 分频技术

- ▶ 分频器是数字电路中最常用的电路之一，在 FPGA 的设计中也是使用效率非常高的基本设计。基于 FPGA 实现的分频电路一般有两种方法：一是使用FPGA 芯片内部提供的锁相环电路，如 ALTERA 提供的 PLL (Phase Locked Loop)，Xilinx 提供的 DLL (Delay Locked Loop)；二是使用硬件描述语言，如VHDL、Verilog HDL 等。使用锁相环电路有许多优点，如可以实现倍频；相位偏移；占空比可调等。但 FPGA 提供的锁相环个数极为有限，不能满足使用要求。因此使用硬件描述语言实现分频电路经常使用在数字电路设计中，消耗不多的逻辑单元就可以实现对时钟的操作，具有成本低、可编程等优点。

分频技术在医疗器械中的应用

- ▶ 超声（Ultra Sound)设备中的脉冲发射电路
- ▶ CT中的数据采集技术（DAS）、运动控制技术
- ▶ 核磁共振（MRI）中的谱仪
- ▶ 体外诊断仪器中的样品加样技术
- ▶ 利德分体分频型治疗仪
- ▶ 医疗仪器探头倍增器
- ▶ ○ ○ ○ ○ ○ ○

计数器—分频技术的基础

▶ 普通计数器

- 加法计数器
- 减法计数器

- 缺点：同一时刻可能多变化，译码时会出现尖脉冲



▶ 约翰逊计数器

- 是一种移位计数器，采用的是把输出最高位取反，然后反馈送入到最低位的输入端。每一时刻只有一位发生变化。



一. 偶数分频器

- ▶ 一是当计数器计数到 $n-1$ 时，将输出电平进行一次翻转，同时给计数器一个复位信号，如此循环下去；
- ▶ 二是当计数器输出为 0 到 $n-1$ 时，时钟输出为 0 或 1 ，计数器输出为 n 到 $2n-1$ 时，时钟输出为 1 或 0 ，当计数器计数到 $2n-1$ 时，复位计数器，如此循环下去。
- ▶ 需要说明的是，第一种方案仅仅能实现占空比 50% 的分频器，第二种方案可以有限度的调整占空比。

二. 奇数分频器

- ▶ 实现非 50% 占空比的奇数分频，如实现占空比为 20% ($1/5$)、40% ($2/5$)、60% ($3/5$)、80% ($4/5$) 的 5 分频器，可以采用类似偶数分频的第二种方案；
- ▶ 但如果实现占空比为 50% 的奇数分频，就不能使用偶数分频中所采用的方案了。
- ▶ 如何实现占空比为 50% 的方波分频器呢？
- ▶ 思考：利用输入时钟产生一个 10 分频电路，最小占空比为多少？

三. 半整数分频器

- ▶ 仅仅采用数字分频，不可能获得占空比为50%的 $N+0.5$ 分频，只可能设计出 $(M+0.5)/(N+0.5)$ 的分频器，其中 $M < N$ 。
- ▶ 这种半整数分频方法是对输入时钟进行操作，让计数器计数到某一个数值时，将输入时钟电平进行一次翻转，这样该计数值只保持半个时钟周期，因此实现半整数分频。

四. 小数分频器

- ▶ 小数分频是通过可变分频和多次平均的方法实现的。
- ▶ 例如要实现 4.7 分频，只要在 10 次分频中，做 7 次 5 分频，3 次 4 分频就可以得到。
- ▶ 再如要实现 5.67 分频，只要在 100 次分频中，做 67 次 6 分频，33 次 5 分频即可。考虑到小数分频器要进行多次两种频率的分频，必须设法将两种分频均匀。

四. 小数分频器

- ▶ 考虑到小数分频器要进行多次两种频率的分频，必须设法将两种分频均匀。
- ▶ 表 1以 2.7 分频为例，小数部分进行累加，如果大于等于 10，则进行 3 分频，如果小于 10，进行2分频。

序号	0	1	2	3	4	5	6	7	8	9
累加值	7	14	11	8	15	12	9	16	13	10
分频系数	2	3	3	2	3	3	2	3	3	3