

# Experiencias Plataforma OpenSPARC

Daniel Humberto Gallego López  
dannnygallego0558@utp.edu.co  
Alejandro Aguilar Becerra  
aaguilar@utp.edu.co

## RESUMEN

*OpenSPARC es una comunidad de código abierto en torno a un diseño de hardware que se basa en los microprocesadores de alta escala ultraSPARC T1 y T2, mediante esta investigación realizada se encontró unos avances relacionando desde la creación de SPARC hasta la actualidad, en este artículo conocerán de qué trata esta plataforma.*

## INTRODUCCIÓN

Al pasar el tiempo cada vez es más evidente el desarrollo de la tecnología, por medio de este artículo se busca dar a conocer de un proyecto llamado OpenSPARC, una sociedad de código abierto para realizar contribuciones a los micro procesadores UltraSPARC T1 y T2, en la historia viene una evolución de los microprocesadores SPARC, así que se va a tener en cuenta tres versiones que seria, SPARC V8 de 1992, UltraSPARC T2 de 2007 y la más reciente SPARC M6 de 2013.

## OPENSARC

OpenSPARC es un hardware de código abierto que laboran con chips de múltiples hilos (CMT) microprocesadores [1] también trabaja con la arquitectura SPARC, esta arquitectura está basada de un juego de instrucciones que se caracteriza por trabajar con ventanas de registros que es eficiente tanto en el rendimiento de compiladores como la reducción de instrucciones.

El sistema OpenSPARC T1 consta de 8 núcleos, cada uno capaz de ejecutar

Artículo científico OpenSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG

Nawathe, et al .. Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.

cuatro hilos simultáneamente, para un total de 32 hilos y OpenSPARC T2 es de 8 núcleos, 16 tuberías con 64 hilos.

La contribución inicial del proyecto OpenSPARC fue de Sun Microsystems.

## SPARC

Es una arquitectura con un conjunto de instrucciones reducida; Fue originalmente diseñada por Sun Microsystems en 1985, se basa en diseños RISC I y II [2].

Una de las ideas innovadoras de la arquitectura es la ventana de registros que permite hacer fácilmente compiladores de alto Rendimiento y una significativa reducción de memoria en las instrucciones load/store en relación con otras arquitecturas RISC.

## Principales características

- Su característica distintiva es utilizar ventanas de registros.
- 32 registros de enteros de 32 bits.
- 16 registros de coma flotante de 64 bits que se pueden utilizar como 32 registros de 32 bits.
- Modo de direccionamiento:
  - Inmediato (constantes de 13 bits).
  - Directo (13 bits).
  - Indirecto (Rs + 13 bits o Rs + Rs).
- Utiliza instrucciones retardadas (saltos, load, store).

## Experiencias Plataforma OpenSPARC

- Manejo de memoria:
  - Espacio virtual de 4 Gigabytes.
  - Unidad de manejo de memoria (MMU) que trabaja con paginas de tamaño confiable.

### ESPECIFICACIONES

El año de lanzamiento de los microprocesadores SPARC fue en 1992 versión #8, con una frecuencia 40 -> 50 (MHz), con 1 hilo por núcleo multiplicado por los núcleos

Aunque no es una parte formal de la arquitectura, las computadoras basadas en sistemas SPARC de Sun Microsystems tienen un unidad de manejo de memoria (MMU) y una gran chache de direcciones virtuales (para instrucciones y datos) que están periféricamente sobre un bus de datos y direcciones de 32 bits.

### OpenSPARC - UltraSPARC

En marzo de 2006, el diseño completo de microprocesador UltraSPARC T1 de Sun Microsystems fue liberado en forma de fuente abierta, que fue nombrado OpenSPARC T1. A principios de 2007, su sucesor, UltraSPARC T2 que fue nombrado OpenSPARC T2, también fue lanzado en forma de fuente abierta.

Estas fueron los únicos microprocesadores de 64 bits, ambos diseños son de libre disposición. Las descargas incluyen el

código del procesador fuente, sino también secuencias de comandos para compilar como el código fuente y herramienta de simulación.

### OpenSPARC T1

El procesador UltraSPARC T1 con CoolThreads [3] la tecnología fue el mas alto rendimiento y la mayor parte del procesador eco responsable jamás creado cuando se hizo disponible en el sistema UltraSPARC T1. Fue un descubrimiento sin precedentes para reducir el consumo de energía del centro de datos, al tiempo que aumenta drásticamente el rendimiento.

### ESPECIFICACIONES

El año de lanzamiento del UltraSPARC T1 fue en el 2005 versión #9/UA, con una frecuencia 1000 -> 1400 (MHz), contiene 8 núcleos y por núcleo 4 hilos que en total seria 32 hilos.

El UltraSPARC T1 es su primer microprocesador multi núcleo y multi hilos.

### OpenSPARC T2

Se deriva del procesador UltraSPARC T2, es el primer “servidor en un chip” de la industria, el envasado de la mayoría de los núcleos e hijos de cualquier procesador de propósito general disponible, y la integración de todas las funciones clave de un servidor en un solo chip: computación, redes, la seguridad, y la entrada/salida (i/o), combina el alto rendimiento con un menor consumo energético con tres funciones esenciales integradas que son red de 10 GbE de multiples subprocesos,

Artículo científico OpenSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG

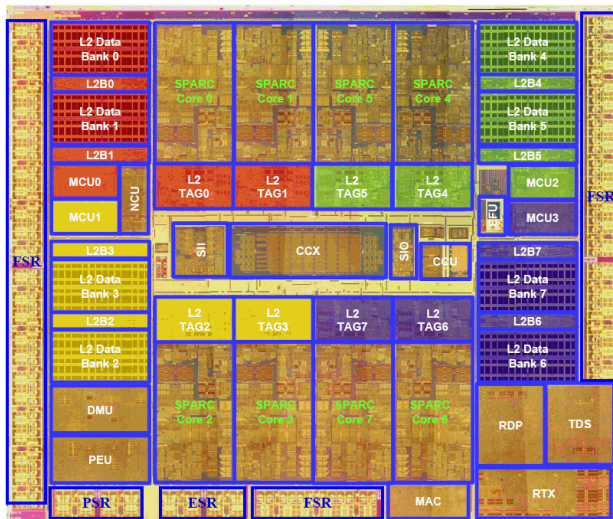
Nawathe, et al .. Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.

aceleración de cifrado y expansión de entradas/salidas PCI-Express [4], además de una estrecha integración con el sistema operativo Solaris.

*“Diagrama de presentación de Robert Golla”*

Cada uno de los núcleos del procesador tiene una memoria cache [5] de instrucciones y de datos separado y accede a una memoria cache compartida L2, la memoria principal compartida a través de un travesaño interno. Así, el procesador UltraSPARC T2 es una máquina de memoria compartida en un solo chip con una memoria plana (UMA) [6] desde la perspectiva del programador.

Los circuitos 3D representan mejoras en el medio de circuitos integrados dejando atrás a los tradicionales circuitos CMOS y 2D, que fueron también implementados en microprocesadores, los circuitos 3D ofrecen mayor velocidad de propagación de señal y mejora la reducción de costos de fabricación.



Nawathe, et al .. Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.

## Experiencias Plataforma OpenSPARC

	2D	3D (core/cache)	3D (core/core)
footprint ( $mm^2$ )	71.1	38.4 (-46.0%)	38.4 (-46.0%)
# cells ( $\times 10^6$ )	7.39	7.21 (-2.4%)	7.26 (-1.8%)
# buffers ( $\times 10^6$ )	2.89	2.42 (-16.3%)	2.45 (-15.2%)
Wirelength (m)	343.0	326.0 (-5.0%)	324.5 (-5.4%)
Total power (W)	9.107	8.171 (-10.3%)	8.273 (-9.1%)
Cell power (W)	1.779	1.502 (-15.6%)	1.537 (-13.6%)
Net power (W)	4.499	4.122 (-8.4%)	4.131 (-8.2%)
Leakage power (W)	2.828	2.547 (-9.9%)	2.605 (-7.9%)

### BENEFICIOS DEL CIRCUITO INTEGRADO TRIDIMENCIONAL.

- Con la tabla anterior se busca especificar las diferencias que hay entre los circuitos de 2 y 3 dimensiones en base una frecuencia de 500 MHz se da notar las diferencias con respecto al diseño del circuito 2D.
- Por una parte en la tabla se muestra que hay un 75,3% que representa la reducción de hilos en el núcleo y el buffer que es un compensador de energía y reducción de núcleos que los que plantea el circuito en 2D.

### SPARC M6-32

Con los nuevos sistemas SPARC M6-32 de Oracle, los clientes pueden ejecutar aplicaciones enteras en la memoria, proporciona el doble de capacidad de memoria de los servidores IBM Power [8] y entrega extremo desempeño de cómputo en memoria para grandes cargas de trabajo y bases de datos de misión crítica.

### ESPECIFICACIONES

Su lanzamiento fue en el año 2013 con su versión #9 / OSA2011 con una frecuencia de 3600 (MHz) que cuenta con 12 núcleos y 8 hilos por cada núcleo que sería un total de 96 hilos, estos sistemas tienen un asombroso 32 terabytes de memoria.

### CONCLUSIONES

- Este artículo plantea el avance de un sistema con buen rendimiento y optimización de recursos de energía, demostrando los beneficios de este tipo de circuitos implementados en un microprocesador OpenSPARC T2 llegando a un ahorro total de 20,3% de energía en comparación de circuitos 2d o CMOS, también se busca explicar y dar a entender que trata esta plataforma, sus atributos y el potencial que ofrece.
- Se tiene en cuenta la evolución del SPARC en la historia desde 1992 con la versión #8 pasando por la de OpenSPARC en el 2005-2007 y hasta la actualidad SPARC M6, que brinda mejoras un gran desempeño en memoria.

Artículo científico OpenSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG

Nawathe, et al .. Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.



# Experiencias Plataforma OpenSPARC

## REFERENCIAS

- [1] "OpenSPARC: Primera librería de 64 bits microprocesadores del mundo", <http://www.opensparc.net>.
- [2] "RISC I y II: Computador con conjunto de instrucciones reducidas, tipo de diseño de CPU", <https://www.ecured.cu/RISC>
- [3] "Tecnología CoolThreads: son sistemas SPARC que tienen la tecnología Chip Multithreading (CMT)". <http://www.oracle.com/technetwork/systems/coolthreads/overview/index.html>
- [4] "PCI Express: permite intercambiar información entre dispositivos como tarjetas gráficas, sonido o red con el procesador del equipo". <http://computadoras.about.com/od/placa-base/a/Que-Es-Pci-Express-Y-Cuales-Son-Las-Diferencias-Entre-Sus-Versiones.htm>.
- [5] "Memoria Cache: es una memoria auxiliar de alta velocidad destinada a realizar copias de archivos para acceder más rápidamente". <https://androidstudiofaqs.com/conceptos/que-es-memoria-cache>.
- [6] "UMA: (acceso a memoria uniforme) Los sistemas UMA incorporan cache para eliminar las disputas de la memoria pero este mecanismo no se ve desde las aplicaciones". [http://www.baeza.cl/cursos/proyarc/choviedo/tres\\_modelos.html](http://www.baeza.cl/cursos/proyarc/choviedo/tres_modelos.html).
- [7] "U. Kang et al. 8 Gb 3-D DDR3 DRAM Uso de la tecnología Through-Silicon-Via. En IEEE J. Circuitos de Estado Sólido, 2010."
- [8] "IBM Power: performance Optimization With enhanced RISC, es una arquitectura con un conjunto de instrucciones RIS diseñado por IBM". [https://es.wikipedia.org/wiki/IBM\\_POWER](https://es.wikipedia.org/wiki/IBM_POWER).

Artículo científico OpenSPARC

Artículo respaldado por: On Enhancing Power Benefits in 3D ICs: Block Folding and Bonding Styles Perspective.

Derechos de autor:

Annual ACM/IEEE Design Automation Conference is the property of Association for Computing Machinery - UG

Nawathe, et al .. Circuitos de Estado Sólido del IEEE International, Dig. Documentos de tecnología, febrero de 2007, pp. 108-110.