ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL



PROYECTO FINAL – LABORATORIO SISTEMAS DIGITALES II

Giordan Daniel Maldonado Gonzalez ANTE COROZO LUI BALDOMERO

CONTROLADOR DE ACCESOS

gdmaldon@espol.edu.ec | lante@espol.edu.ec

2019

Contenido

[1. Introducción 3](#_Toc535589664)

[2. Diagrama De Bloques del Sistema Digital 4](#_Toc535589665)

[2.1. Explicación con detalle 4](#_Toc535589666)

[3. Partición Funcional del Sistema Digital 6](#_Toc535589667)

[3.1. Bloques antirrebotes 6](#_Toc535589668)

[3.1.1. Explicación con detalle 7](#_Toc535589669)

[3.2. Decodificador y compuerta OR 7](#_Toc535589670)

[3.2.1. Explicación con detalle 7](#_Toc535589671)

[3.3. Registros de sostenimiento 7](#_Toc535589672)

[3.3.1. Explicación con detalle 8](#_Toc535589673)

[3.4. Compuertas lógicas 8](#_Toc535589674)

[3.4.1. Explicación con detalle 9](#_Toc535589675)

[3.5. Contadores UP 9](#_Toc535589676)

[3.5.1. Contador UP-3 para tiempo entre dígitos 9](#_Toc535589677)

[3.5.2. Contador UP-3 para tiempo entre dígitos 10](#_Toc535589678)

[3.5.3. Contador UP-5 para tiempo del sensor 10](#_Toc535589679)

[3.5.4. Contador UP-5 para tiempo de la sirena 11](#_Toc535589680)

[3.5.5. Contador UP-3 para los intentos completos 11](#_Toc535589681)

[3.5.6. Contador UP-6 para tiempo de la alarma activada 12](#_Toc535589682)

[3.5.7. MSS 12](#_Toc535589683)

[3.5.8. Divisor de frecuencia 13](#_Toc535589684)

[4. Diagrama ASM del Controlador 13](#_Toc535589685)

[4.1. Explicación con detalle 14](#_Toc535589686)

[5. Código VHDL MSS 14](#_Toc535589687)

[5.1. Entidad 14](#_Toc535589688)

[5.2. Arquitectura 15](#_Toc535589689)

[5.2.1. Process Estados Siguientes 15](#_Toc535589690)

[5.2.2. Process Salidas 16](#_Toc535589691)

[6. Códigos VHDL de los bloques MSI 17](#_Toc535589692)

[6.1. Decodificador a BCD 17](#_Toc535589693)

[6.2. Registro de sostenimiento 17](#_Toc535589694)

[6.3. Contador UP hasta “111” 17](#_Toc535589695)

[6.4. Contador UP hasta “11111” 18](#_Toc535589696)

[6.5. Contador UP hasta “111111” 18](#_Toc535589697)

[7. Diagramas de tiempo del Sistema Digital 19](#_Toc535589698)

[7.1. Clave correcta 19](#_Toc535589699)

[7.1. Clave incorrecta 19](#_Toc535589700)

[8. Diagrama Esquemático 20](#_Toc535589701)

[9. Anexos 21](#_Toc535589702)

[9.1. Protoboard implementado 21](#_Toc535589703)

[9.2. Pin Planner 21](#_Toc535589704)

[21](#_Toc535589705)

[10. Conclusiones 22](#_Toc535589706)

# Introducción

El siguiente proyecto está basado en el conocimiento adquirido en la materia Sistemas Digitales II durante el segundo término del 2018. Este proyecto consiste en diseñar e implementar un circuito digital que controle el ingreso a un edificio.

Para desbloquear la puerta de ingreso, se deberá ingresar la clave correcta que en su defecto es: “3579”

Como uno de los primeros requerimientos iniciales del proyecto, fue presentar dos posibles soluciones que sean capaces de cumplir las demandas propuestas.

**Solución 1**

El ingreso de la clave se realiza mediante botoneras las cuales representan los números del 0 al 9; estas señales pasan por un decodificador a BCD.

Se utilizan 4 compuertas lógicas AND las cuales sirven para verificar que los números ingresados coinciden con el dígito que forma parte de la contraseña. En caso de que todos los dígitos sean correctos, las señales de salidas de las 4 compuertas AND harán de entrada para otra compuerta AND que verificará que la clave es la correcta.

Cada dígito ingresado será almacenado en un registro de sostenimiento, los cuales serán habilitados de manera secuencial para así asegurarnos que no solamente los dígitos sean correctos, sino también el orden en el que se los ingresan.

Con los contadores up nos aseguramos de que exista un tiempo definido entre cada ingreso de dígitos, y así evitar tener datos almacenados en los registros de sostenimientos. De la misma manera, se implementaron contadores para dar un tiempo estimado entre ingreso de clave completa (3 intentos).

Cuando el ingreso de la clave es incorrecto se utilizará un indicador de error, por otro lado, si es correcta encenderá un led que indica el acceso al edificio; si la puerta permanece abierta se enviará una llamada y posterior se activará una sirena.

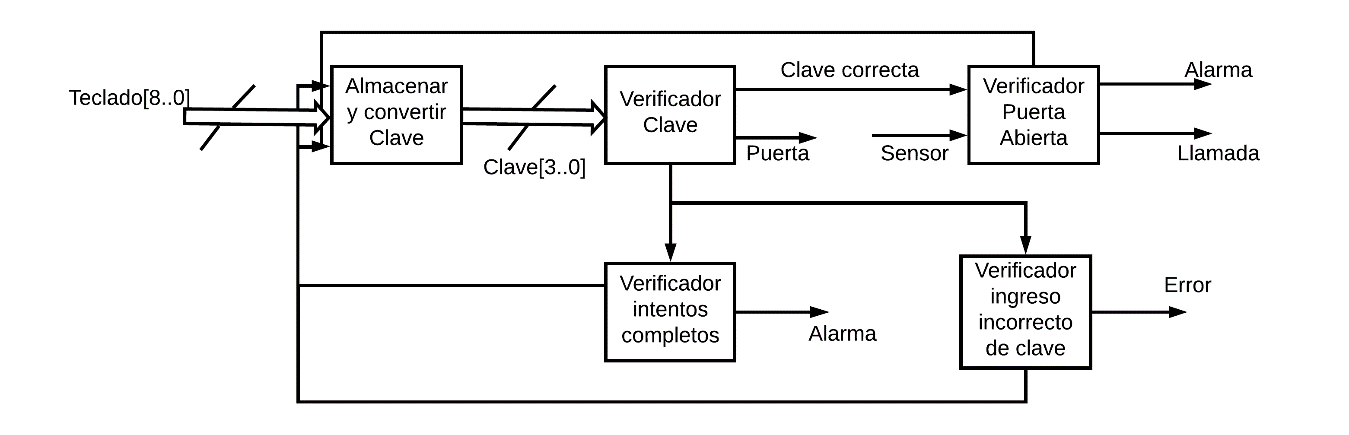
Esta sirena también se encenderá si se cumplen con los intentos disponibles para ingresar una contraseña.

**Solución 2**

En esta solución se planteó el uso de comparadores para verificar los dígitos y la clave del edificio; otro cambio era el uso de contadores down.

Finalmente optamos por la solución número 1, ya que en ella nos evitamos la codificación del bloque comparador, además de que en la solución 2 el bloque del contador down nos generaba un problema en el sistema, por lo tanto también los cambiamos.

# Diagrama De Bloques del Sistema Digital



## Explicación con detalle

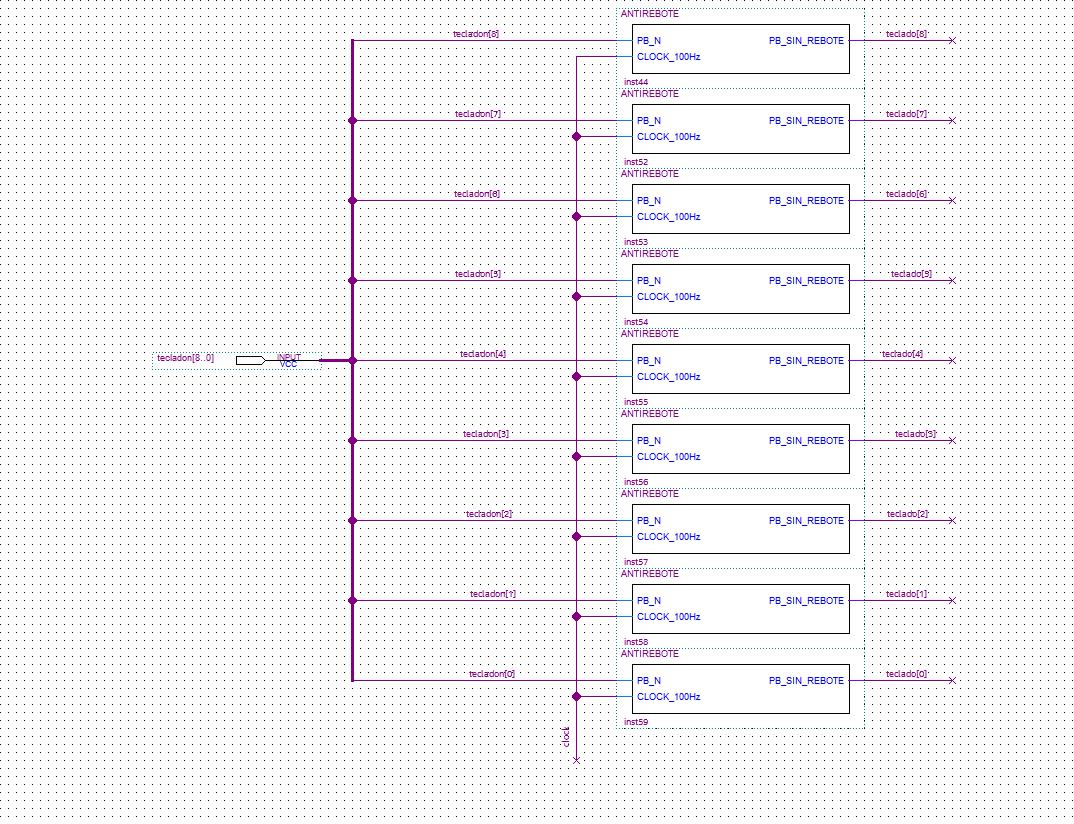
El circuito está dividido en 5 bloques principales, los cuales cumplen las funciones planteadas en el diagrama de bloques. Inicialmente se solicita el ingreso de dígitos para generar una clave de acceso, posteriormente esta clave de ser validada con la clave programada en el sistema digital.

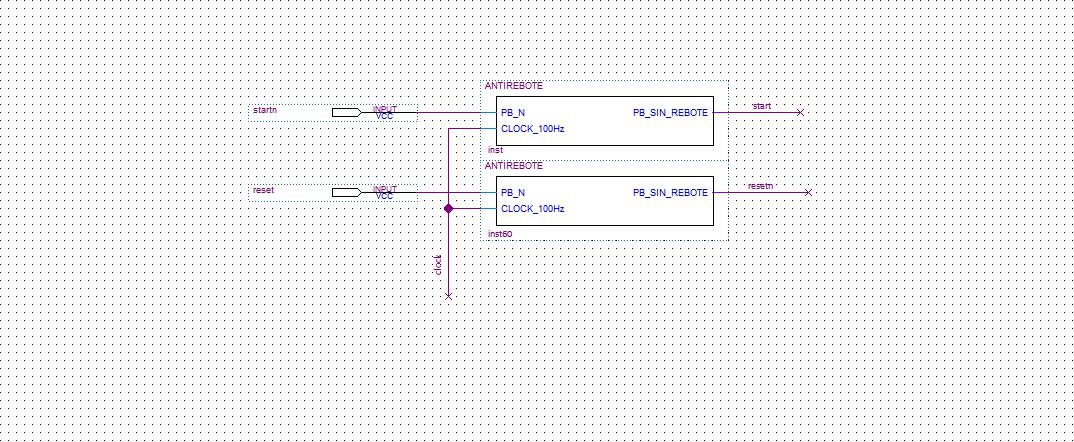
Si la clave es correcta se tiene acceso al edificio activando la señal Puerta y luego de ingresar al edificio pasamos al bloque que verifica si la puerta permanece abierta generando una señal de Alarma y Llamada en caso de que no se cierre la puerta.

Si la clave es incorrecta se emite una señal de Error y se inicia nuevamente el proceso de ingreso de dígitos. Cuando se le acaben los tres intentos al usuario, se generará la señal Alarma que activará una bocina de alerta.

# Partición Funcional del Sistema Digital

## Bloques antirrebotes

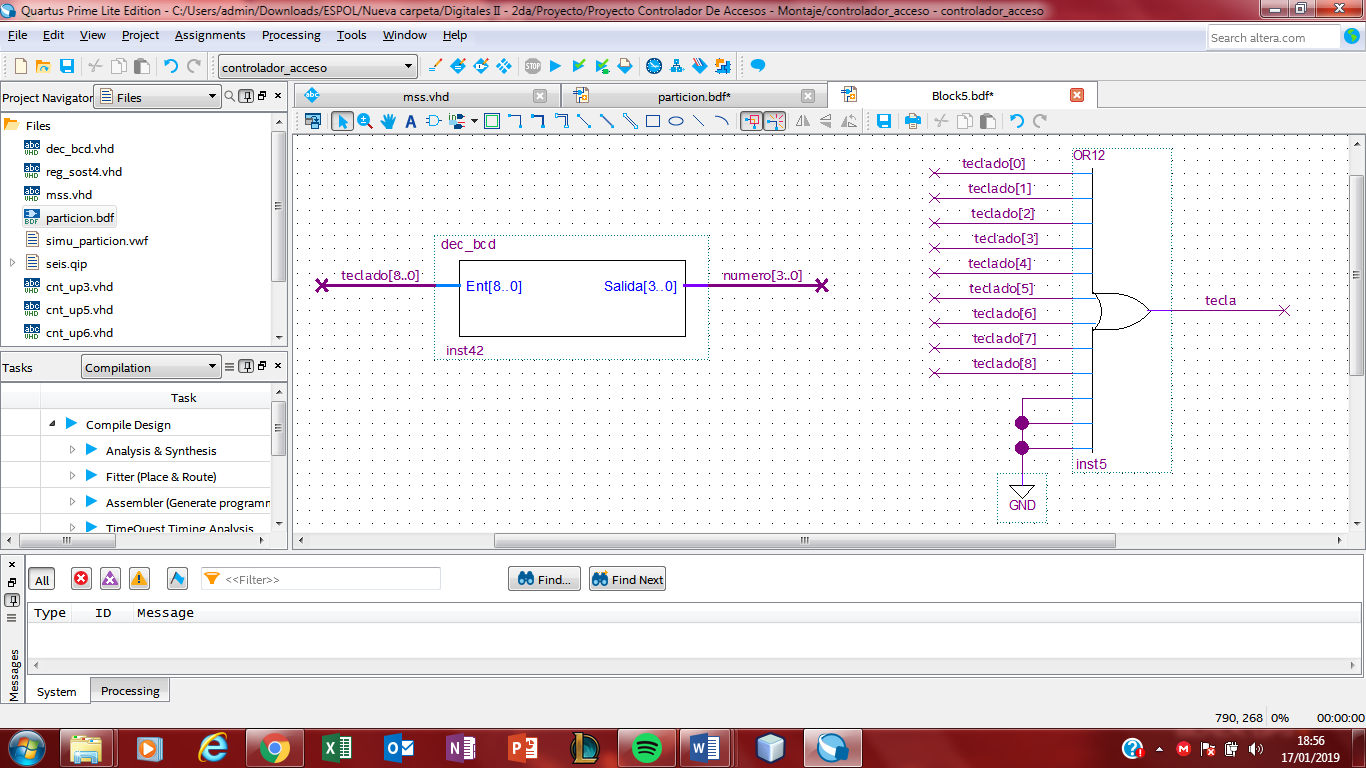




### Explicación con detalle

Este bloque se encarga de que nuestro sistema digital no falle cuando presionemos las botoneras, es decir, el sistema considera que sólo se las ha presionado una sola vez durante un flanco de reloj.

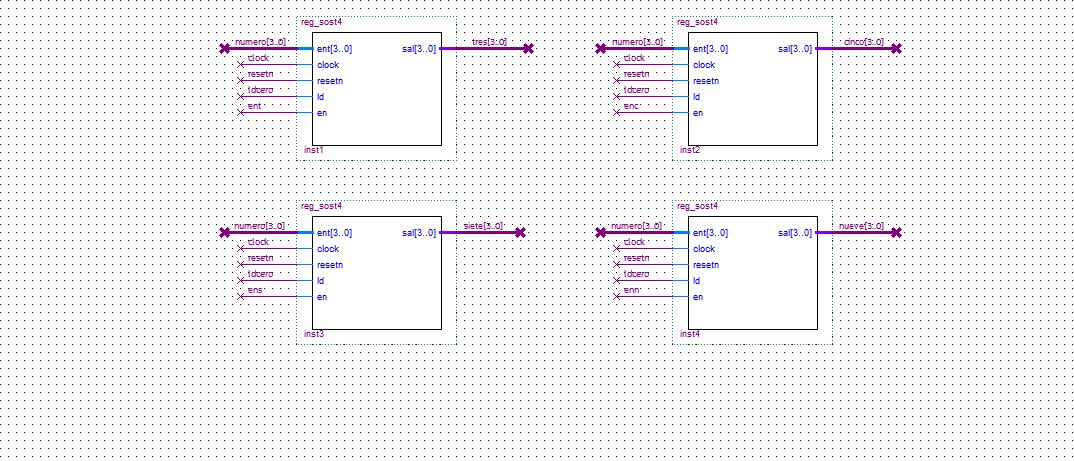
## Decodificador y compuerta OR



### Explicación con detalle

El bloque decodificador recibe la señal del teclado y las transforma a un número BCD, mientras que la compuerta OR detecta si alguna tecla fue presionada.

## Registros de sostenimiento

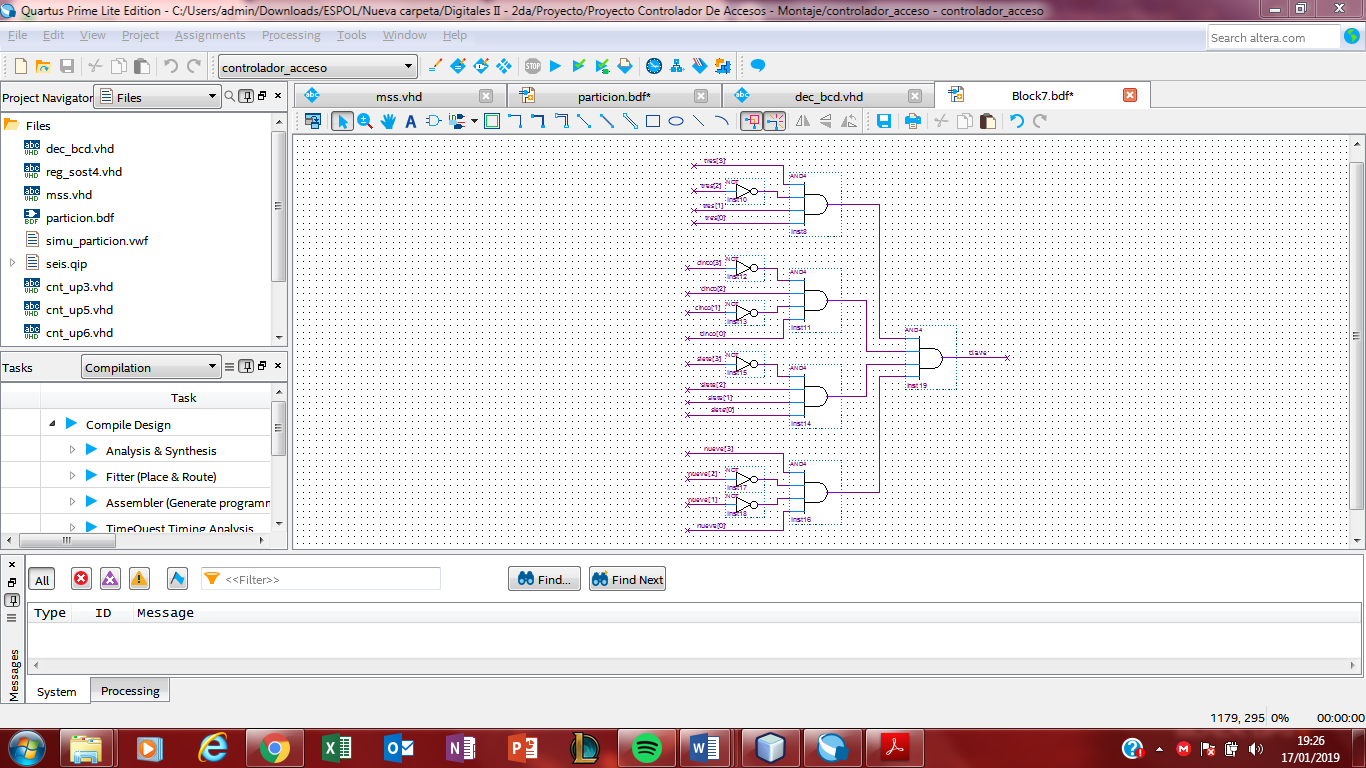


### Explicación con detalle

Este bloque recibe el número que envía el decodificador y se encarga de tener almacenados los dígitos (1 dígito por registro) que conforman la clave de acceso.

Cada registro es habilitado de tal manera que se respete la secuencia correcta de los dígitos, los cuales serán enviados a compuertas lógicas que validarán dichos números.

## Compuertas lógicas



### Explicación con detalle

Estas compuertas hacen la validación de los dígitos, en nuestro proyecto la clave correcta es: 3-5-7-9 en ese orden.

Posteriormente se valida si la clave ingresada es correcta con la compuerta AND, y de ser incorrecta emite una señal de **error.**

## Contadores UP

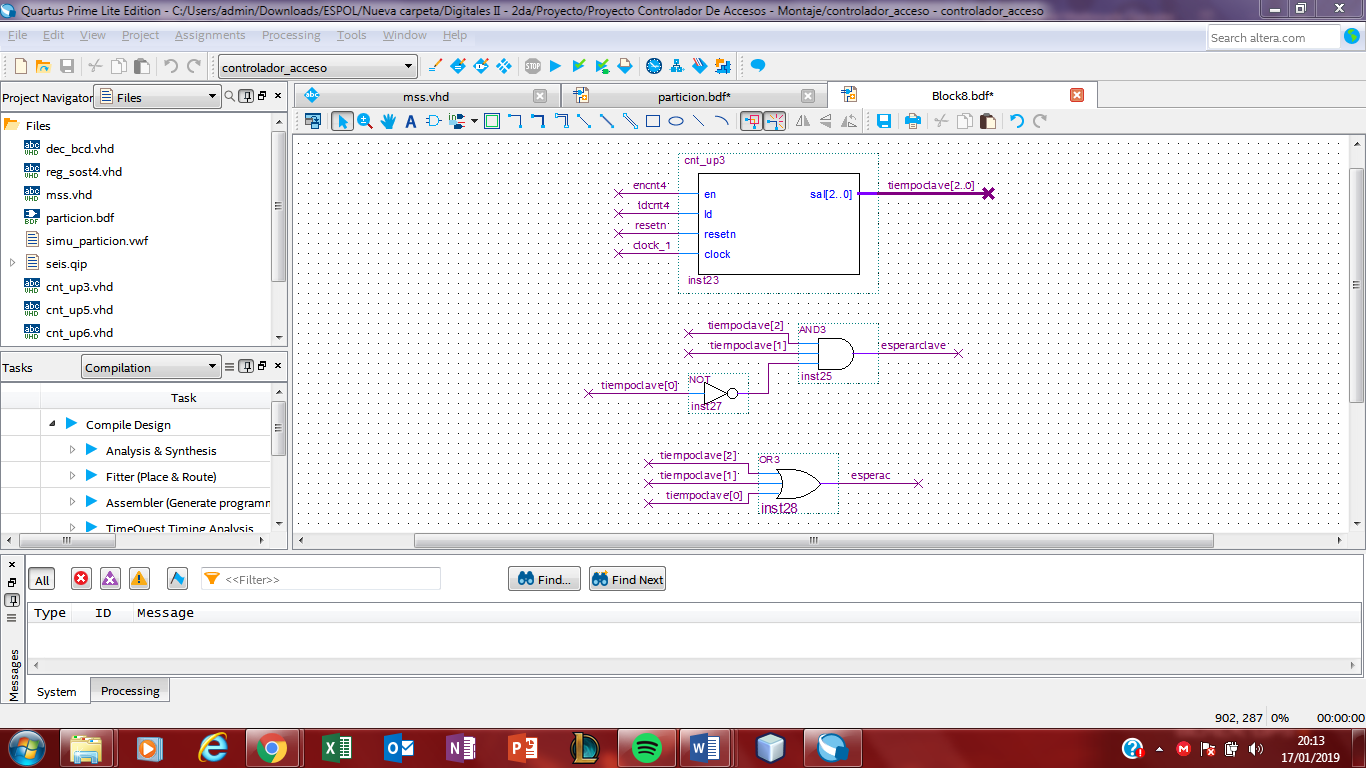
### Contador UP-3 para tiempo entre dígitos



Este contador es de 6 segundos, los cuales los usamos como el tiempo estimado en que el sistema esperará por el ingreso de otro dígito de la clave mediante la compuerta AND que emite la señal **esperarnumero**.

La compuerta OR activará la señal **esperar**, la cual es la encargada de reiniciar el contador para el nuevo ingreso de un dígito de la clave.

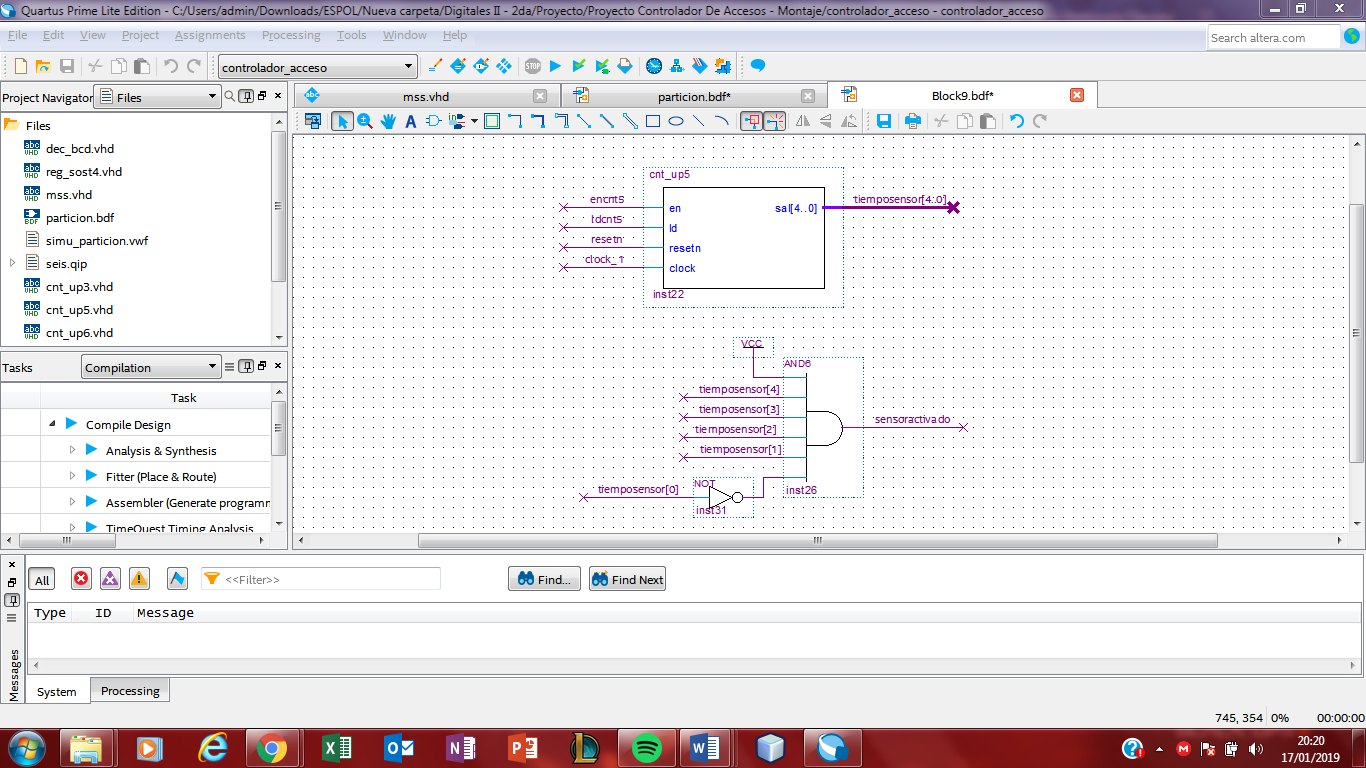
### Contador UP-3 para tiempo entre dígitos



De la misma forma utilizamos este contador de 6 segundos, pero esta vez lo usamos como el tiempo estimado en que el sistema esperará por el ingreso de otra clave completa (4 dígitos) mediante la compuerta AND que emite la señal **esperarclave**.

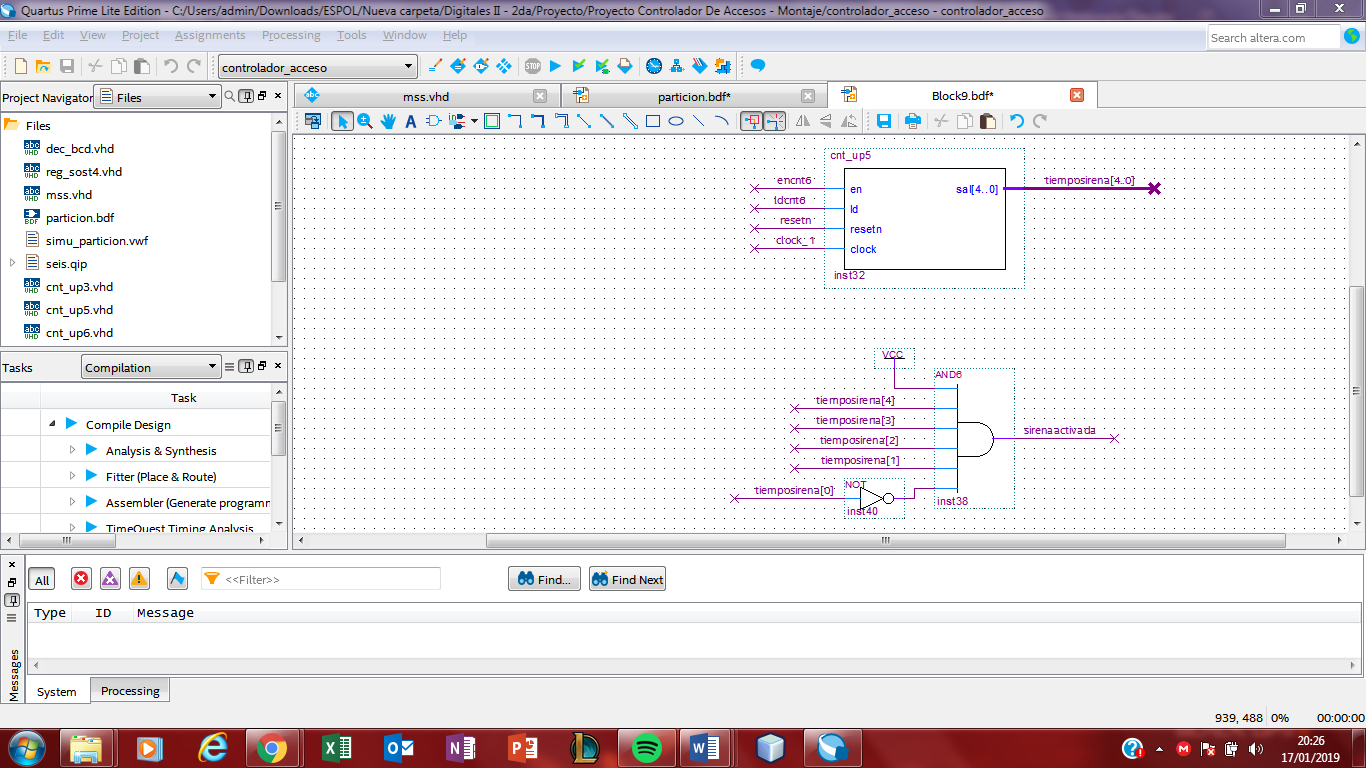
La compuerta OR activará la señal **esperac**, la cual es la encargada de reiniciar el contador para el nuevo ingreso de una clave.

### Contador UP-5 para tiempo del sensor



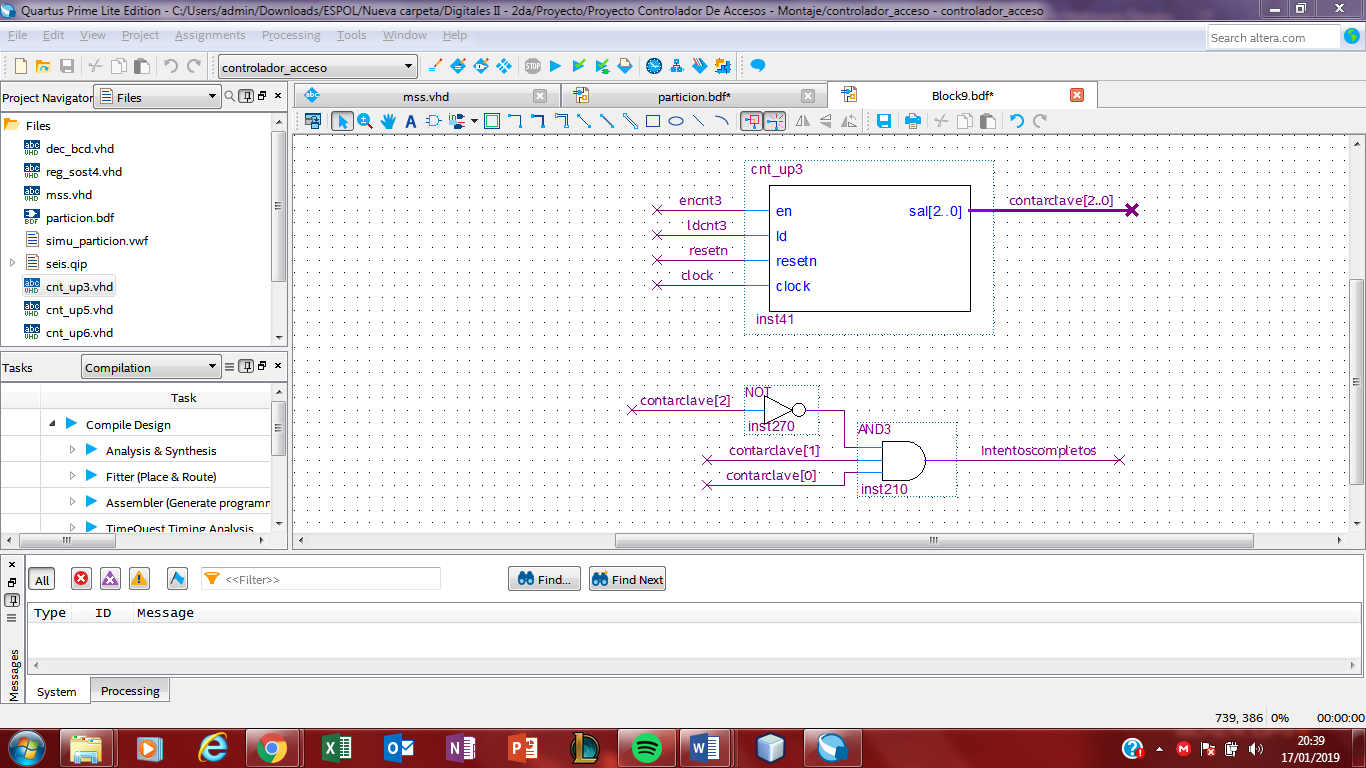
Cuando se tiene el acceso a la **puerta,** este contador de 30 segundos entra en acción, ya que es utilizado para indicarnos que la puerta ha sido abierta y más no ha sido cerrada. Mediante la compuerta AND validamos que se cumpla esta condición de espera para que la puerta sea cerrada, caso contrario se emite una **llamada** y una **alarma.**

### Contador UP-5 para tiempo de la sirena



Posteriormente cuando ya ha sido emitida la **llamada** y la **alarma;** esta sonará por un lapso de 30 segundos que es el tiempo de este contador.

### Contador UP-3 para los intentos completos



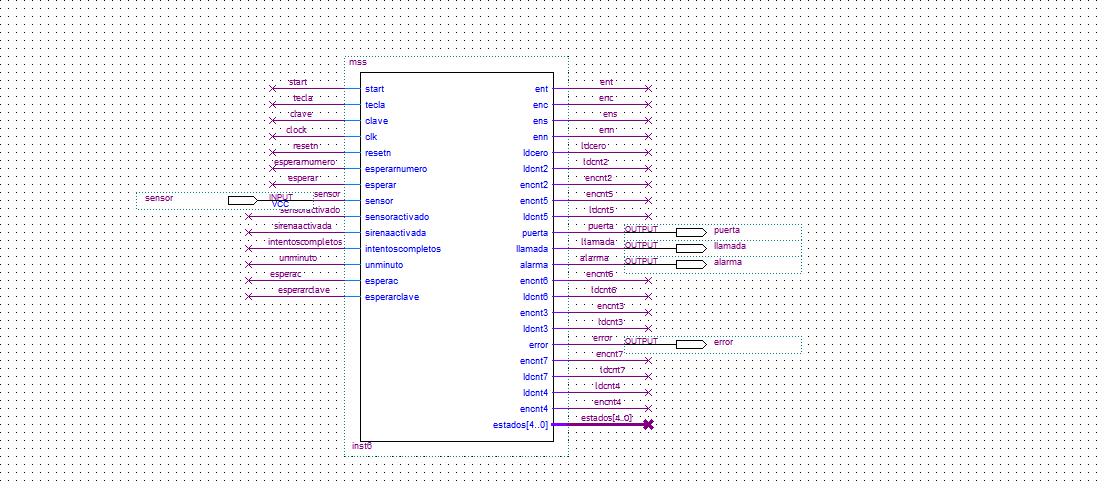
Este contador es el encargado de indicarnos si completamos nuestros tres intentos disponibles para el acceso a la **puerta** mediante la compuerta AND. Si se tienen intentos disponibles, el sistema esperará por el ingreso de otra clave completa, caso contrario emitirá la señal **alarma** la cual es una bocina de alerta.

### Contador UP-6 para tiempo de la alarma activada



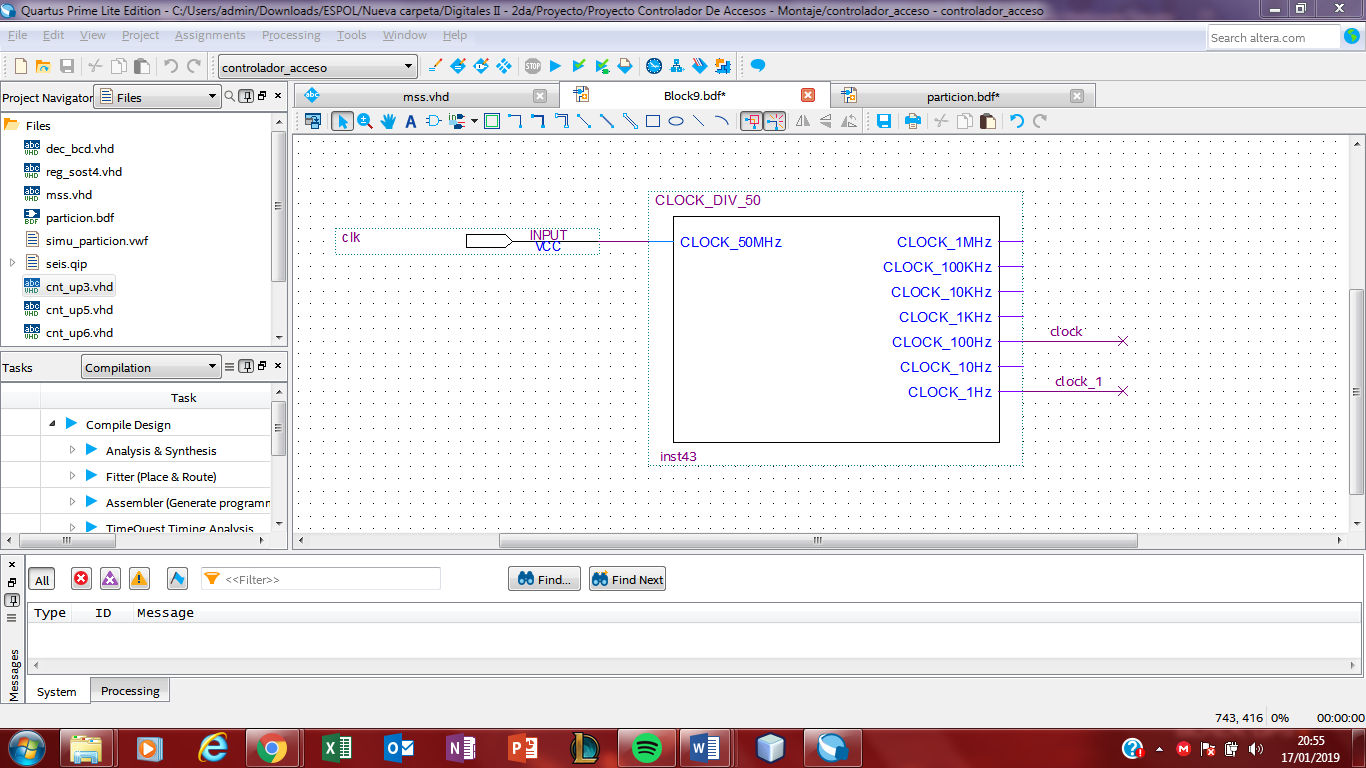
Este contador de 60 segundos es el encargado mantener la bocina de la **alarma** encendida durante ese lapso. La validación se la hace mediante la compuerta AND.

### MSS



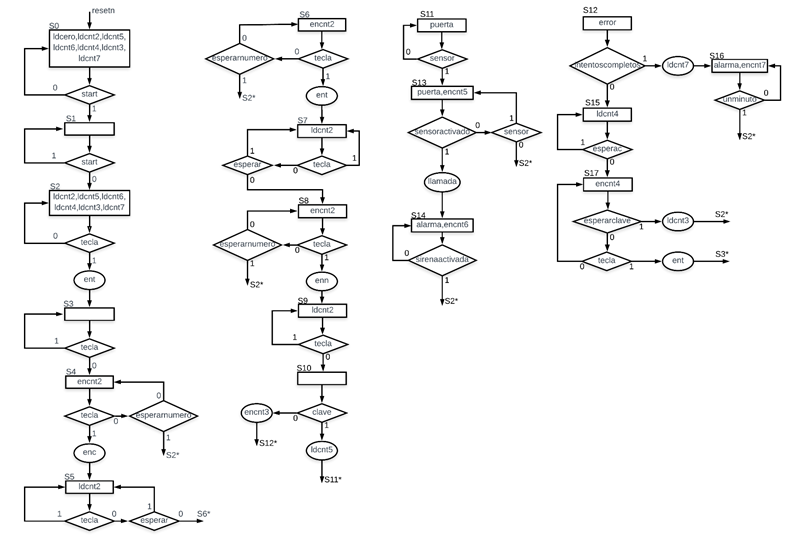
El bloque de la MSS es el que gobierna todas las señales en el sistema digital. Determina el comportamiento del sistema digital.

### Divisor de frecuencia



Como su nombre lo indica, es un divisor de frecuencia el cual lo utilizamos para enviar una señal de reloj de 1Hz para todos los contadores y otra señal de reloj de 100Hz para la MSS.

# Diagrama ASM del Controlador



## Explicación con detalle

El sistema empieza en el estado S0, en el cual se cargan todos los contadores, posterior a eso pregunta por la señal **start**, la cual debe ser presionada y soltada para dar inicio al funcionamiento del controlador de accesos.

En el estado S2 nuevamente se cargan los contadores y se empieza a preguntar por el ingreso de los dígitos con la señal **tecla**, esta debe ser presionada y soltada para hacer el ingreso de un dígito. Cuando se presiona la primera tecla, se genera una salida mealy la señal **ent** y pasamos al estado S3, la señal **ent** es la habilitadora del registro de sostenimiento del número tres, que posteriormente será validado mediante una compuerta AND.

Una vez que se suelta la tecla, pasamos al estado S4, en donde habilitamos el contador up de 6 segundos y preguntamos nuevamente por el ingreso de un dígito mediante la señal **tecla**, si no hace ingreso alguno se pregunta por la señal **esperarnumero**, que no es más que el tiempo de 6 segundos que damos entre ingreso de dígitos para la clave. De la misma manera sucede con los 3 dígitos restantes de la clave llegando al estado S10.

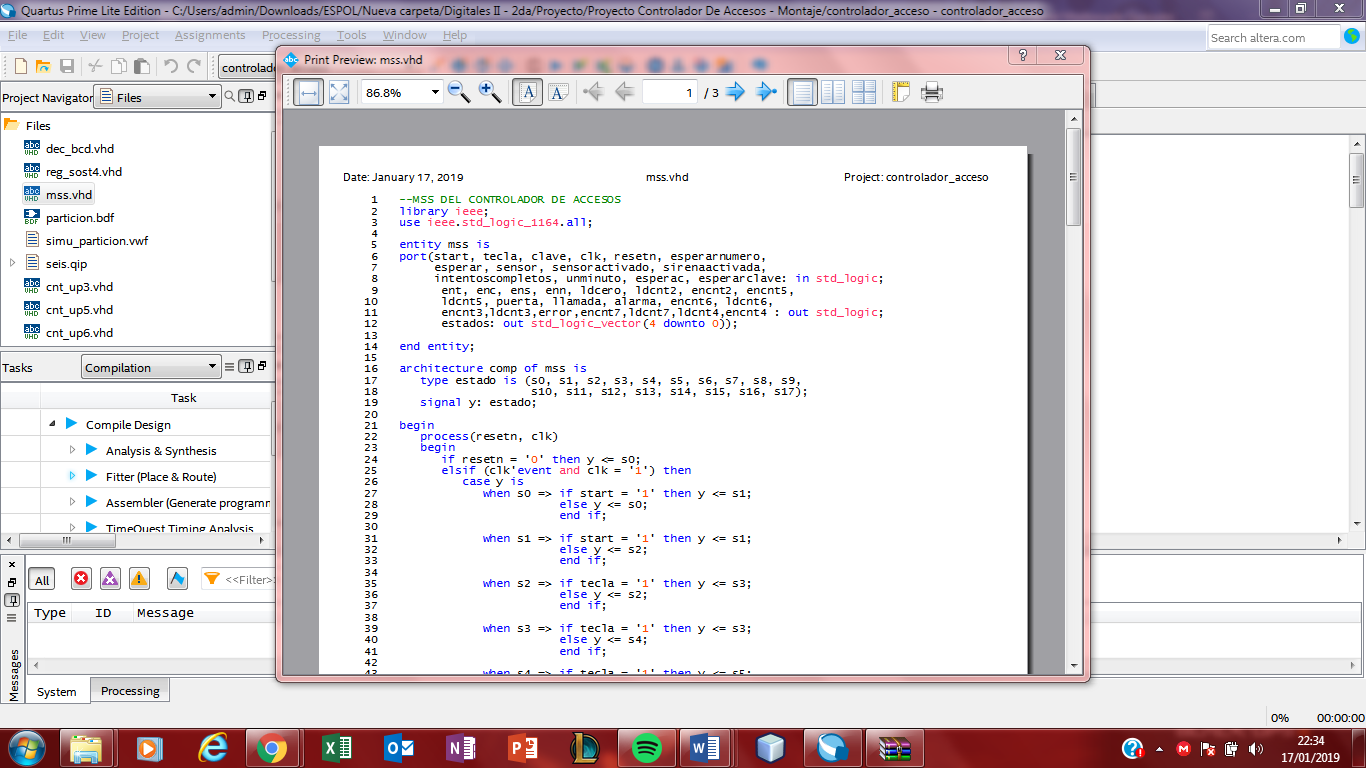
En este estado se pregunta por la señal **clave**, que verifica si la clave es correcta. Si la clave es la correcta pasamos al estado S11 activando la señal **puerta**, que nos indica que tenemos acceso disponible; cuando se abre la puerta se pregunta por la señal **sensor**, que es la simulación de abrir y cerrar la puerta mediante un switch; ya en el estado S13 se pregunta por **sensoractivado** que que es emitida por un contador de 30 segundos que es el tiempo dado para que cierren la puerta, si no se cierra durante el tiempo dado se emite una **llamada** y una **alarma**.

Si la clave es incorrecta pasamos al estado S12 en donde activamos la señal **error**, indicándonos que la clave no es la correcta, posterior a eso debemos preguntar por **intentoscompletos**, ya que se cuenta con 3 intentos disponibles. Si aún se tienen intentos disponibles, se comenzará nuevamente al ingreso de los dígitos para la clave. Si se completaron los 3 intentos entonces se genera la señal **alarma** en el estado S16, que es una bocina de alerta.

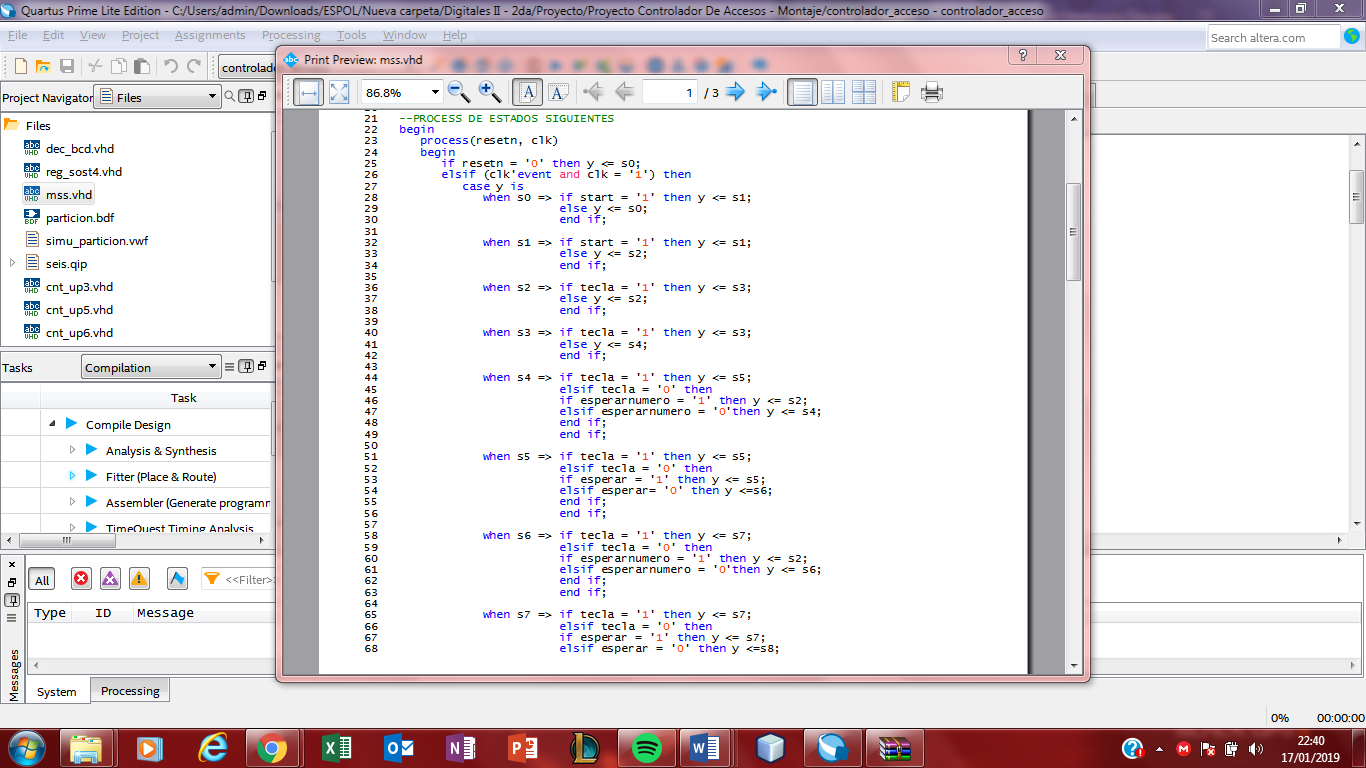
# Código VHDL MSS

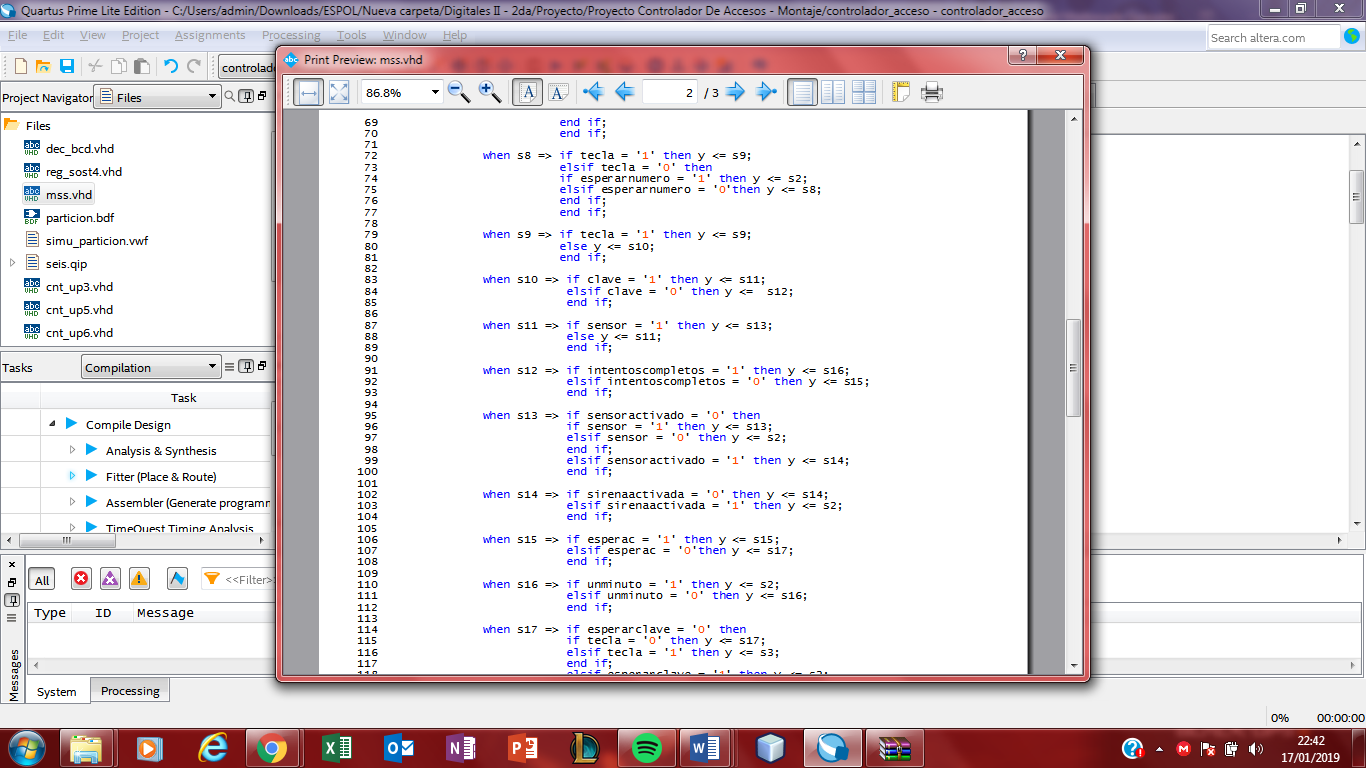
## Entidad

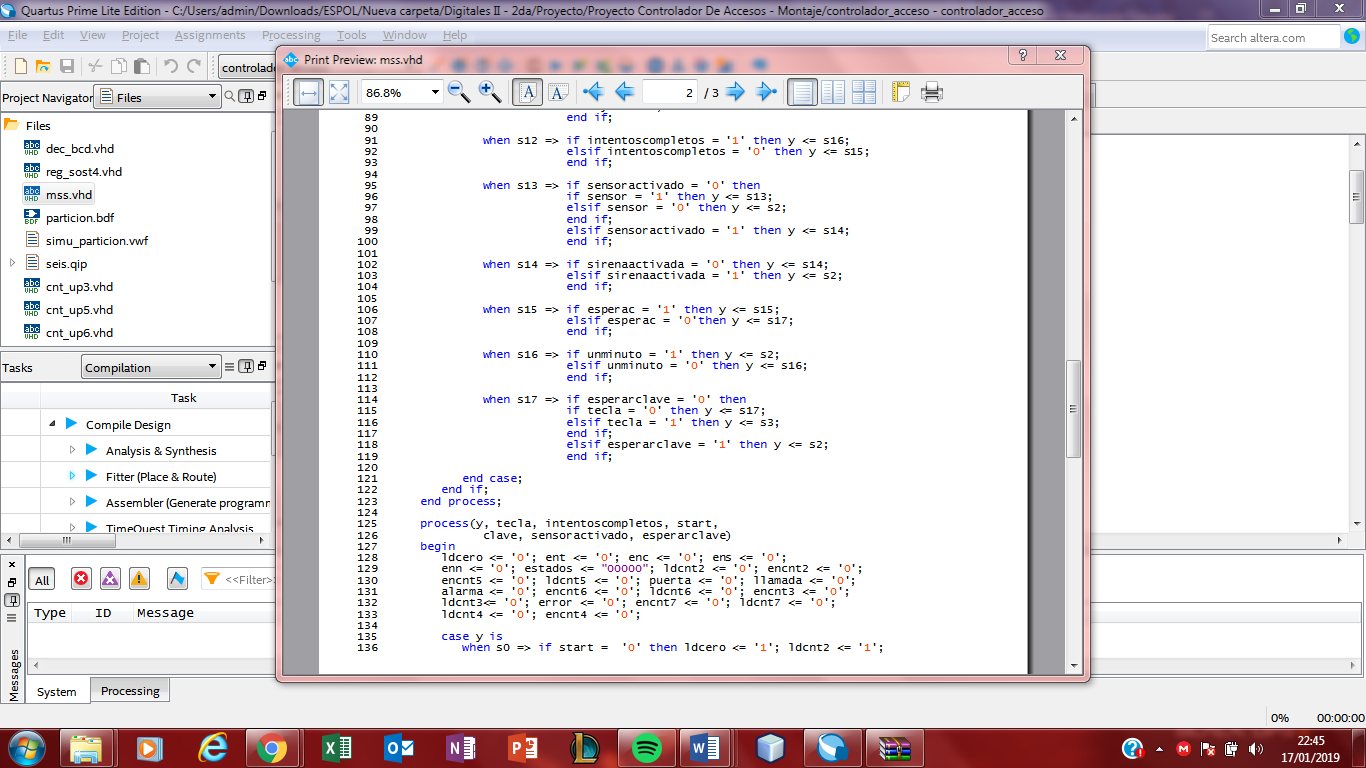
## Arquitectura



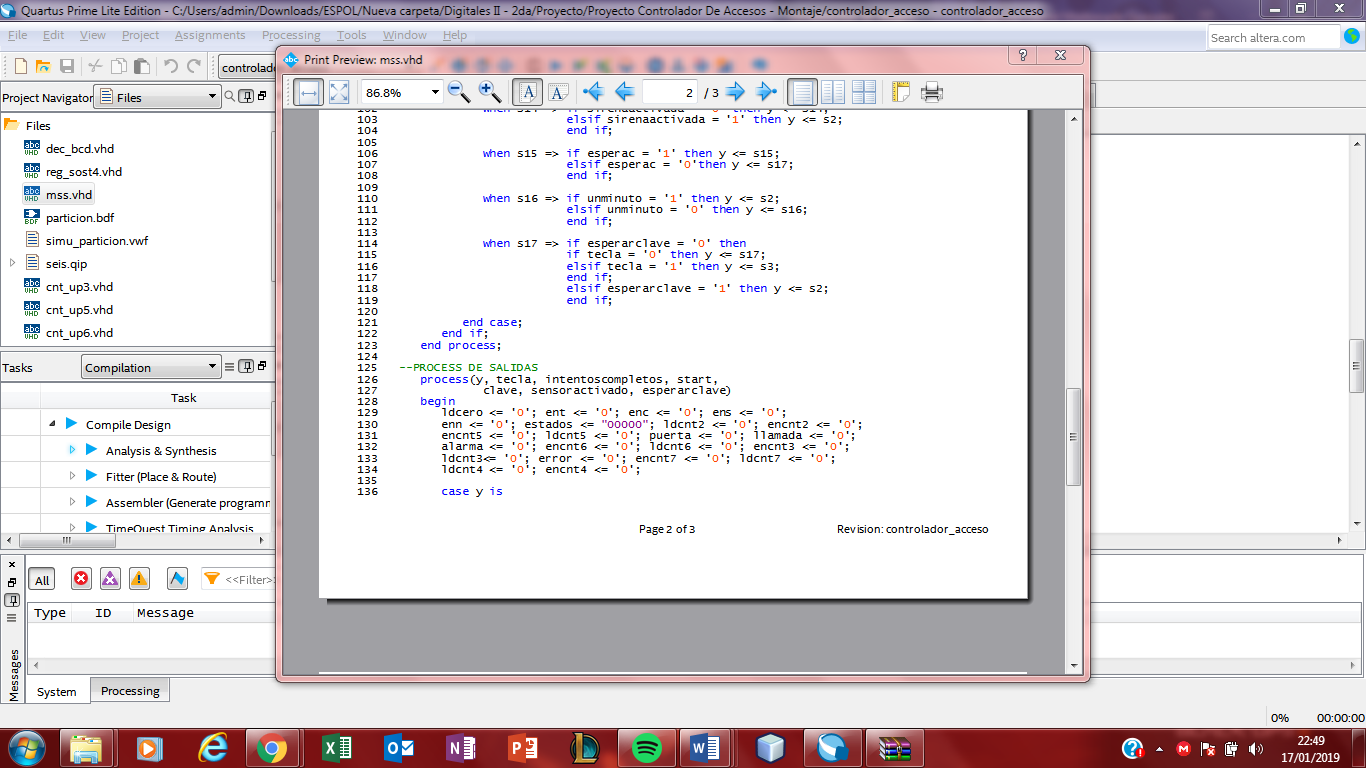
### Process Estados Siguientes

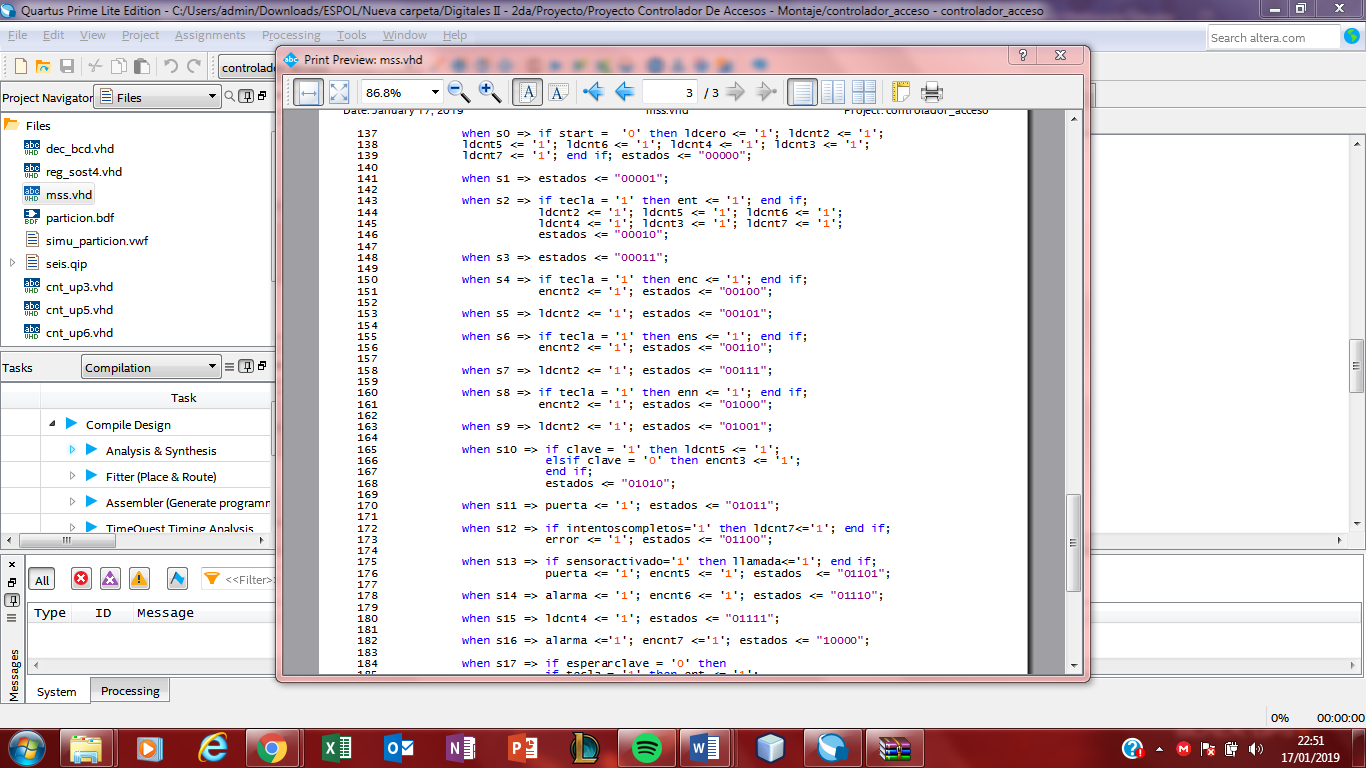


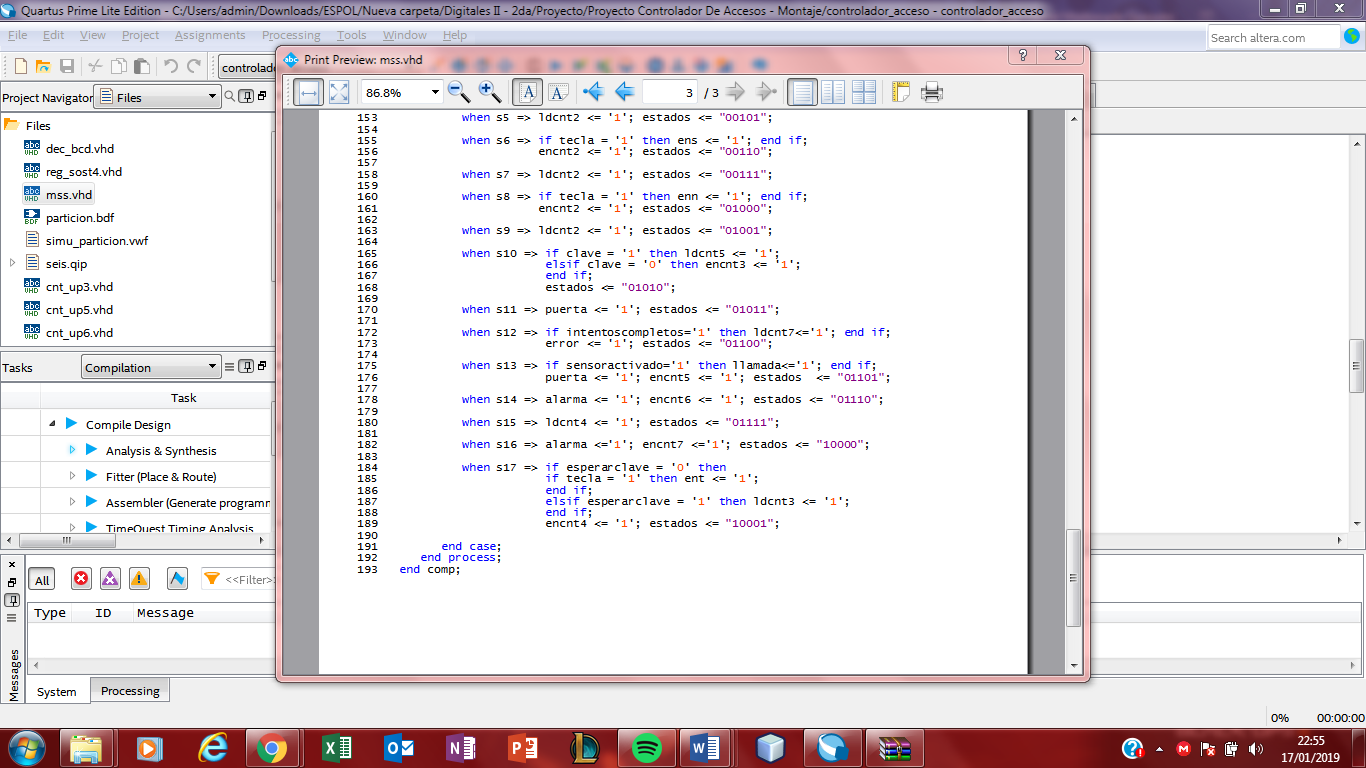




### Process Salidas

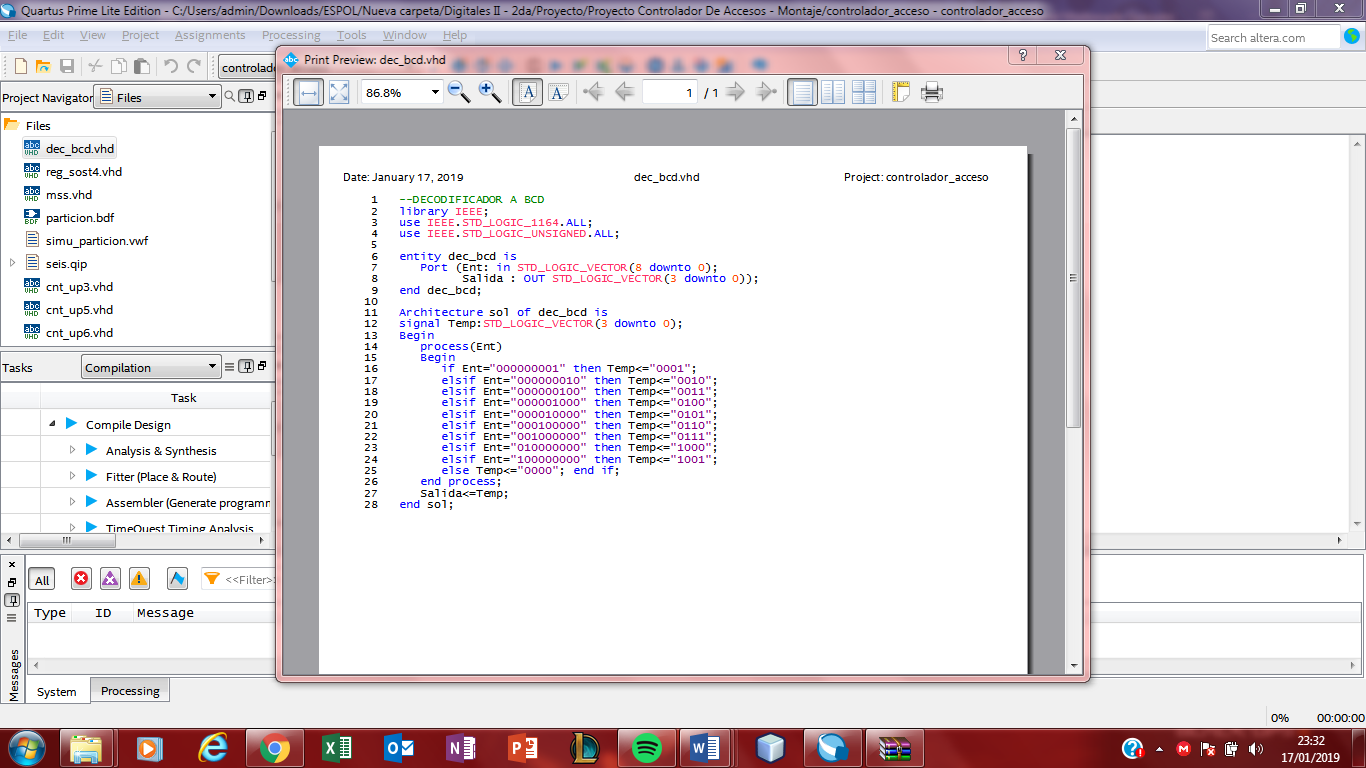




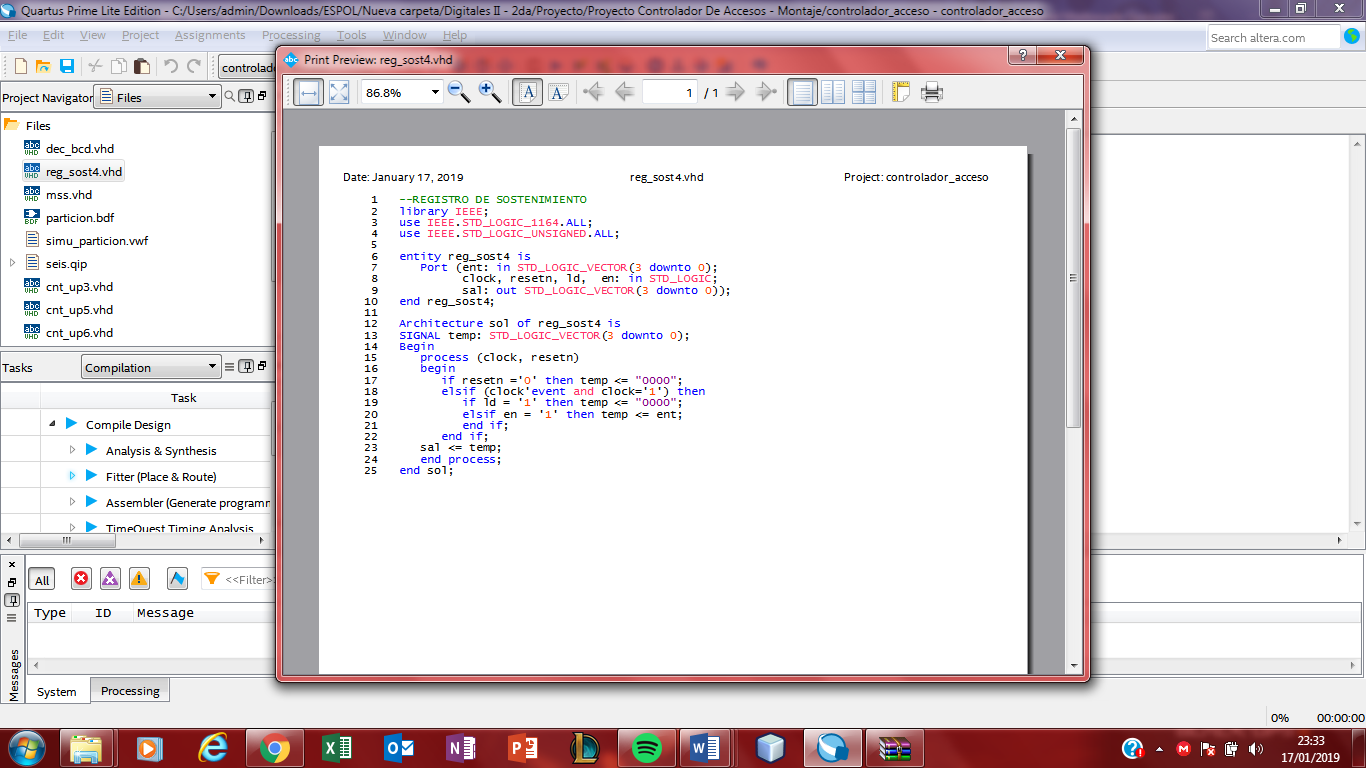


# Códigos VHDL de los bloques MSI

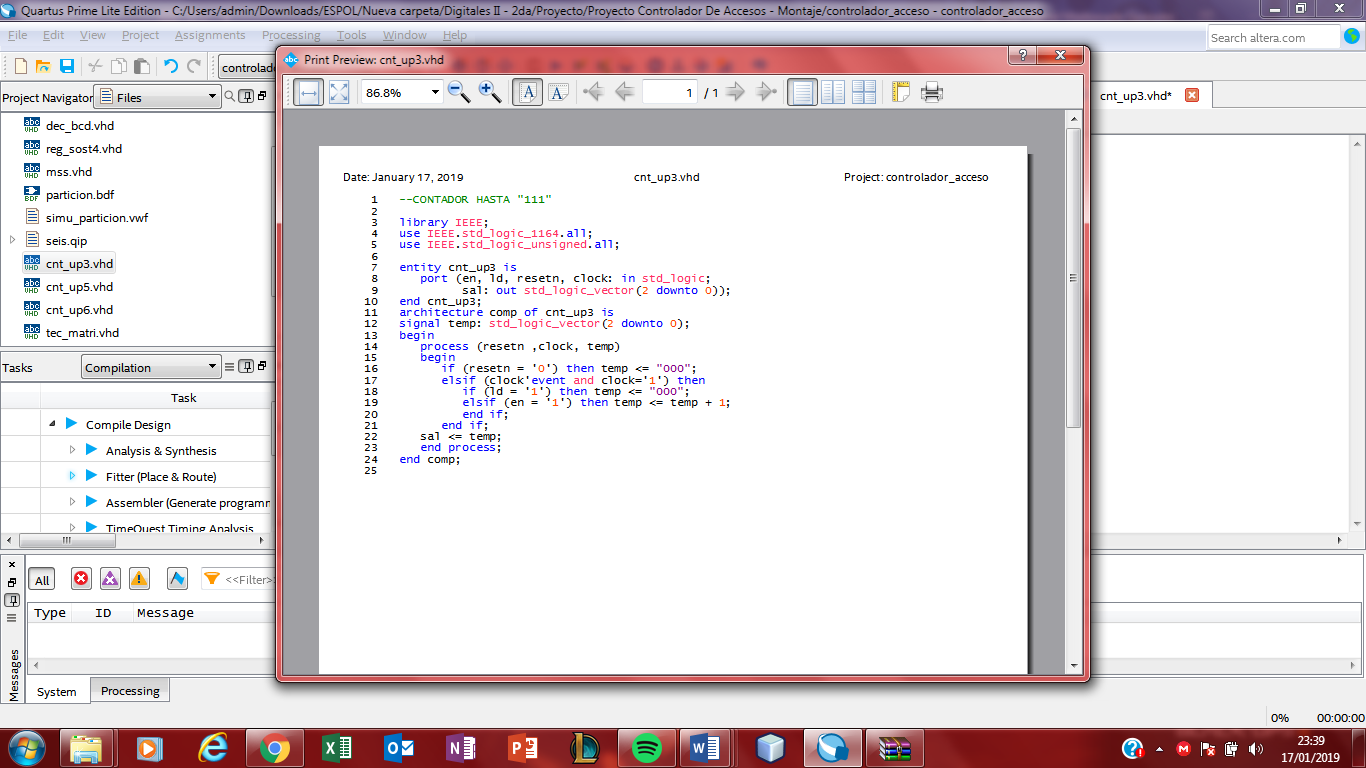
## Decodificador a BCD



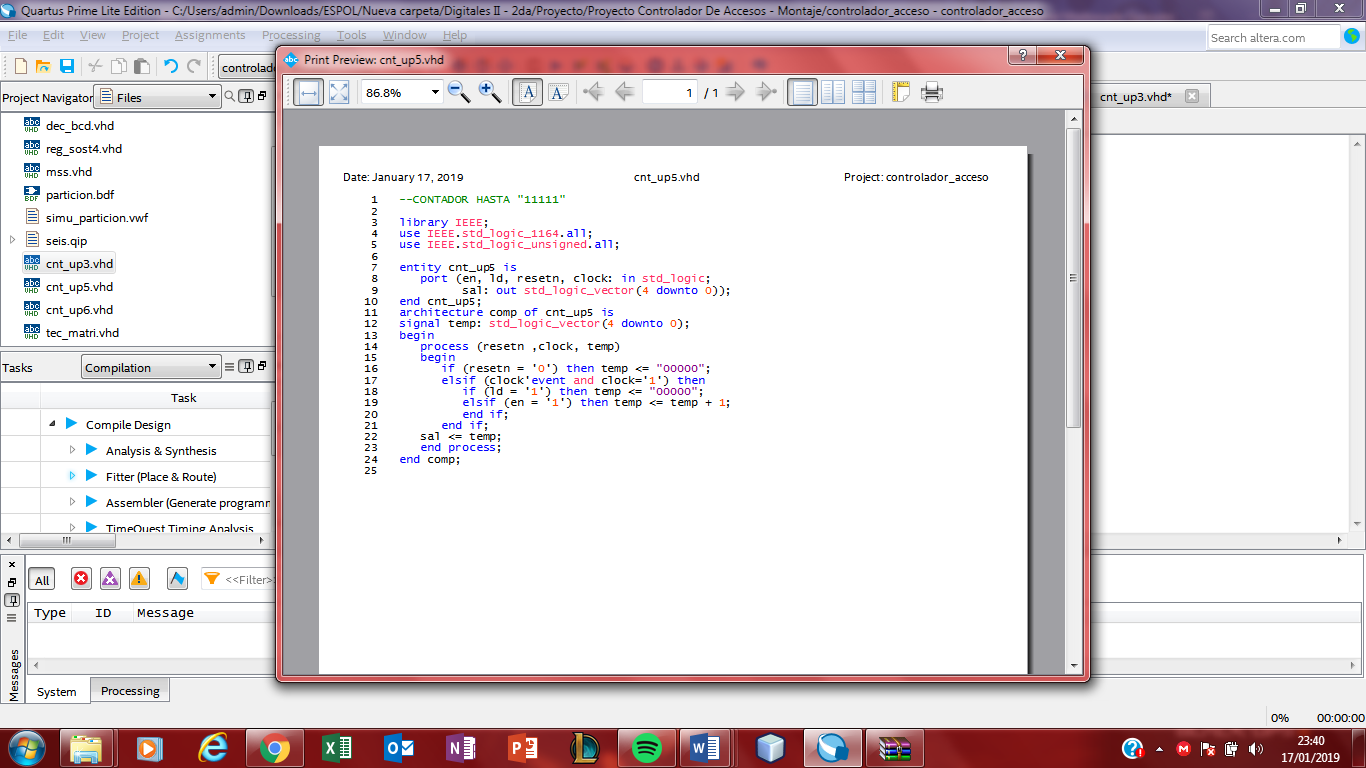
## Registro de sostenimiento



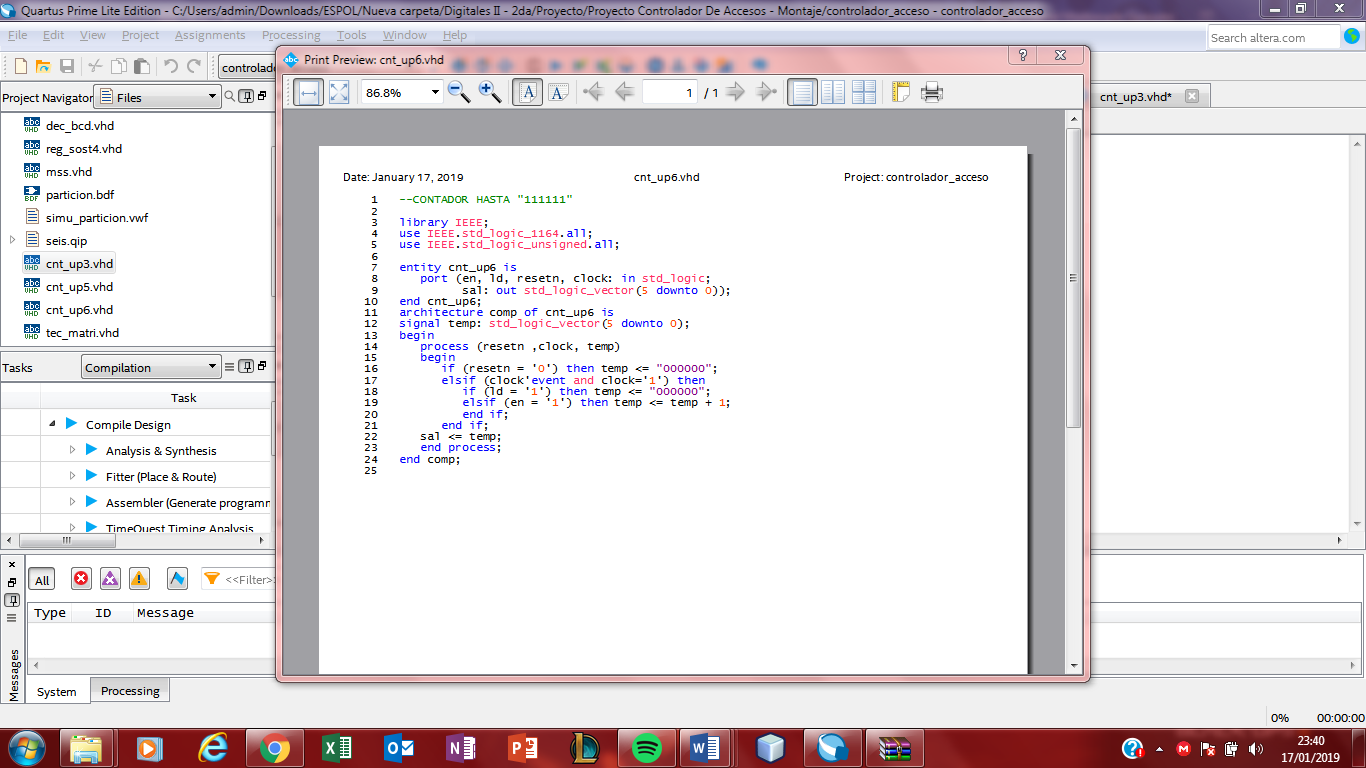
## Contador UP hasta “111”



## Contador UP hasta “11111”

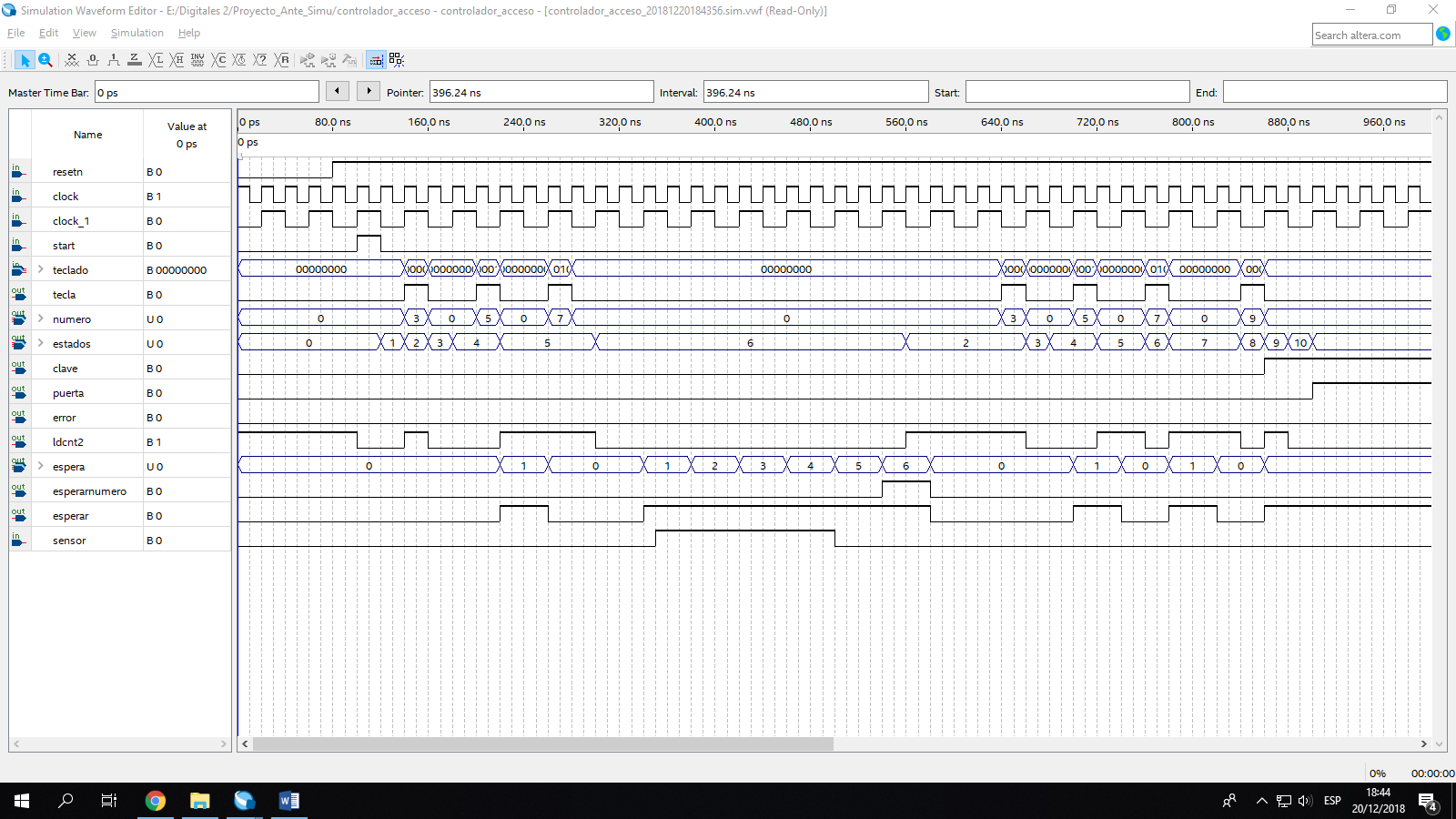


## Contador UP hasta “111111”



# Diagramas de tiempo del Sistema Digital

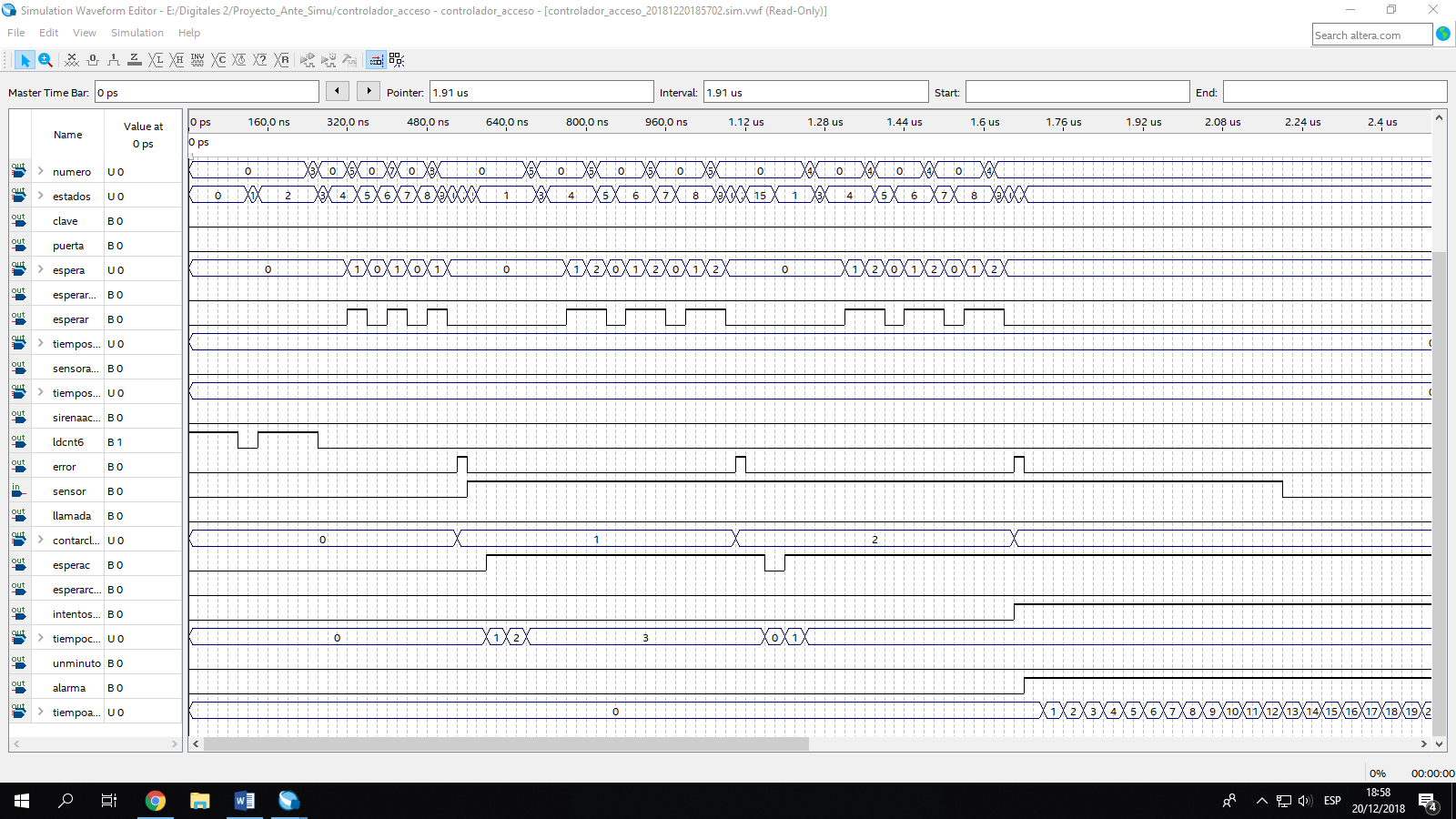
## Clave correcta



En este reporte de simulación observamos el comportamiento del circuito cuando este recibe dígitos para la clave, pero sin completarla, por lo tanto, la señal “**espera**” (del contador UP) nos muestra el conteo entre dígitos de la calve, y cuando al llegar a los 6 segundos, este se devuelve al estado inicial de ingreso de dígitos.

Posteriormente se vuelve a realizar el ingreso de dígitos para la clave, esta vez con la clave correcta, la cual activa la señal “**clave**” que indica que la clave fue correcta y esta a su vez indica con la señal “**puerta**” que tenemos acceso concedido.

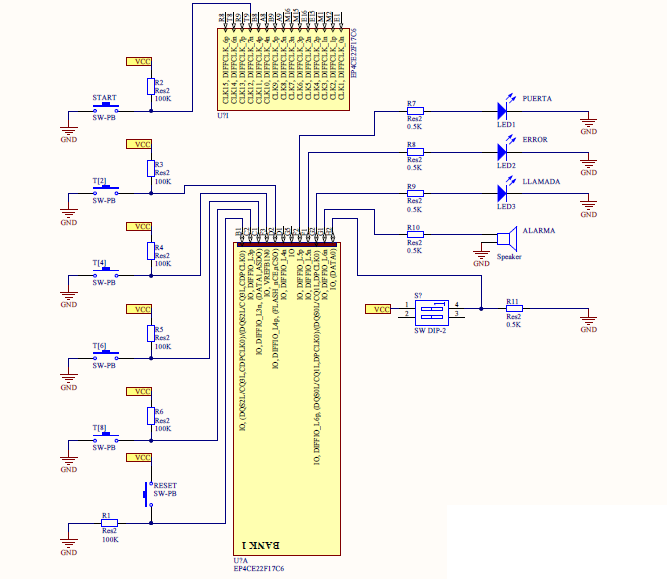
## Clave incorrecta



En este reporte de simulación observamos el comportamiento del circuito cuando este recibe dígitos incorrectos para la clave, por lo tanto, la señal “**error**” se activa cada vez que la clave es incorrecta.

Se activan las señales correspondientes de “**llamada**” y “**unminuto**” que nos indican que el acceso fue denegado.

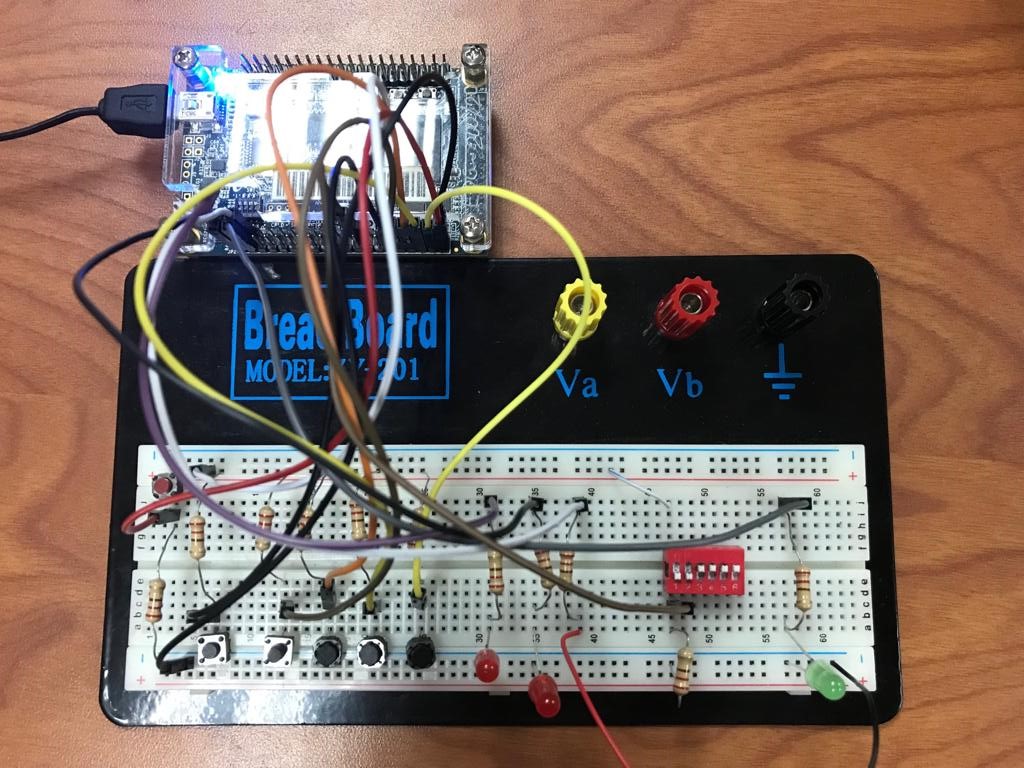
# Diagrama Esquemático



Este circuito representa el implementado en el protoboard, con sus respectivas señales definidas en el diagrama.

# Anexos

## Protoboard implementado



## Pin Planner

# 

# Conclusiones

* Se puso en práctica todos los conocimientos teóricos y prácticos adquiridos durante el presente período de la materia Sistemas Digitales II
* Se implementó un sistema digital controlador de accesos que recibe dígitos para la contraseña correcta con la ayuda del lenguaje de descripción de hardware VHDL utilizando la FPGA de la familia **Cyclone IV E** **EP4CE22F17C6**