

Folha de Dados
Primeira Lista Exercícios
Circuitos Sequenciais e Projeto RTL

Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas

Instruções:

1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: _____

matrícula: _____

Exercício 1. Ping-pong leds

- 1) Diagrama de blocos proposto.

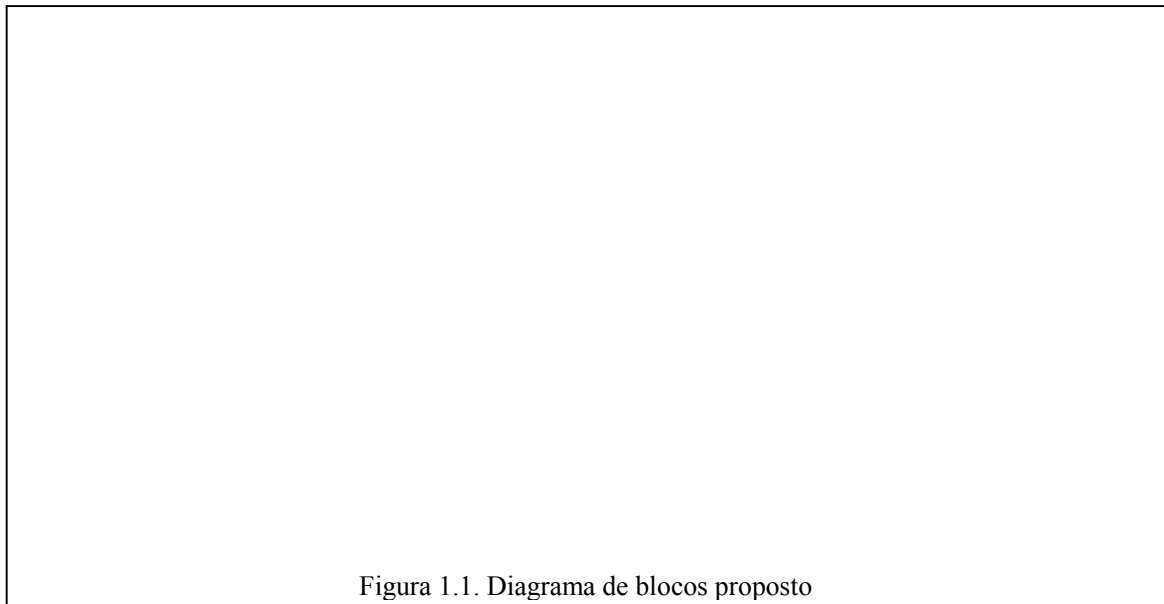


Figura 1.1. Diagrama de blocos proposto

2) Diagrama esquemático (Análise RTL pré-síntese)

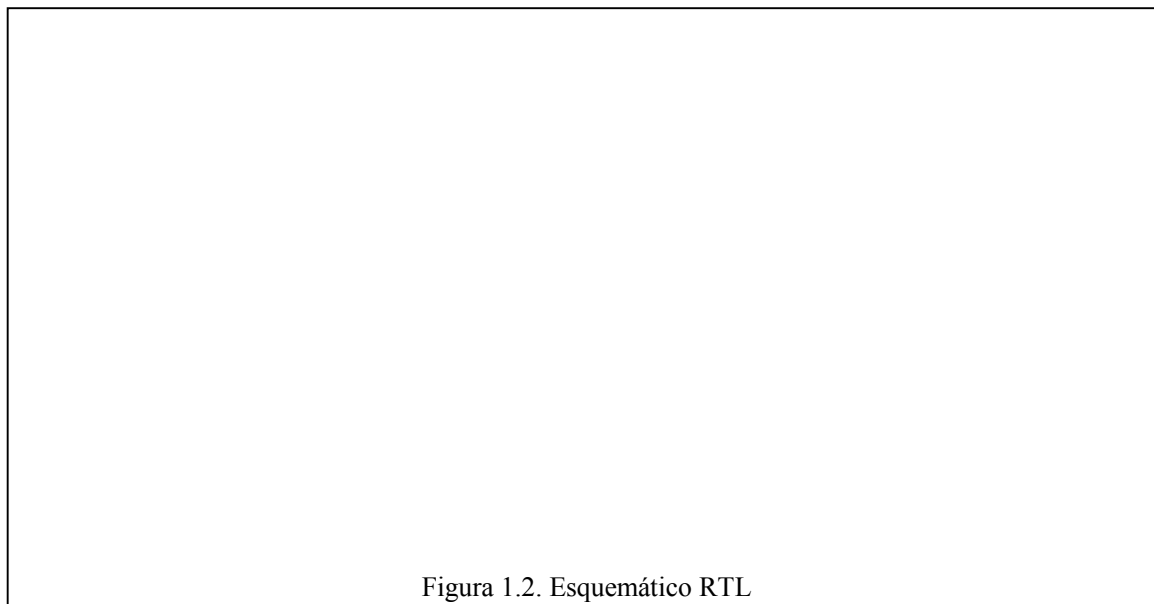


Figura 1.2. Esquemático RTL

3) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

4) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

5) Análise de timing:

Wors negative slack (setup): _____ ns
 Worst negative slack (hold) : _____ ns
 Frequência de operação do circuito: _____ MHz
 Caminho crítico (net de origem):
 Caminho crítico (net de destino):
 Maximo path delay: _____ ns

6) Layout do circuito após a implementação (após processo *Place and Route* – PAR):

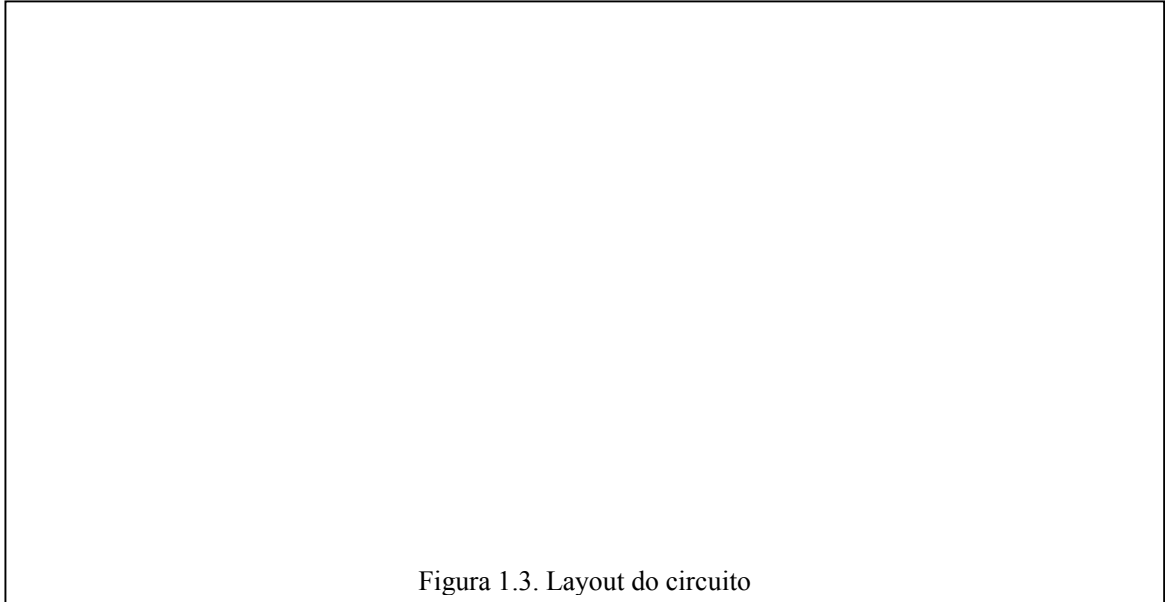


Figura 1.3. Layout do circuito

7) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)
Potência estática: _____ (mW)
Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:

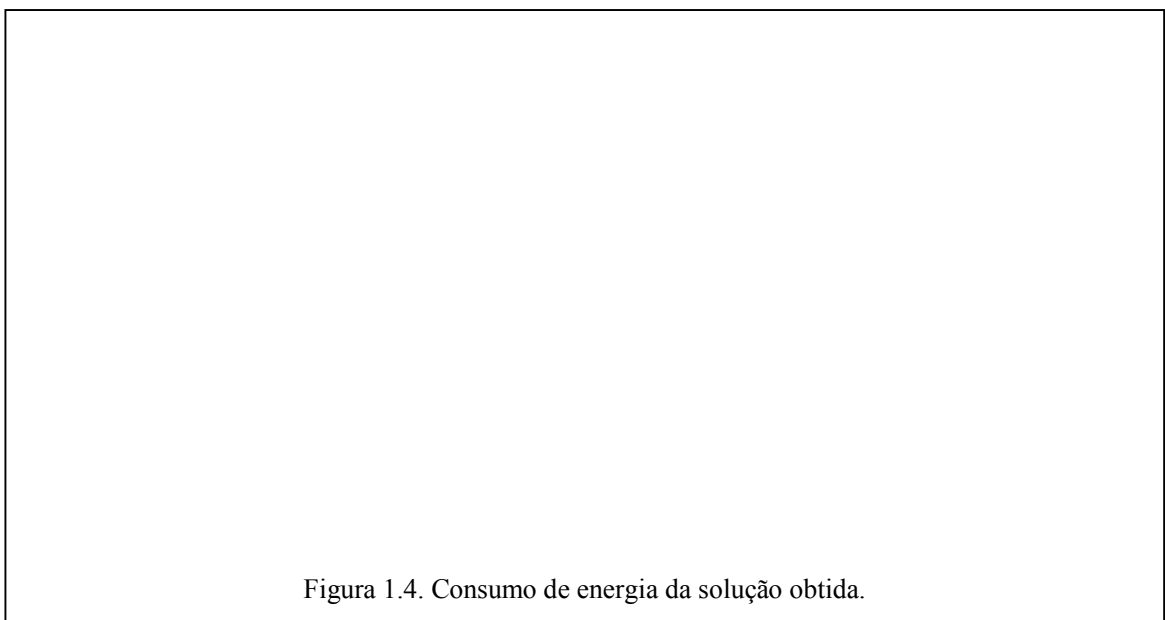


Figura 1.4. Consumo de energia da solução obtida.

Exercício 2. Ping-pong leds FSM

1) Diagrama de blocos proposto.

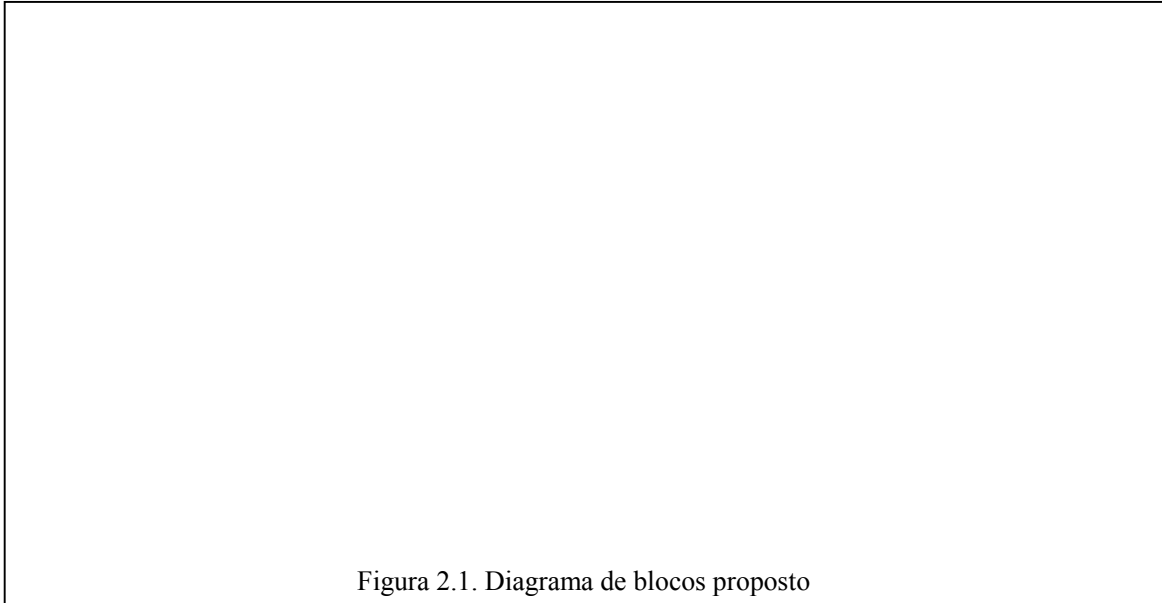


Figura 2.1. Diagrama de blocos proposto

2) Diagrama de estados:

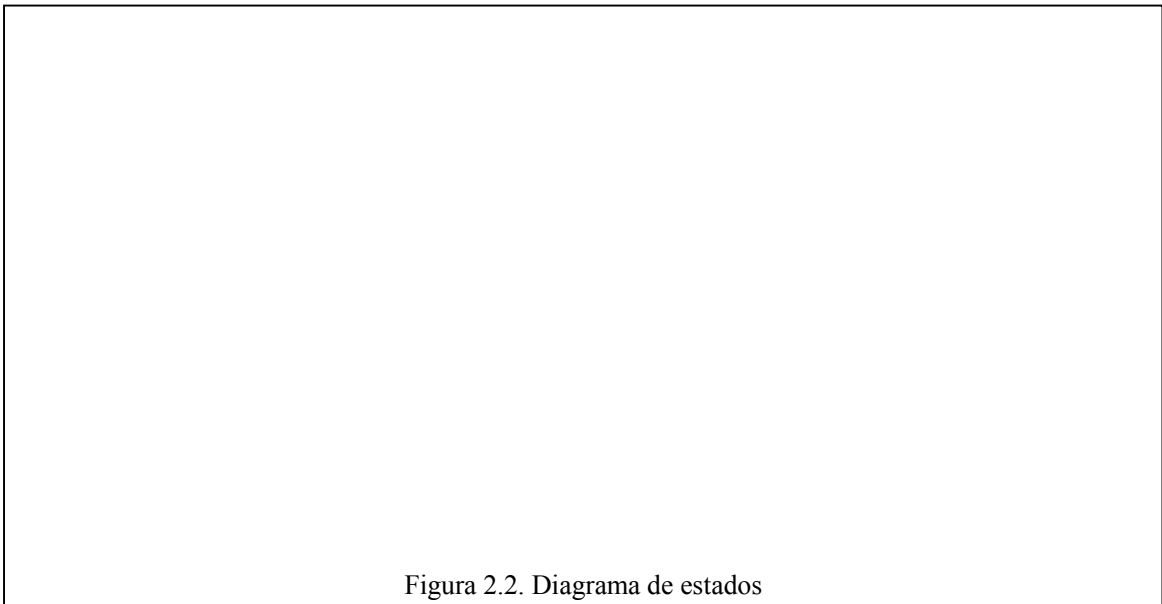


Figura 2.2. Diagrama de estados

3) Diagrama esquemático (Análise RTL pré-síntese)

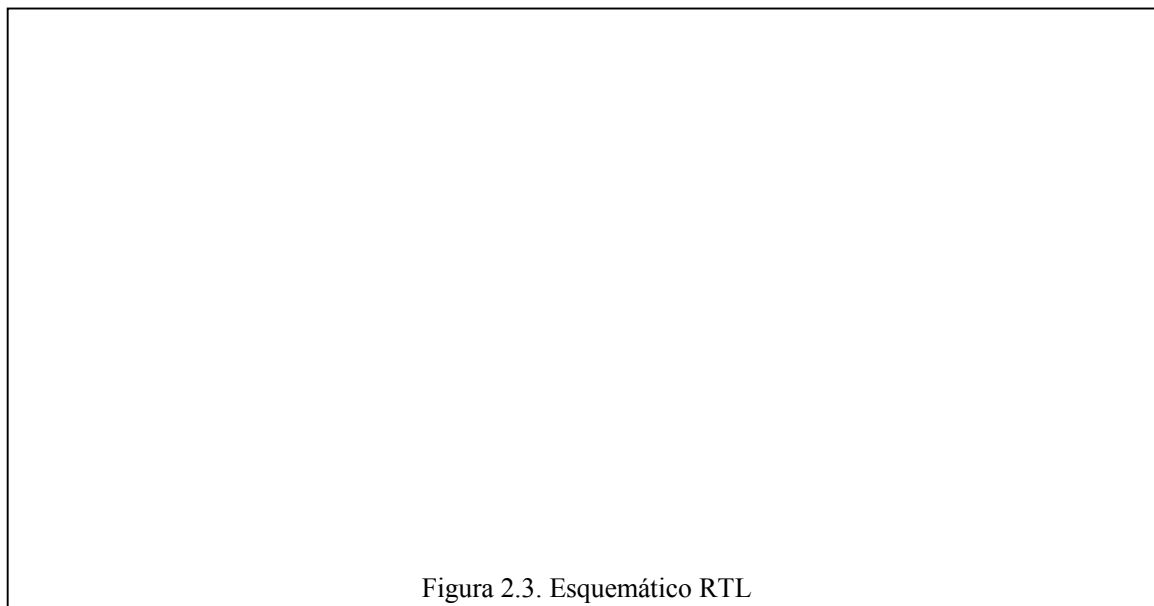


Figura 2.3. Esquemático RTL

4) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

5) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

6) Análise de timing:

Wors negative slack (setup): _____ ns
 Worst negative slack (hold) : _____ ns
 Frequência de operação do circuito: _____ MHz
 Caminho crítico (net de origem):
 Caminho crítico (net de destino):
 Maximo path delay: _____ ns

7) Layout do circuito após a implementação (após processo Place and Route – PAR):

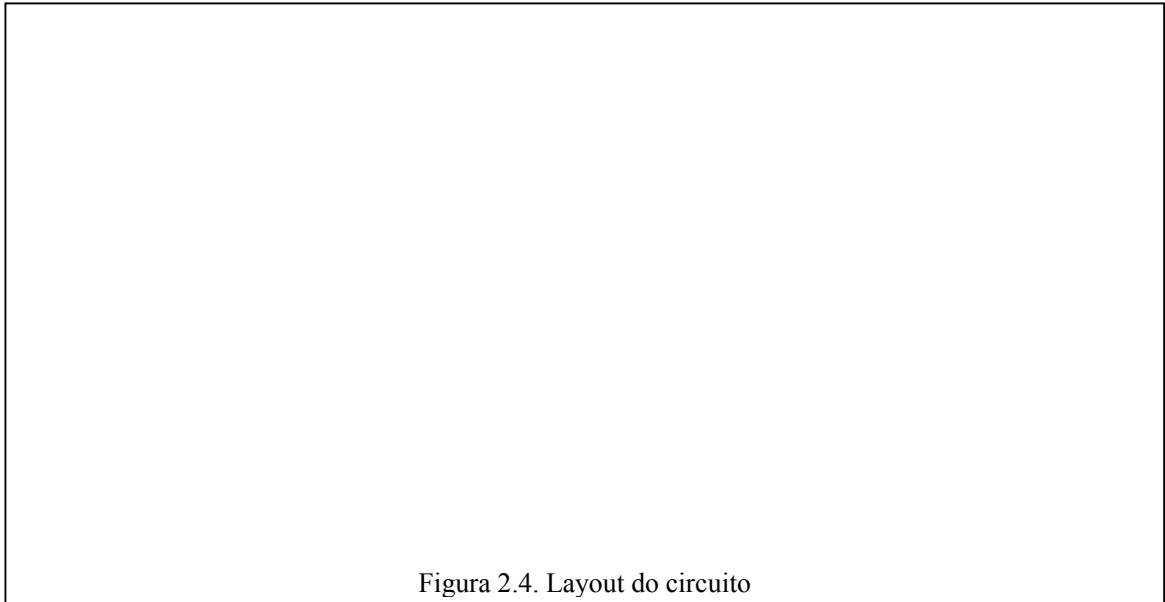


Figura 2.4. Layout do circuito

8) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)
Potência estática: _____ (mW)
Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:

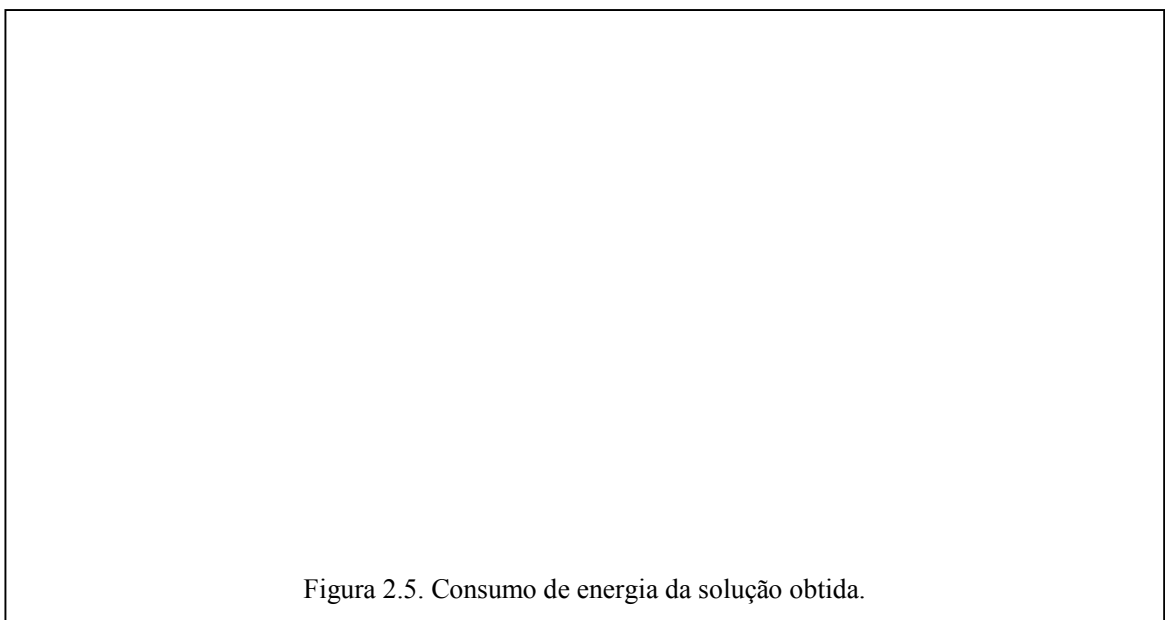


Figura 2.5. Consumo de energia da solução obtida.

Exercício 3. Neurônio GMBH de segunda ordem usando IP-Cores em ponto flutuante

- 1) Diagrama de blocos proposto.

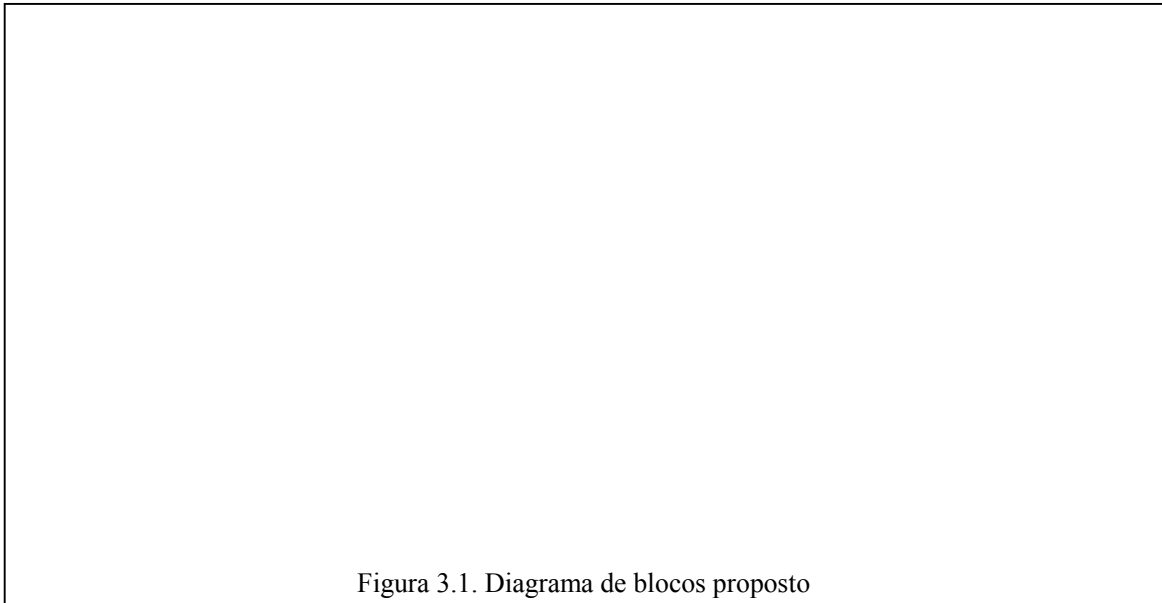


Figura 3.1. Diagrama de blocos proposto

- 2) Diagrama de estados (se aplica)

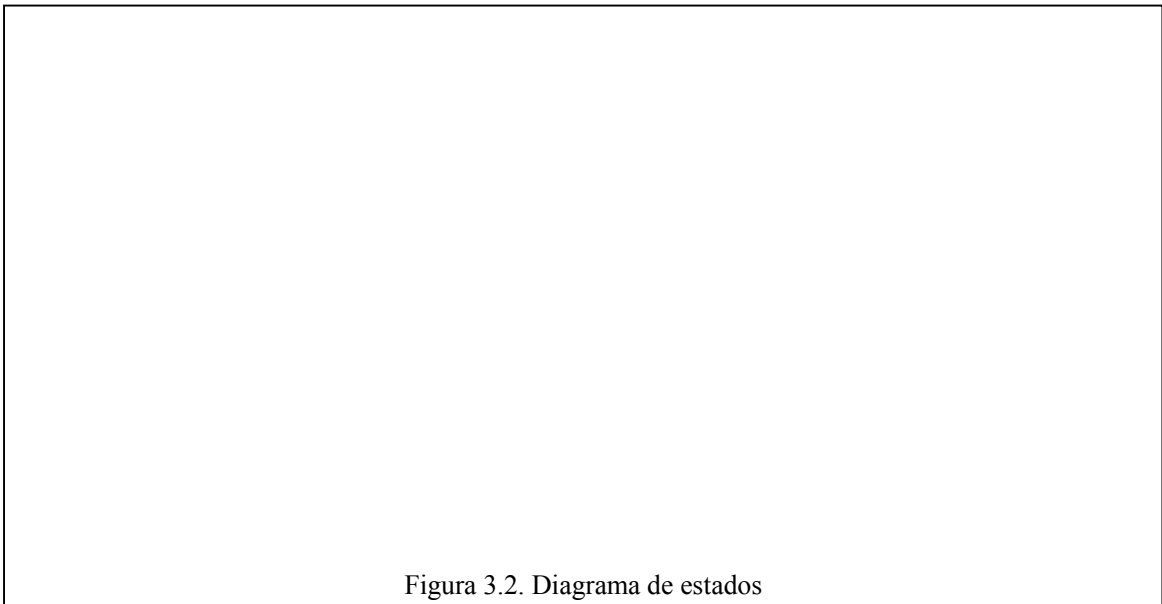


Figura 3.2. Diagrama de estados

3) Diagrama esquemático (Análise RTL pré-síntese)

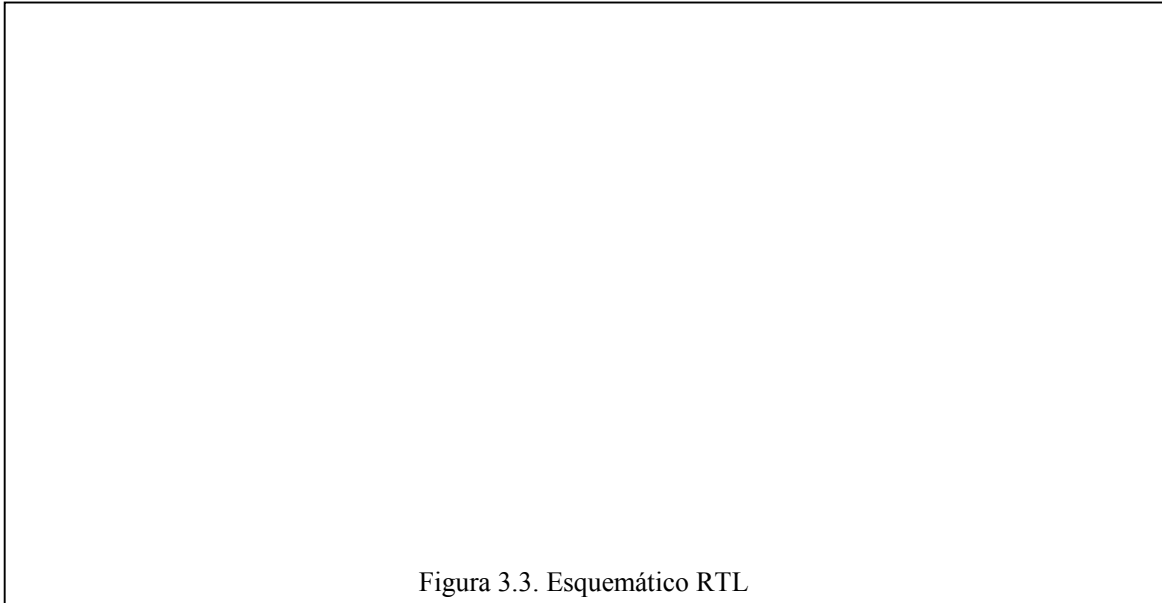


Figura 3.3. Esquemático RTL

4) Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

MSE =

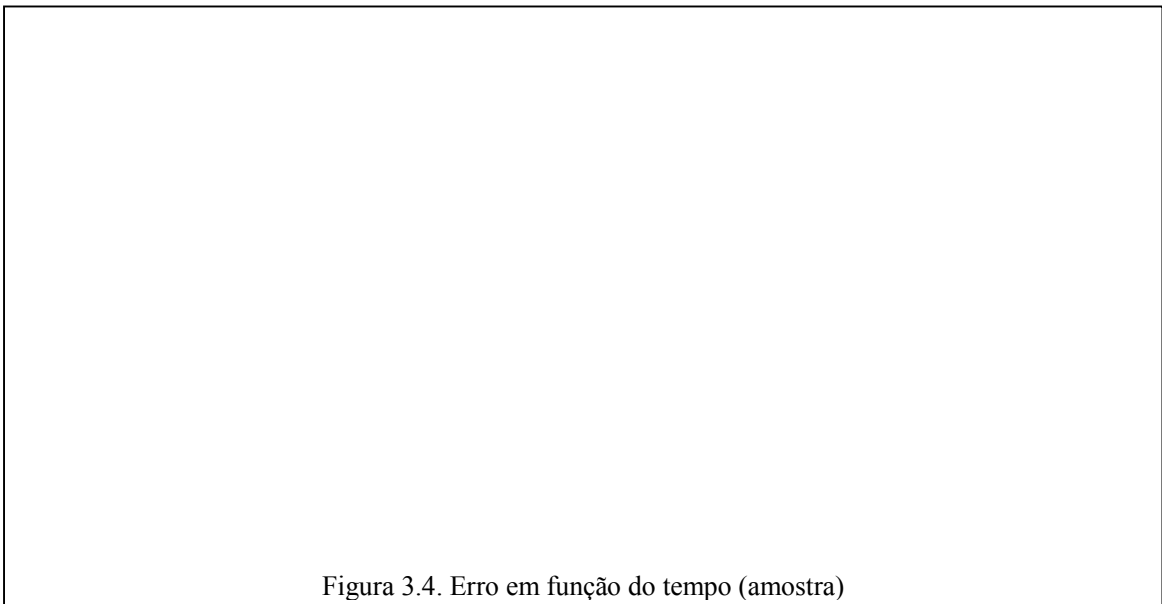


Figura 3.4. Erro em função do tempo (amostra)

5) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

6) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

7) Análise de timing:

Wors negative slack (setup): _____ ns

Worst negative slack (hold) : _____ ns

Frequência de operação do circuito: _____ MHz

Caminho crítico (net de origem):

Caminho crítico (net de destino):

Maximo path delay: _____ ns

8) Layout do circuito após a implementação (após processo Place and Route – PAR):

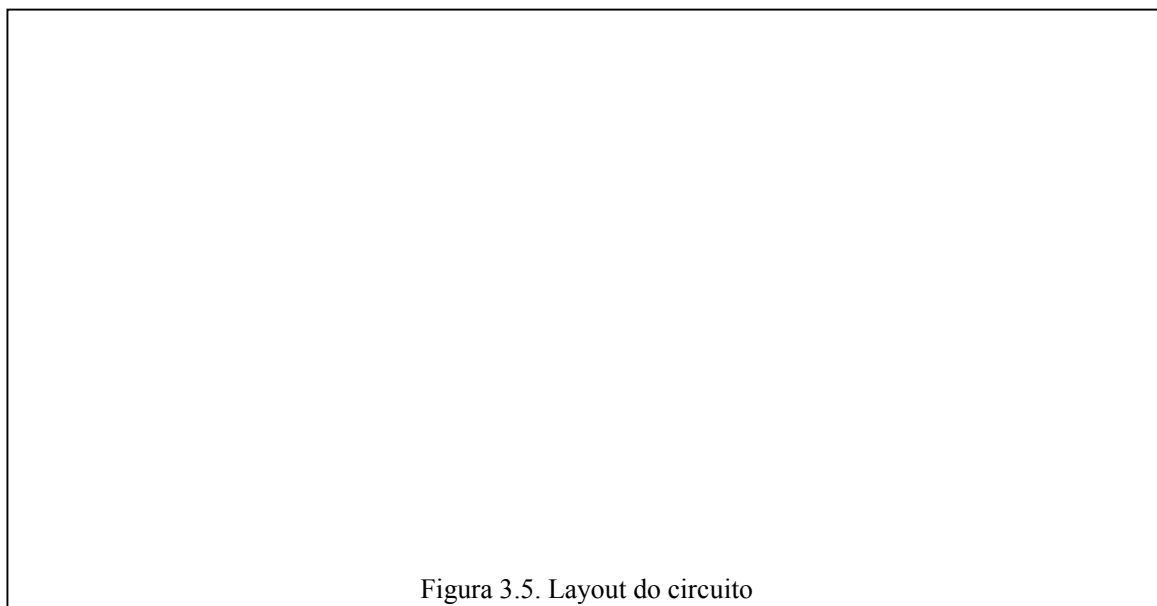


Figura 3.5. Layout do circuito

9) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)

Potência estática: _____ (mW)

Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:

