

Prática de Eletrônica Digital 2

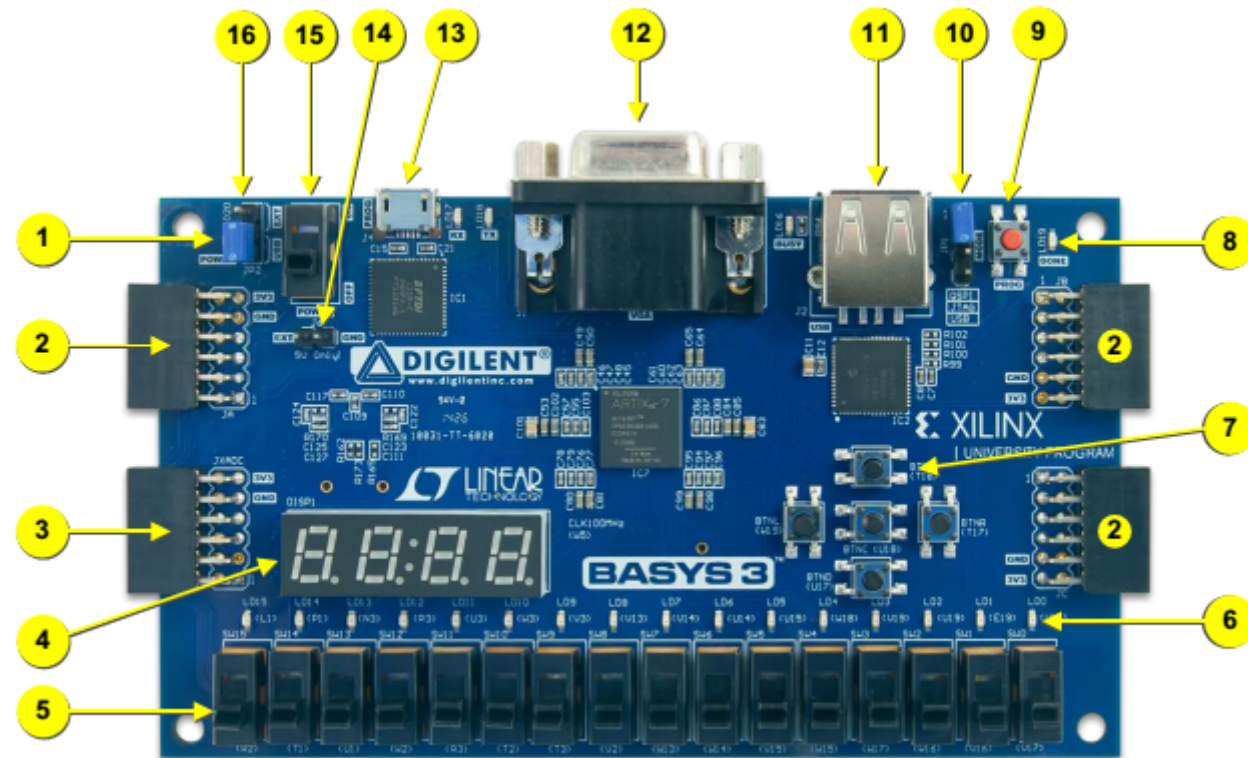
Artix 7 FPGA Estrutura Interna

Prof. Daniel M. Muñoz Arboleda

FGA - UnB

Kit de desenvolvimento Basys 3

- FPGA Xilinx Artix-7 XC7A35T-1CPG236C
- On-chip analog-to-digital converter (XADC)
- Programmable over JTAG and Quad-SPI Flash
- 16 switches, 16 leds, 4 digits 7-segment display, 5 push buttons
- 12-bits VGA output
- USB-UART bridge
- USB host for keyboard, mouse or memory stick
- Three PMODs ports
- single 100 MHz oscillator connected to pin W5



Kit de desenvolvimento Basys 3

FPGA Xilinx Artix-7 XC7A35T-1CPG236C

ARTIX ⁷		XC	7	A	###	-1	FB	G	484	C
Xilinx Commercial		Generation	Family	Logic Cells in 1K Units	Speed Grade -1 = Slowest -L1 = Low Power -L2 = Low Power -2 = Mid -3 = Highest	Package Type CP: Wire-bond (.5 mm) CS: Wire-bond (.8 mm) FB: Lidless Flip-Chip (1 mm) FF: Flip-Chip (1 mm) FG: Wire-bond (1 mm) FT: Wire-bond (1 mm) SB: Lidless Flip-Chip (.8 mm)	V: RoHS 6/6 G: RoHS 6/6 w/Exemption 15	Nominal Package Pin Count	Temperature Grade (C, E, I)	

C = Commercial (Tj = 0°C to +85°C) E = Extended (Tj = 0°C to +100°C) I = Industrial (Tj = -40°C to +100°C) Q = Expanded (Tj = -40°C to +125°C)

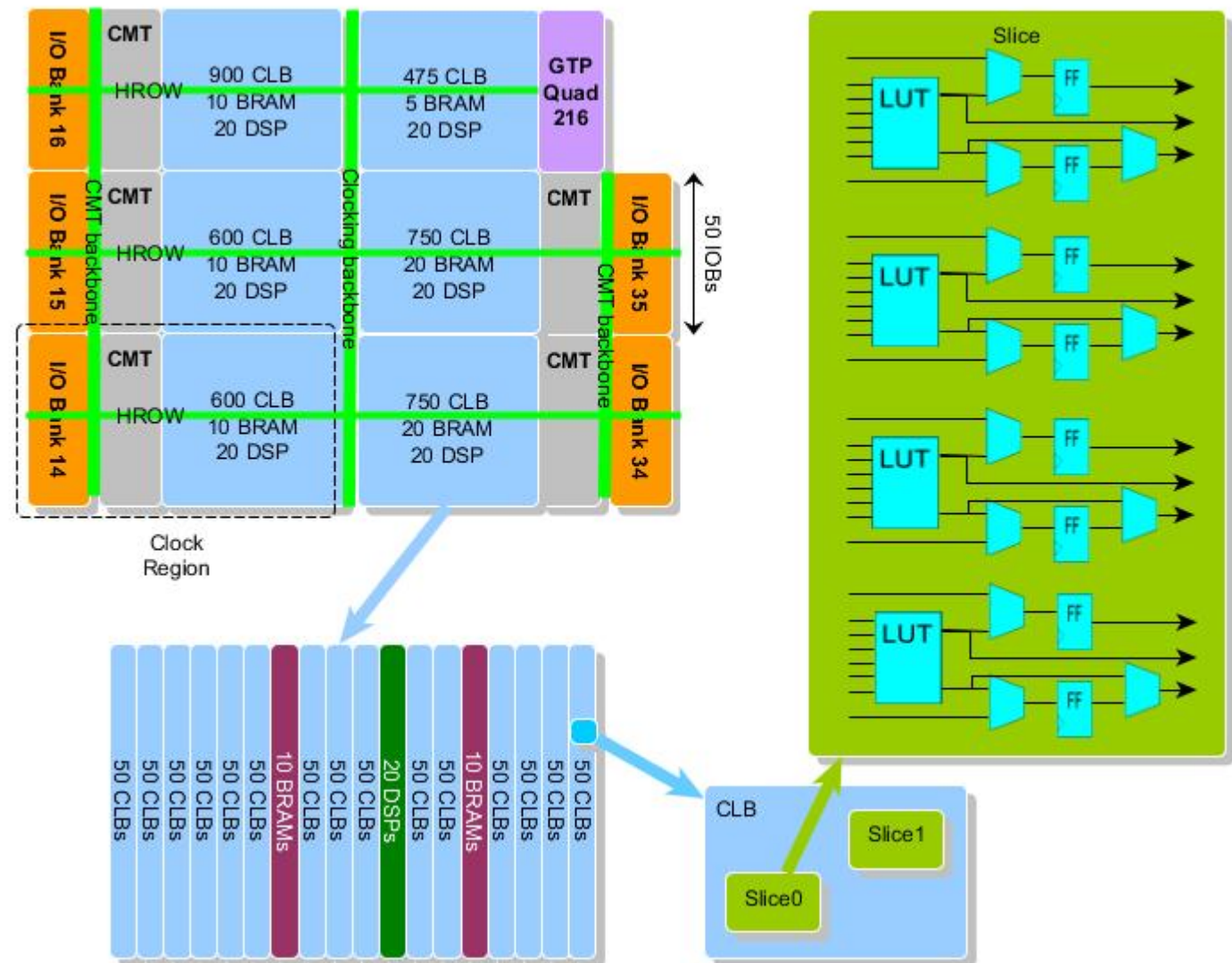
The speed grade basically defines the maximum clock speeds that can be obtained.
The RoHS classification (6/6 w/ exemption 15) indicates that the package is almost lead free (lead only in solder)

Estrutura da Artix-7

- O FPGA Artix-7 contém uma grande quantidade de blocos lógicos configuráveis (CLBs), blocos de memória (BRAMs), blocos DSPs (Digital Signal Processing) para realizar combinações de multiplicação/soma, e outros blocos de propósito geral (como conversor analógico para digital XADC).
- Todos os blocos podem ser configurados para formar a funcionalidade lógica desejada.
- A configuração é armazenada em latches internos do tipo SRAM.
- A configuração é volátil: a mesma deve ser recarregada cada vez que se liga o dispositivo (power-up).
- É possível armazenar o arquivo de configuração em uma memória flash externa para carregamento automático no power-up.

Estrutura da Artix-7

- I/O banks: pinos de I/O
- CMT: clock management tile.
- 1 Logic tile contém CLBs, BRAMs e DSPs.
- CLB: bloco lógico configurável
- BRAM: bloco memória RAM
- DSP: bloco de DSP
- 1 I/O bank, 1 CMT e 1 Logic tile formam uma região de clock.
- Cada CLB contém 2 slices
- Cada slice contém 4 LUTs (look-up Table), 8 flip-flops e 12 muxes.

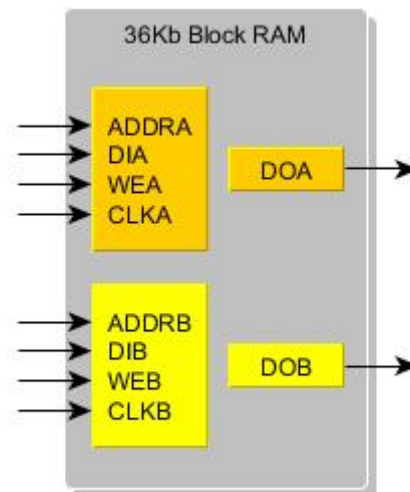


Estrutura da Artix-7

- Cada slice contém 4 LUTs (look-up Table), 8 flip-flops e 12 muxes.
- Tem dois tipos de slices: SLICEL e SLICEM. O SLICEM também pode ser configurado como um bloco de memória distribuída com 256 bits ou como um shift-register de 128 bits.
- Um CLB pode conter ou dois SLICEL ou um SLICEL e um SLICEM.
- Ver Xilinx User Guide UG474, páginas 19 e 20 para observar a estrutura interna do SLICEM e SLICEL, respectivamente.

Bloco de memória RAM (BRAM)

- Cada BRAM contém um arranjo de 36 Kb de memória.
- O bloco pode ser acessado em várias configurações desde 32K x 1bit até 512 x 72 bits.
- Os modos Single and dual-port são aceitos.
- Os BRAM podem ser agrupados para formar memórias maiores.



Bloco de memória RAM (BRAM)

- Um bloco DSP contém um multiplicador de 25 x 18 bits e um acumulador de 48 bits.
- O bloco DSP também contém um pre-adder e um detector de igualdade.
- Os blocos DSPs podem ser cascadeados para formar diferentes tipos de filtros digitais.

