Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Folha de Dados - Segunda Lista Exercícios Projeto de Sistemas em Chip Data de entrega: 05 de julho de 2019 às 23:50

Instruções:

- 1. Organize o repositório em pastas para cada exercício.
- 2. Entregar todos os arquivos necessários para replicar o experimento.

me:	matrícula:	
ercício 1 (5 pontos). Co-processa	ndor FPadd	
1) Diagrama de blocos (block des	sign) do sistema em chip	

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



2)	Consumo de recursos	após imp	lementação	(processo	Place	and Route	- PAR):
----	---------------------	----------	------------	-----------	-------	-----------	---------

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
(%)	(%)	(%)	(%)	(%)

3)	Análise de timming: Wors negative slack (setup): ns Worst negative slack (hold) : ns Frequência máxima de operação do circuito: MHz
	Figura 1.3 Print do timing summary

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



4)	Layout do circuito após a implementação (após processo <i>Place and Route</i> – PAR):
L	Figura 1.4 Layout do circuito
5)	Estimação do consumo de energia após a implementação do circuito:
	Potência total: (mW) Potência estática: (mW)
	Potência estática: (mW) Potência dinâmica: (mW)
_	Gráfico de consumo de energia:
	Eiguno 1.5 Drint do congrues de cuercia
	Figura 1.5 Print do consumo de energia

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



Simulação no SDK	via terminai.
	Figura 1.6 Print do terminal do SDK apresentando o resultado

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Exercício 2 (5 pontos). Co-processador RNA

igura 1.1 Pri	nt do <i>Block I</i>	Design		
			igura 1.1 Print do <i>Block Design</i>	igura 1.1 Print do <i>Block Design</i>

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
(%)	(%)	(%)	(%)	

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



3)	Análise de timming: Wors negative slack (setup): ns Worst negative slack (hold) : ns Frequência máxima de operação do circuito: MHz
	Figura 1.3 Print do timing summary
4)	Layout do circuito após a implementação (após processo <i>Place and Route</i> – PAR):
	Figura 1.4 Layout do circuito

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda



	Potência total: (mW)
	Potência estática: (mW)
	Potência dinâmica: (mW)
	Gráfico de consumo de energia:
	Figura 1.5 Print do consumo de energia
1	
im	ulação no SDK via terminal.
im	ulação no SDK via terminal.
im	ulação no SDK via terminal.
im	ulação no SDK via terminal.
im	ulação no SDK via terminal.
im	ulação no SDK via terminal.
im	ulação no SDK via terminal.
im	ulação no SDK via terminal.
	ulação no SDK via terminal.
Sim	ulação no SDK via terminal.
Sim	ulação no SDK via terminal.
im	ulação no SDK via terminal.