

# **Projeto com Circuitos Reconfiguráveis**

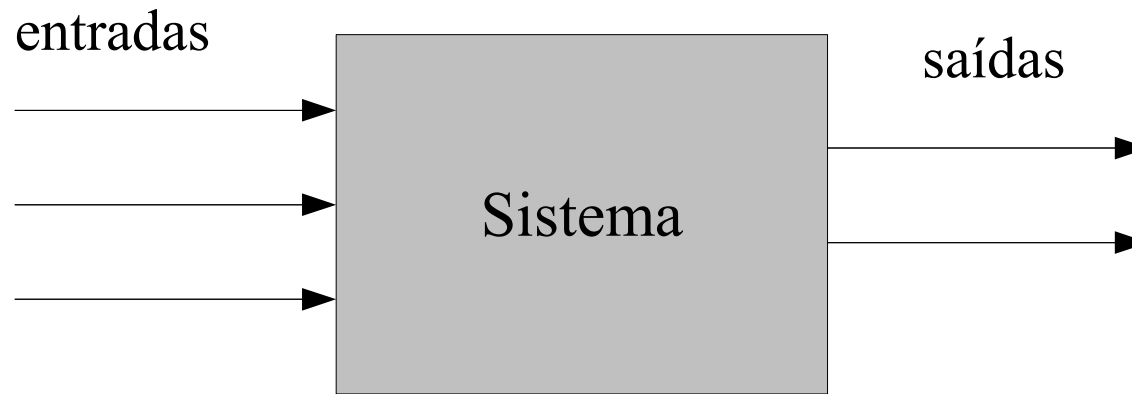
## **Aula 1 – Projeto com Dispositivos Lógicos Programáveis**

Prof. Daniel M. Muñoz Arboleda

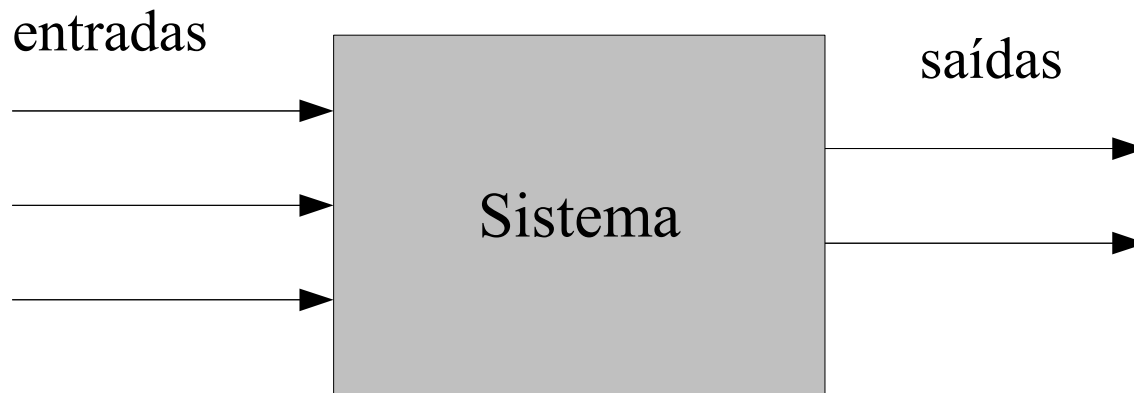
FGA - UnB

## Definição de Sistema

- O que é sistema?
- O que é um sistema digital?
- O que é um sistema digital binário?

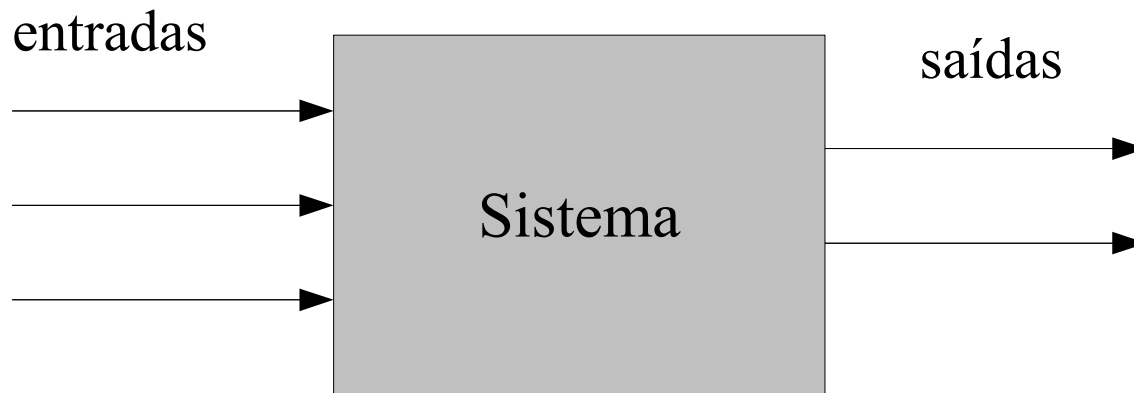


## Definição de Sistema



*Definição.* Um sistema é uma porção (parte) do universo que se individualiza do restante por meio de uma “*fronteira*”. O sistema interage com o universo aceitando entradas e produzindo saídas para o mesmo. Pode ser construído pela interligação de elementos. Dita interligação pode se dar por fluxo de informação (matéria e/ou energia).

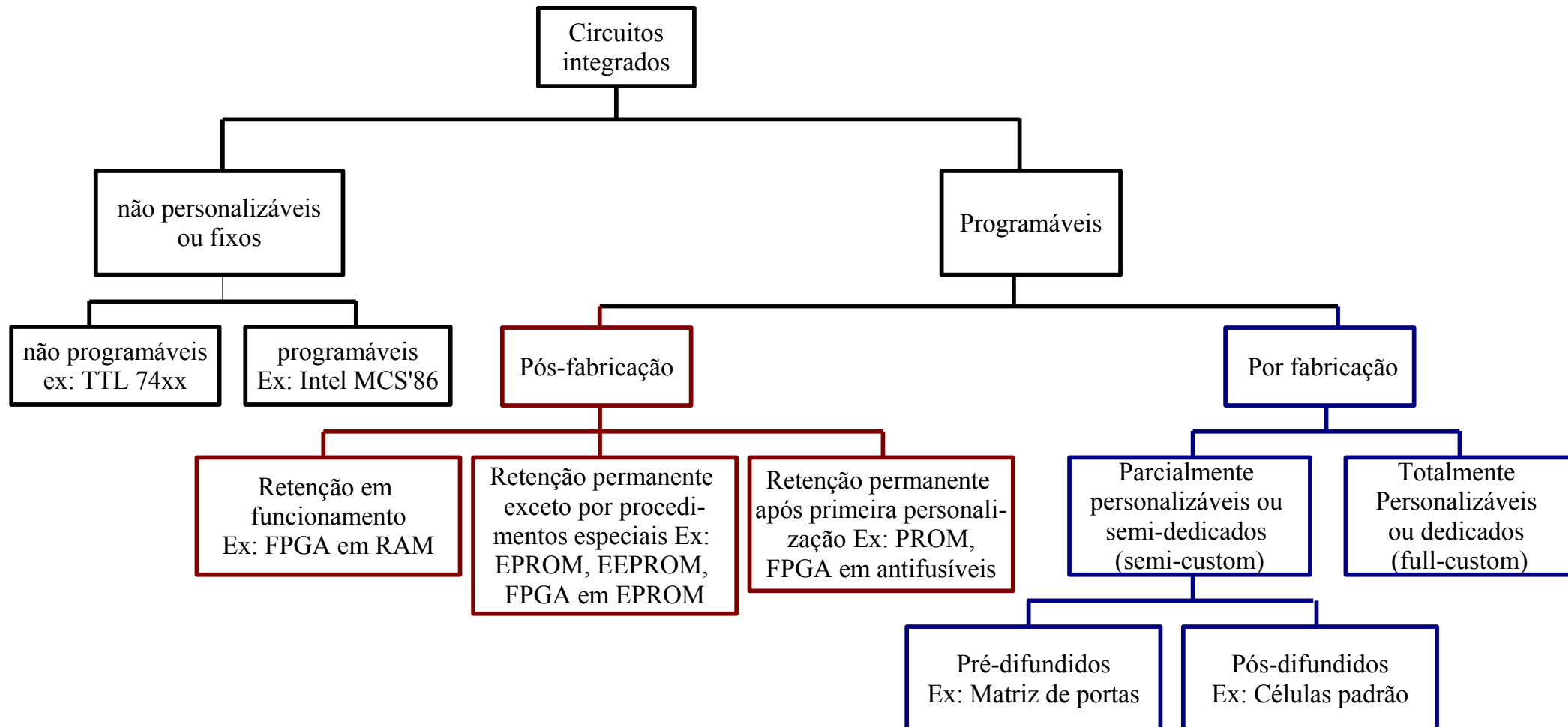
## Definição de Sistemas Digital Binário



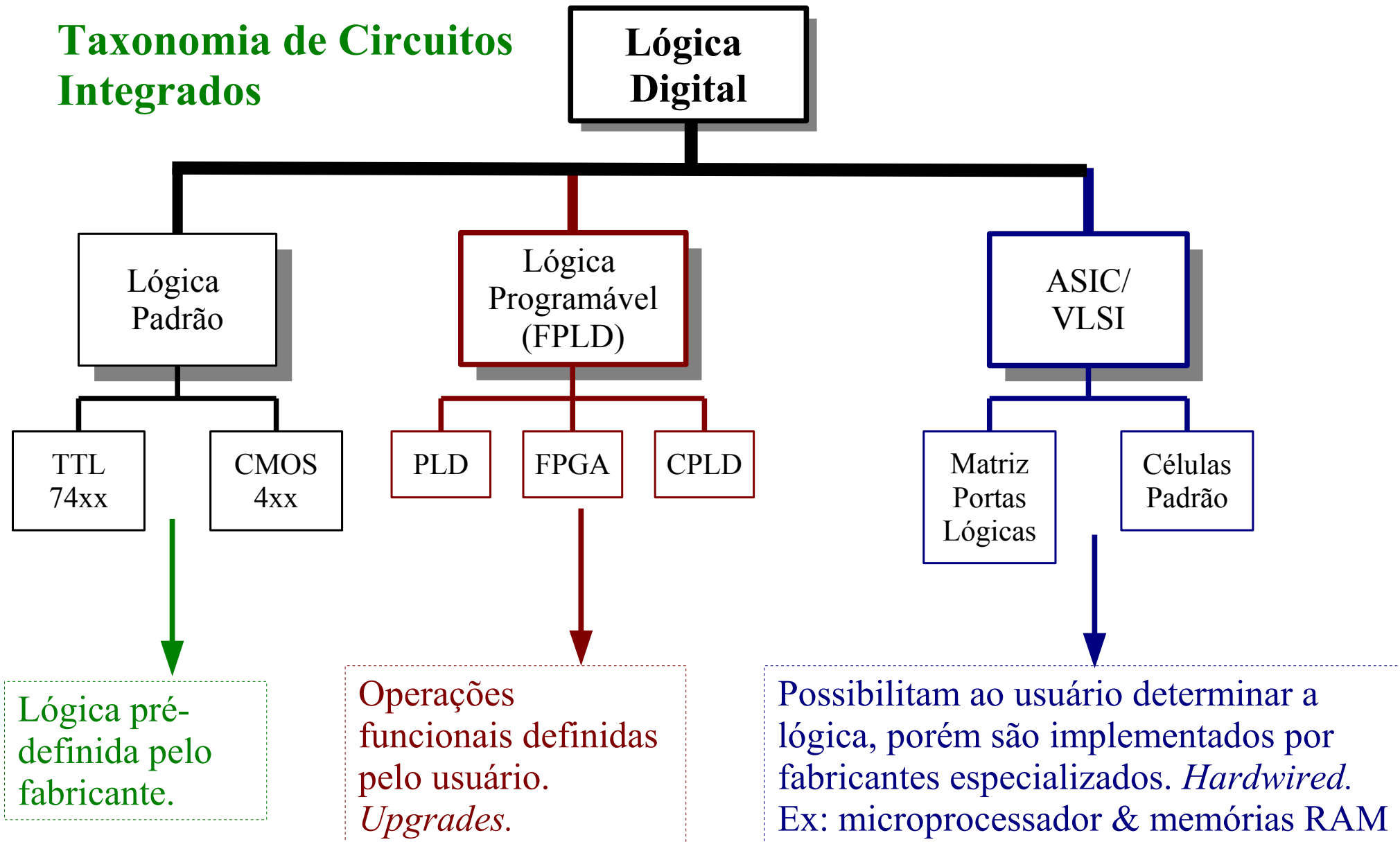
*Definição.* Um **Sistema Digital** é uma porção (parte) do universo concreta ou abstrata que se individualiza do restante por meio de uma “*fronteira*”. O Sistema Digital está dotado de um conjunto finito de entradas e um conjunto finito de saídas e é capaz de processar informação de forma numérica. Para tanto, cada entrada e cada saída pode assumir ao longo do tempo valores de algum conjunto finito de números, denominado *domínio*.

*Definição.* Se todas as entradas e saídas assumirem valores somente do domínio  $B = \{0, 1\}$ , o sistema é denominado **Sistema digital binário**.

## Taxonomia de Circuitos Integrados segundo programação



## Taxonomia de Circuitos Integrados



# Taxonomia de Sistemas Digitais

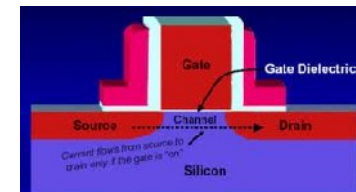
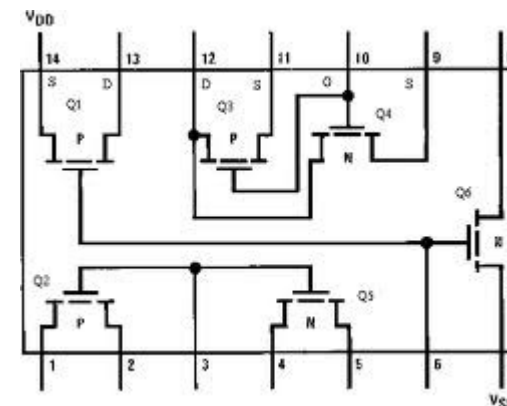
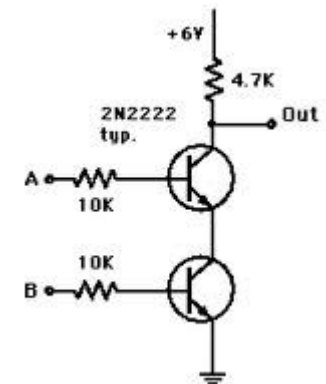
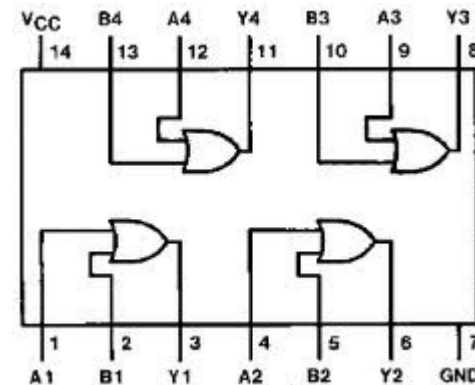
## Lógica Digital

Lógica  
Padrão

TTL  
74xx

CMOS  
4xx

Lógica pré-  
definida pelo  
fabricante.



# Taxonomia de Sistemas Digitais

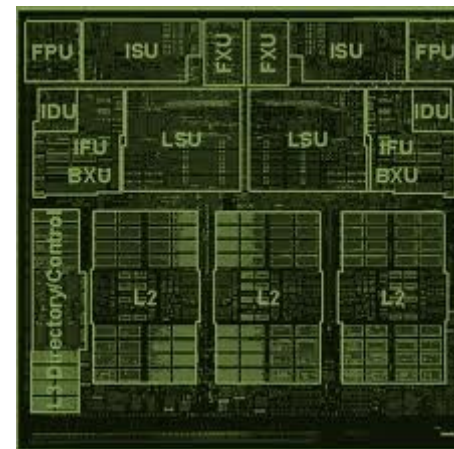
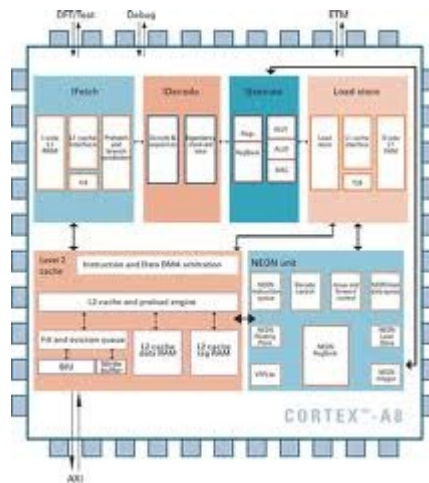
## Lógica Digital



ASICs/  
VLSI

Matriz  
Portas  
Lógicas

Células  
Padrão





## **Taxonomia de Sistemas Digitais**

### **Lógica Digital**

#### **Classificação dos CIs quanto à gama de integração:**

1. SSI (Small scale integration) : 3 a 30 gates/chip.
2. MSI (Medium scale integration) : 30 a 1000 gates/chip.  
Exemplos: decodificadores e contadores
3. LSI (Large scale integration) : 1000 a 100000 gates/chip.  
Exemplos: funções lógicas mais complexas. Calculadora, relógio digital
4. VLSI (Very large scale integration): 100000 a 1M gates/chip.  
Exemplos: microprocessadores
5. ULSI (Ultra large scale integration) : mais de 10 milhões gaste/chip

ASICs/  
VLSI

Matriz  
Portas  
Lógicas

Células  
Padrão

## Taxonomia de Sistemas Digitais

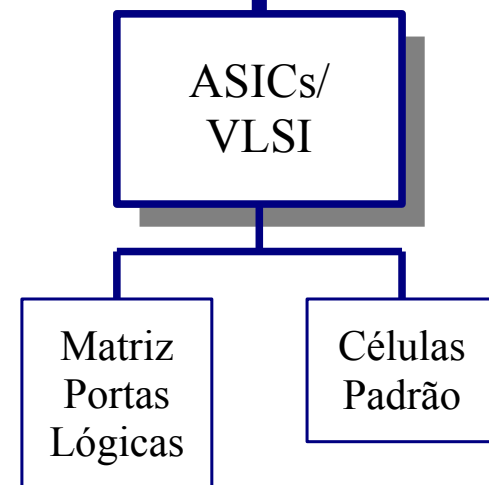
### Lógica Digital

#### ASIC (Application specific integrated circuits)

Inicialmente, um projetista escolhia um fabricante de ASICs e implementava o desenho usando as ferramentas fornecidas pelo fabricante. Cada fabricante de ASIC criava blocos funcionais com características elétricas conhecidas (tempos de propagação, capacitâncias, indutâncias).

Não existia um enlace efetivo entre as ferramentas de desenho e os processos produtivos dos fabricantes.

No final de 1980 as empresas disponibilizaram **ferramentas de síntese**. Tais ferramentas podiam compilar descrições HDL em uma lista de nós a nível de portas lógicas.



## ASIC. Projeto baseado em *células padrão*

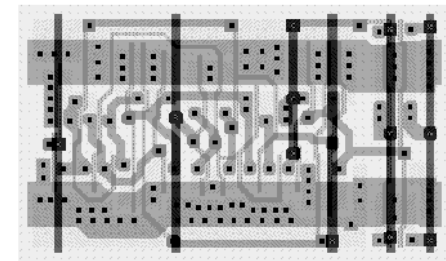
Células padrão: grupo de transistores e estrutura de conexão que implementam:

- 1) Uma função lógica booleana (AND, OR, XOR, XNOR, etc), ou
- 2) Uma função de armazenamento (Flip-flop ou Latch)

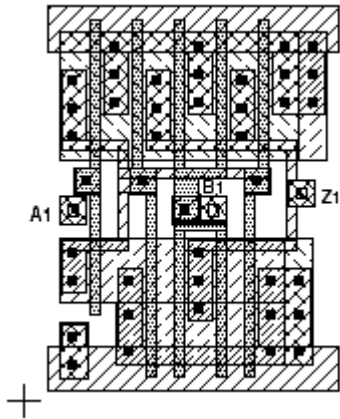
Células simples implementam funções booleanas elementais.

Celulas mais complexas são comumente usadas.

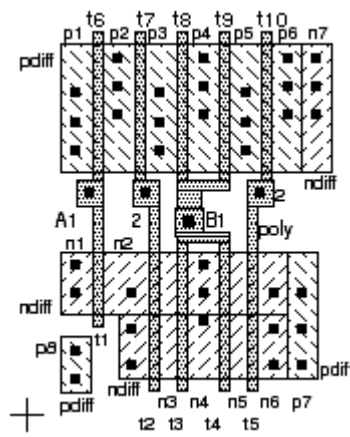
Ex: multiplexadores, somador completo de 2 bits, etc).



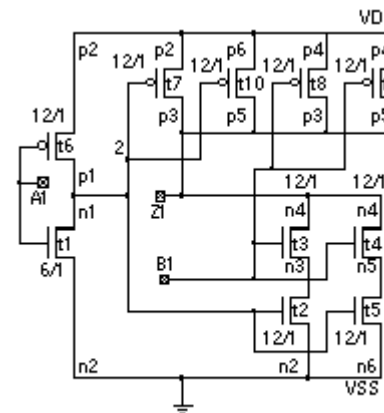
célula padrão de um  
flip-flop D



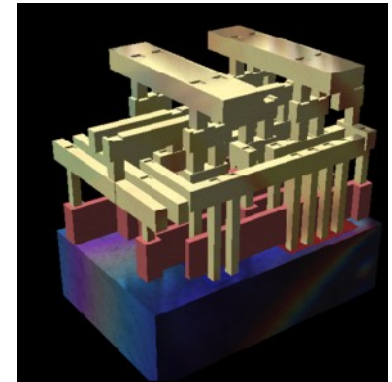
célula padrão



## Camadas: difusão, SiPoly e contatos



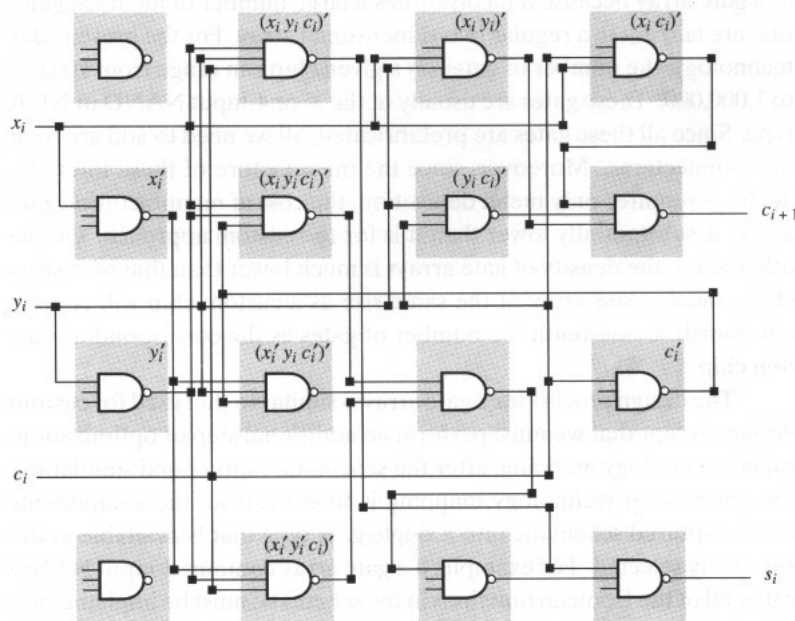
### Esquemático equivalente



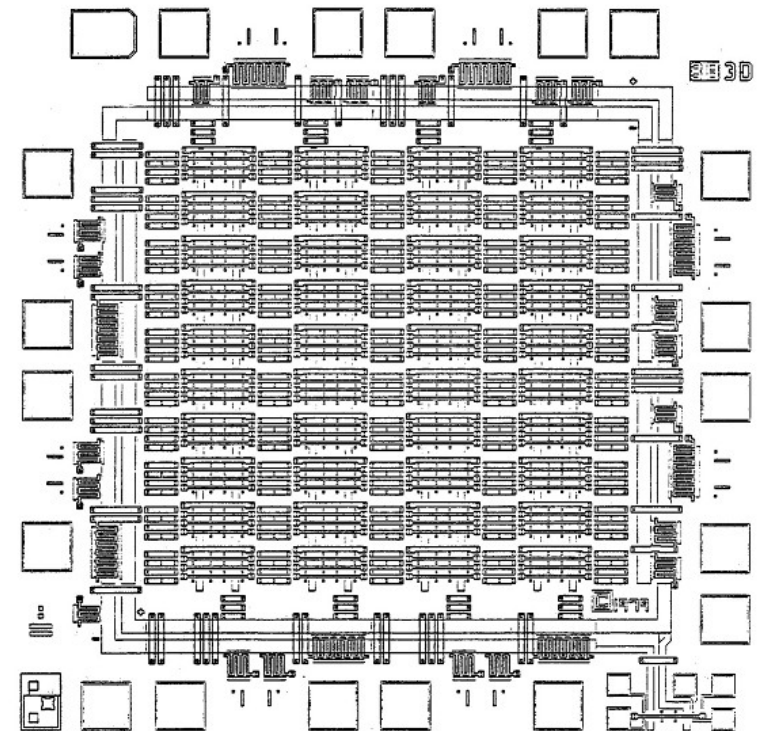
## ASIC. Projeto baseado em *matriz de portas*

Um circuito de matriz de portas é um chip pré-fabricado, sem funcionalidades pré-definidas, no qual os transistores, portas lógicas ou outros dispositivos ativos, estão dispostos em posições pré-determinadas no *wafer* de silício, melhor conhecida como *master slice*.

A criação do chip com uma função específica requer de uma etapa de metalização em uma ou mais capas conectadas ao *master slice*.



Somador completo com tecnologia de matriz de portas



## ASIC. Células Padrão vs Matriz de Portas

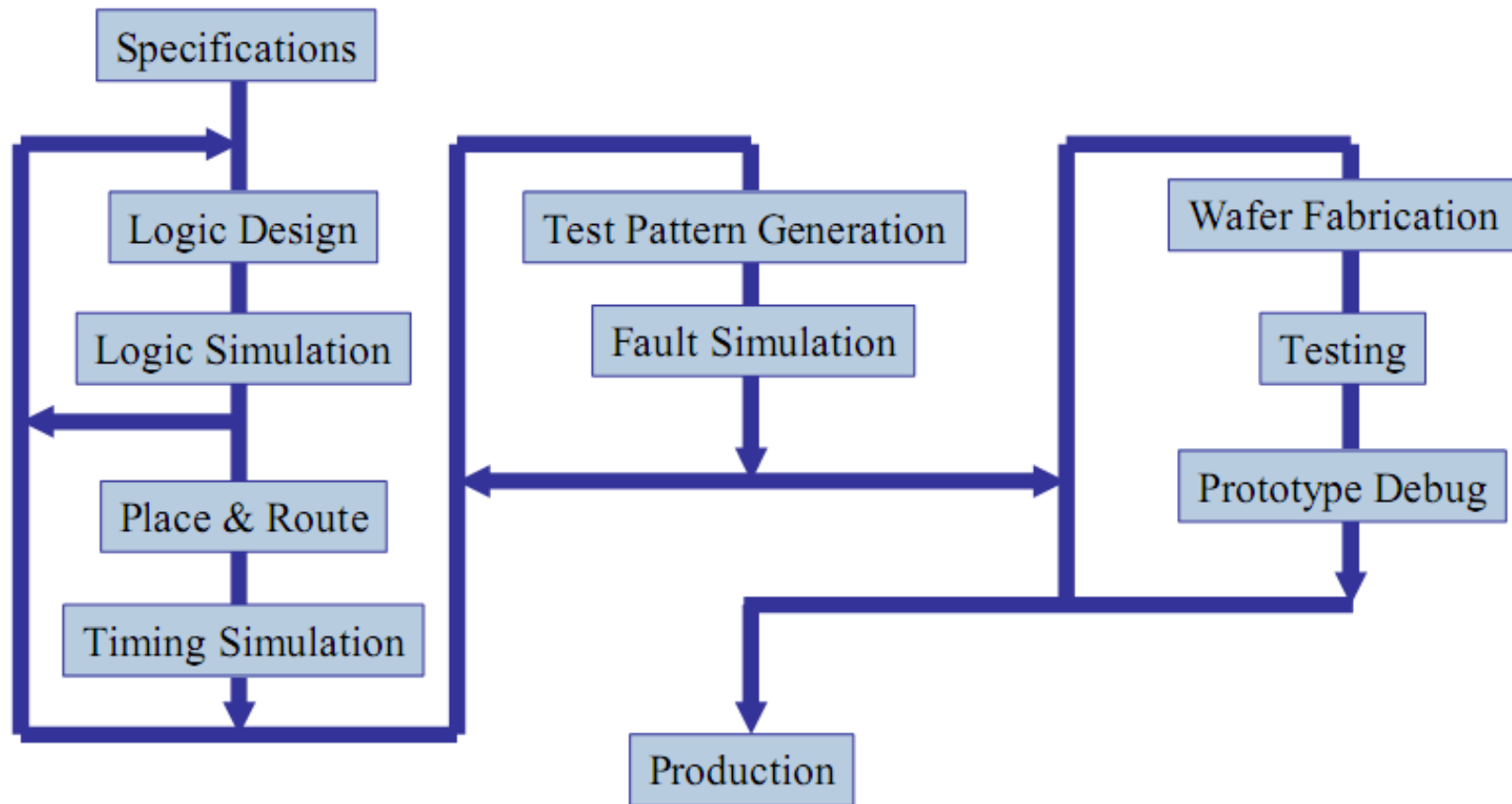
- **Tempo de produção.** Na tecnologia de Matriz de Portas, os *master slice* são pré-fabricados e armazenados em grandes quantidades. Portanto, os mesmos já estão prontos antes do começo do processo de fabricação, enquanto que na tecnologia de Células Padrão, as fotomáscaras devem ser preparadas no início do processo de fabricação.
- **Custo.** O uso da tecnologia de Matriz de Portas reduz o custo de fabricação pois evita a preparação das máscaras.
- **Testes.** Geralmente, os *gate arrays* são do mesmo tamanho. Isto possibilita que os testes físicos sejam feitos com as mesmas ferramentas.
- **Flexibilidade.** A tecnologia de Matriz de Portas oferece diversas famílias, que se diferenciam pelo número de portas lógicas, pinos de entrada/saída, e tipos de conexão. Isto possibilita o projeto de CIs customizados.
- **Densidade e Desempenho:** Na tecnologia de Matriz de Portas a densidade de integração é menor e os tempos de propagação são maiores, reduzindo o desempenho dos circuitos se comparado com uma implementação usando Celulas Padrão.



## ASIC. Projeto. Etapas conceituais.

1. Equipe de projeto faz uma análise de requisitos do ASIC a desenhar.  
Compreensão das funções requeridas pelo ASIC.
2. Descrição HDL do ASIC. O projeto é feito a nível de transferência de registros RTL (Register Transfer Level)
3. Verificação do projeto. Simulação de alto nível (comportamental).
4. A ferramenta de **síntese lógica** converte o desenho RTL em um conjunto de elementos de baixo nível, chamados células padrão. Estes elementos fazem parte de uma biblioteca de portas lógicas pré-caracterizadas (NAND3, NOR2, etc). O conjunto de células padrão junto com as interconexões entre elas é chamada de *netlist*.
5. A *netlist* (ou lista de nós) é processada por uma ferramenta de posicionamento. O posicionamento das células padrão está sujeito a um conjunto de restrições. Costuma-se a aplicar múltiplas etapas de otimização.
6. Uma ferramenta de roteamento recebe a localização das células padrão e a *netlist* para criar as conexões entre elas. A saída desta etapa é o conjunto de fotomáscaras usadas na fabricação.
7. Simulação funcional. Estimação de parâmetros. Testes a alta temperatura e tensões.
8. Fabricação. A informação das fotomáscaras é enviada para o fabricante (*foundry*).

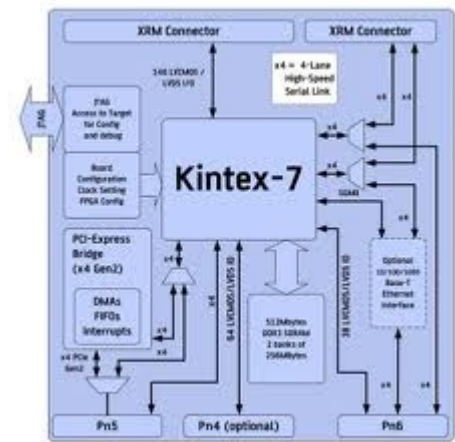
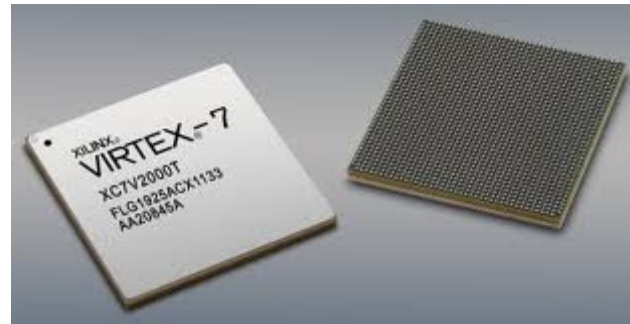
## ASIC. Fluxo de Projeto.



## Field Programmable Gate Arrays (FPGAs)

Como funciona um FPGA ?  
Como programar um FPGA ?

Porque usar um FPGA ?  
Quando não usar um FPGA ?





## Field Programmable Gate Arrays (FPGAs)

FPGAs possuem um grande número de portas lógicas em um arranjo matricial que podem ser conectadas (configuradas) eletricamente.

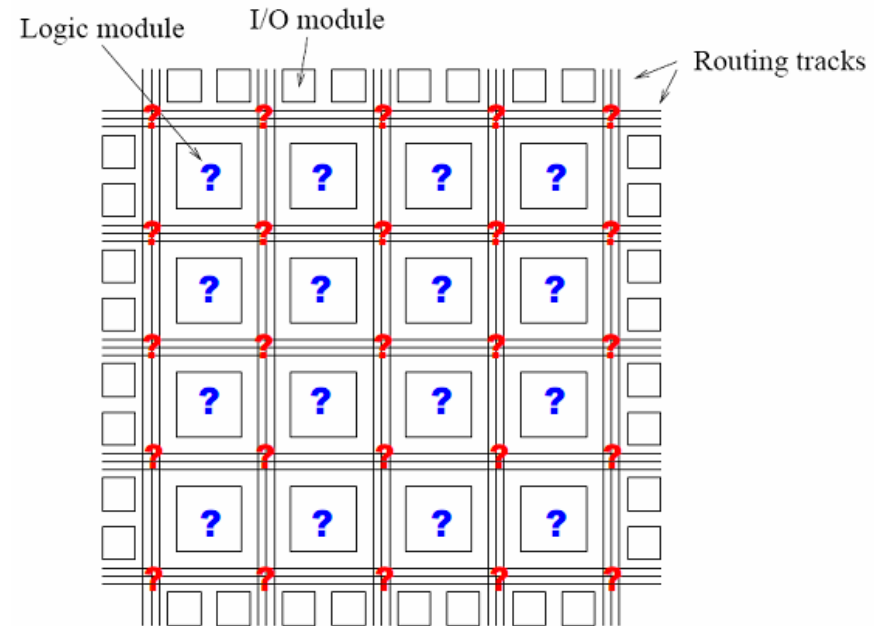
Arranjo de portas lógicas programáveis rodeadas de blocos de interconexão programáveis.

Podem ser configuradas pelo usuário (conceito de *field programmable*), para implementar aplicações específicas.

Capacidade de varios milhões de portas lógicas e desempenho de até 500 MHz.

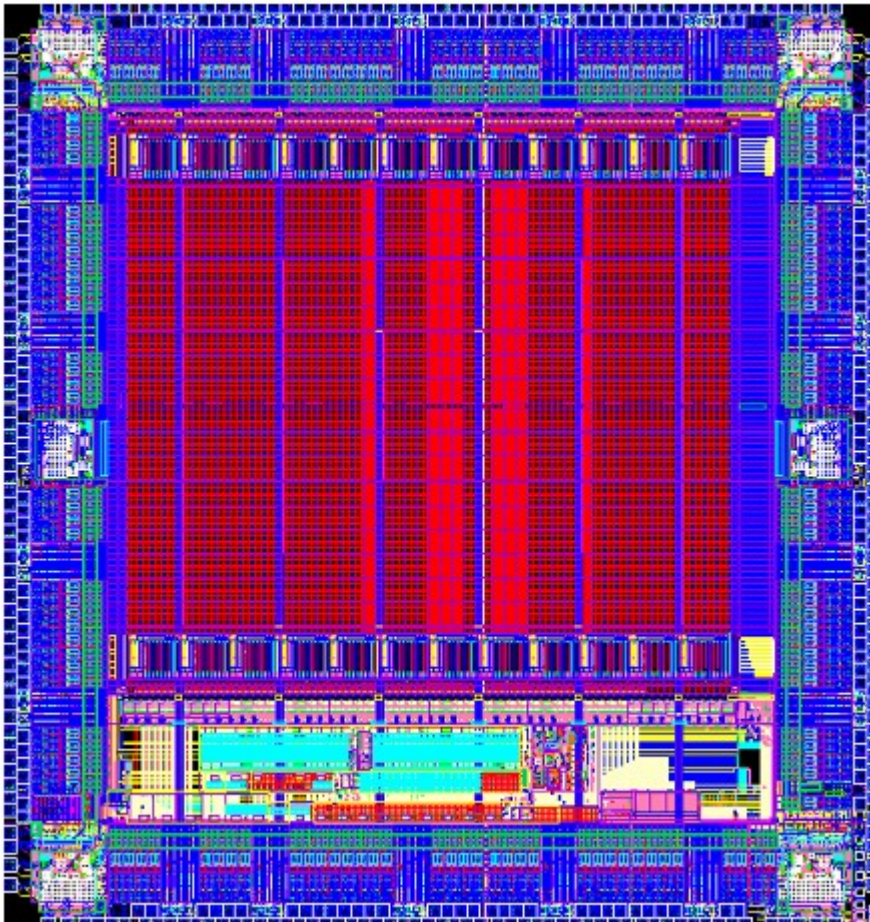
Quatro componentes principais:

- Elemento de configuração ou de roteamento.
- Módulo de lógica ou bloco lógico
- Memória. armazenamento do *bitstream*
- Circuitos especiais (DSPs, RAM, PLLs, etc)



Generic FPGA Architecture

## Field Programmable Gate Arrays (FPGAs)



Dispositivos FPGAs modernos tem diversos circuitos tipo ASIC na mesma pastilha de silício. Entre eles:

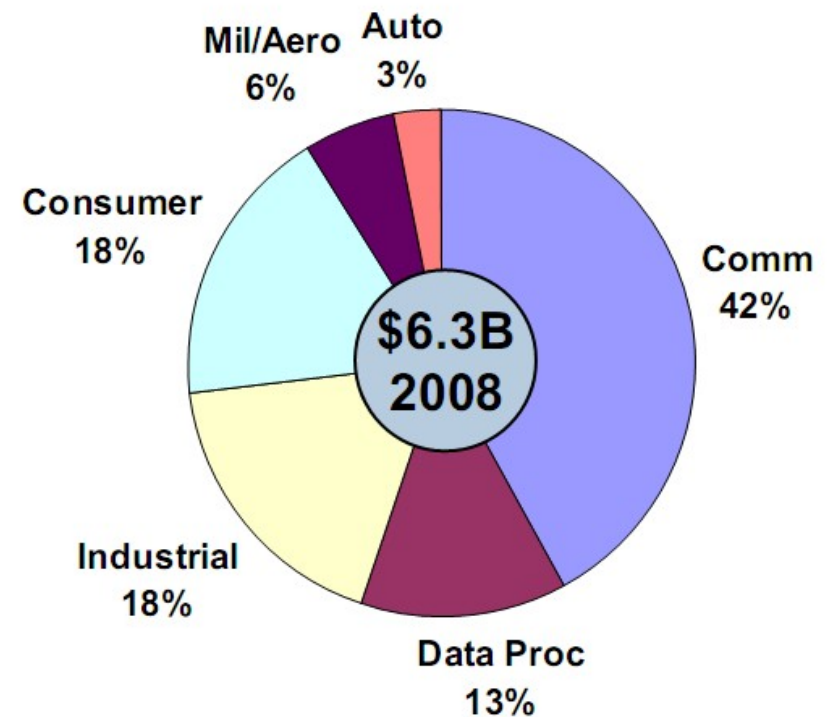
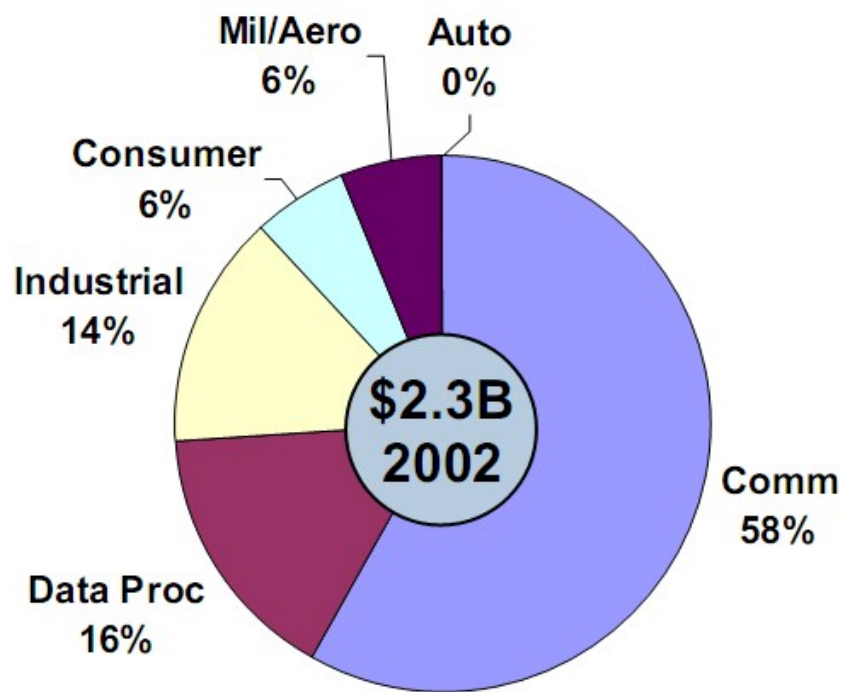
FIFOs

- RAM
- PLLs
- DSPs
- Clock Managment
- Processadores (ARM, PowerPC, uBlaze, NIOS, PicoBlaze, etc).

Aplicações ??

## Field Programmable Gate Arrays (FPGAs). Aplicações

Crescimento do mercado de PLDs



Tempo (anos)

## Field Programmable Gate Arrays (FPGAs). Aplicações

### Projeto de sistemas embarcados





## Field Programmable Gate Arrays (FPGAs). Aplicações

Servidores de alto desempenho

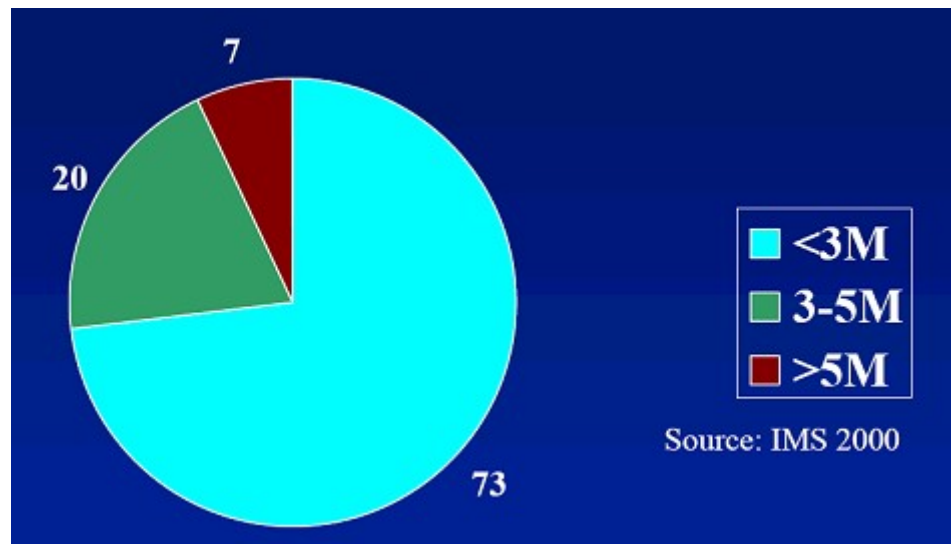


Exemplo: PICO SC-5 SuperCluster:

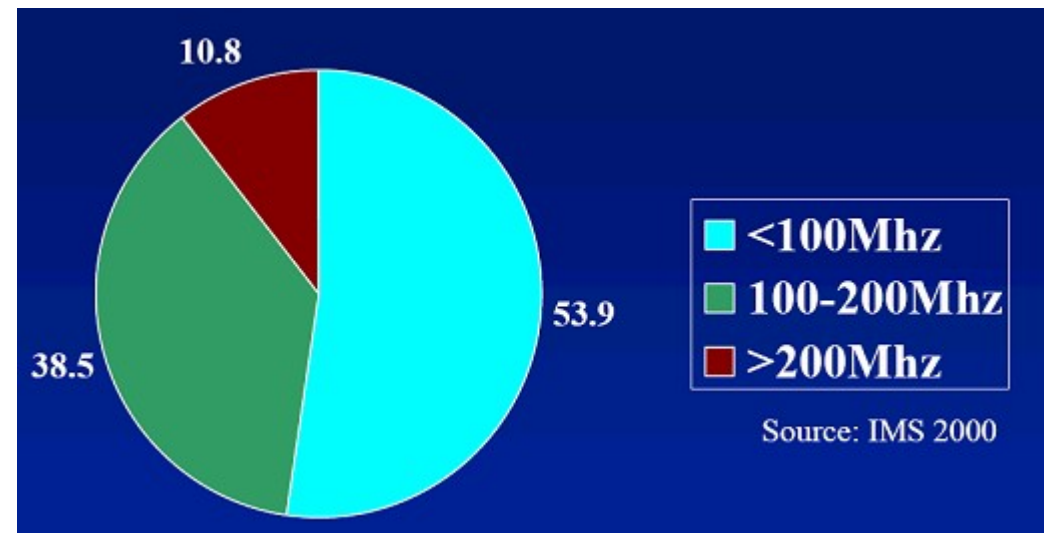
- Scalable FPGA Cluster
- 48 Xilinx Kintex-7 or Virtex-6 FPGAs
- 192GB of DDR3 local FPGA memory
- 19.5 Million Logic Cells in one 4U server
- Dual Intel Quad Core Xeon Processor
- 48GB RAM
- Dual Hard Drives
- Linux

## Circuitos integrados. Demanda do mercado

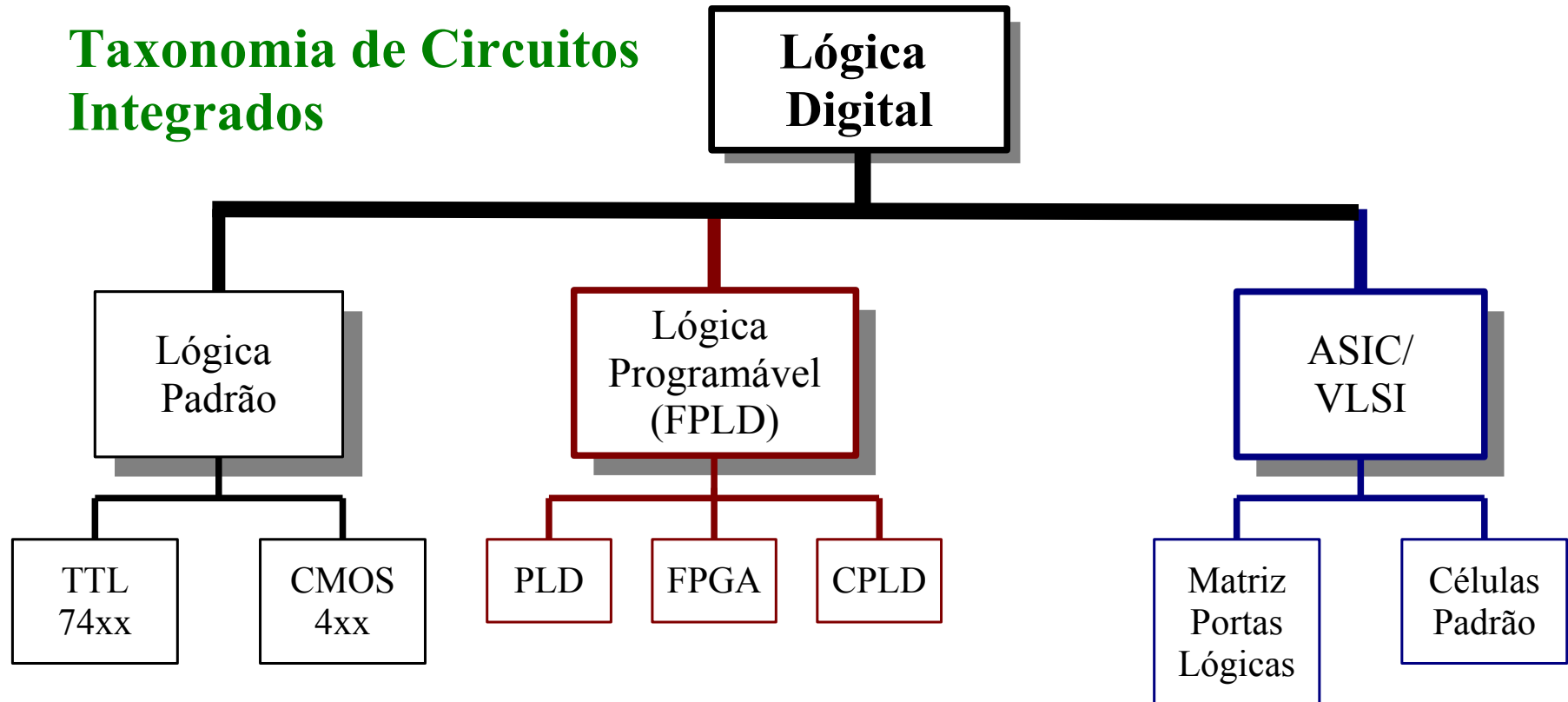
Requerimentos para ASICs:  
Número de portas lógicas



Desempenho



## Taxonomia de Circuitos Integrados

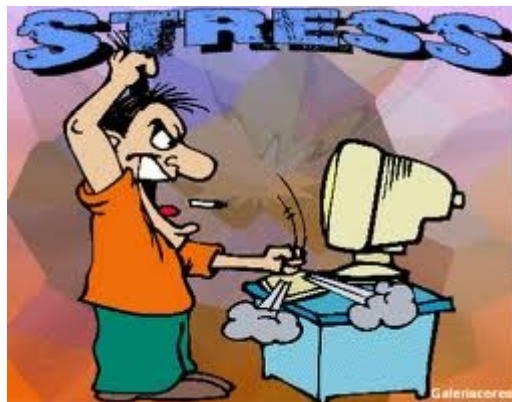


**O que fazemos com tudo isto?**

**Lógica  
Digital**

**O que fazemos com tudo isto?**

**Principal aplicação: uso de PCs para soluções de  
escritório e ...**



**São nossos computadores eficientes?**



## Classificação de MicroProcessadores segundo a arquitetura

### CISC – Complex Instruction Set Computer.

Motorola 68000, 68010, 68020, 6840

Intel 8086, 8088, 80286, 80386, 80486, Pentium, Core, i3, i5, i7, ....

Instruções de máquina são decodificadas e interpretadas por um microprograma localizado na **memória externa**.

### RISC – Reduced Instruction Set Computer.

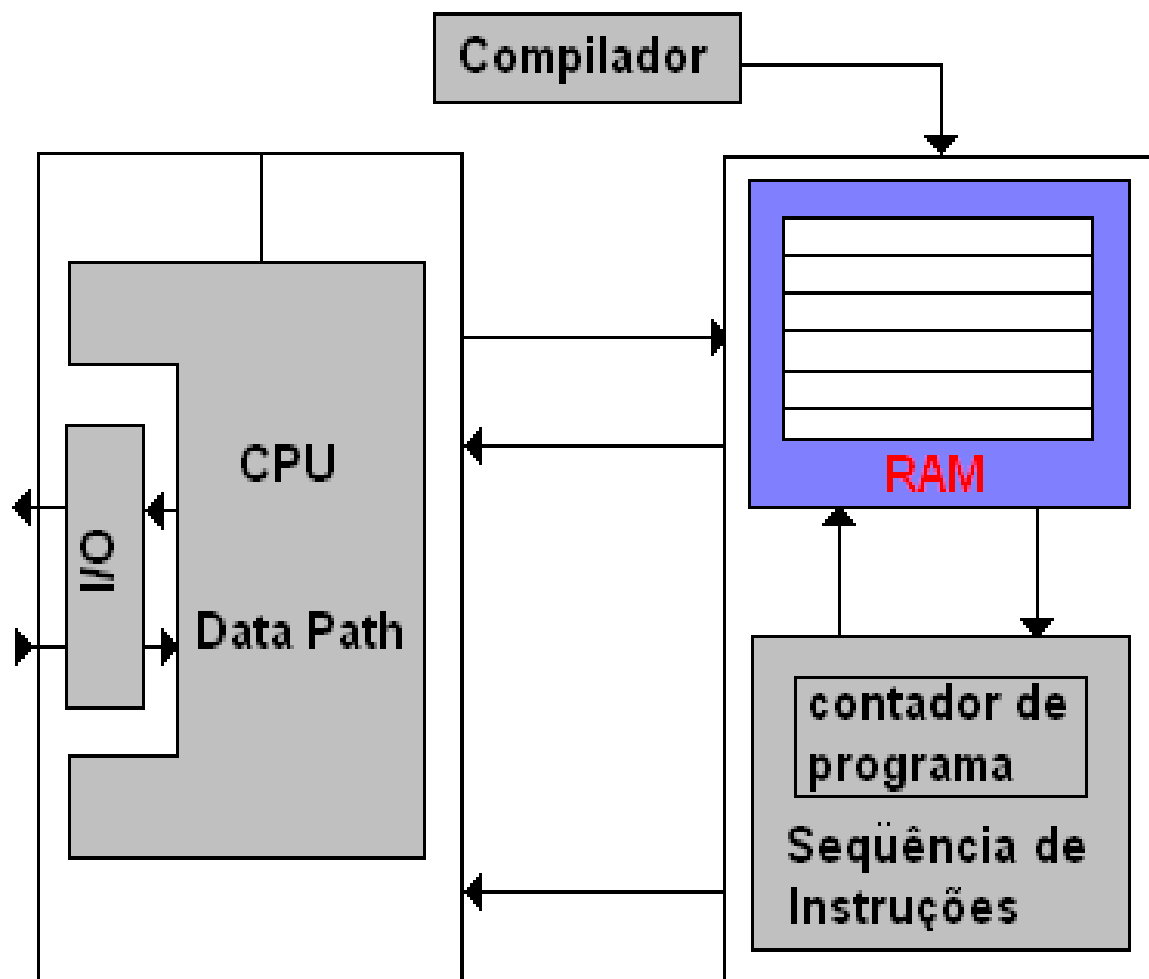
PICs, AVR, ARM

Instruções simplificadas. Algumas delas implementadas diretamente em *hardware* dentro de la CPU.

Programas compilados con microinstrucciones armazenadas em **memória interna**.

**Ambas as soluções estão baseadas na arquitetura von Neumann (*harvard*) !**

## Arquitetura Von Neumann



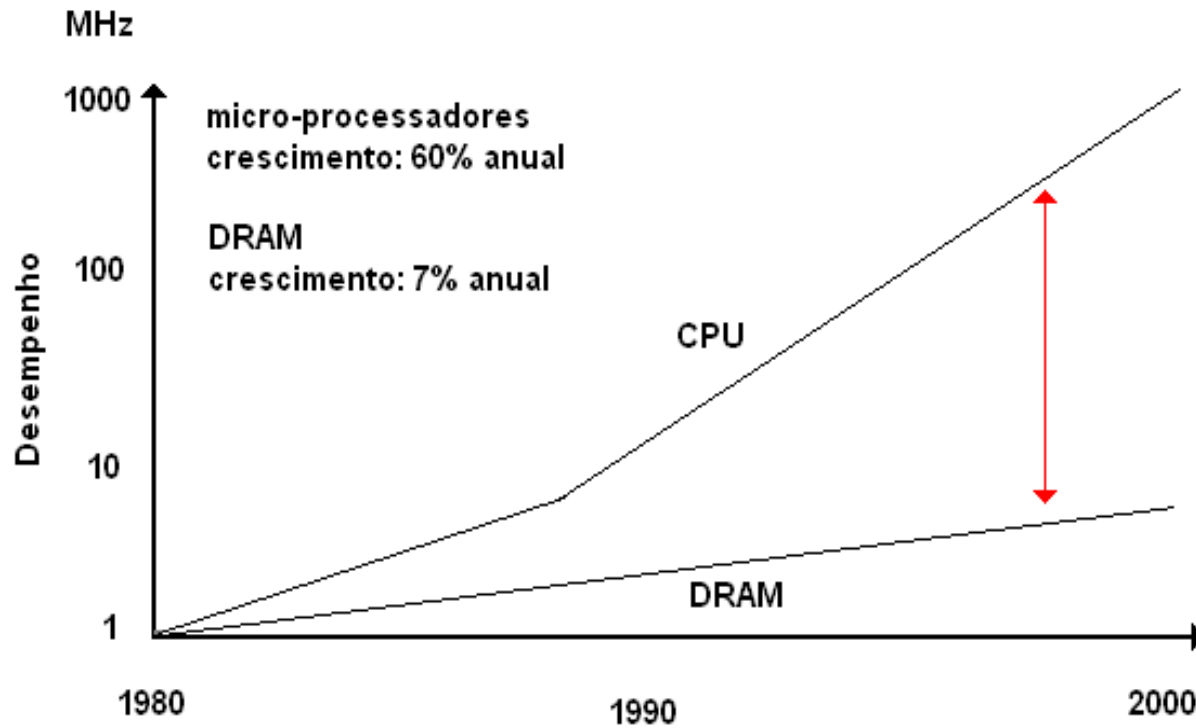
Separação  
CPU - Memória

Contador de  
Programa.

Barramentos:  
Endereçamento  
Dados  
R / W.

PROBLEMA !!!

## Memory Wall

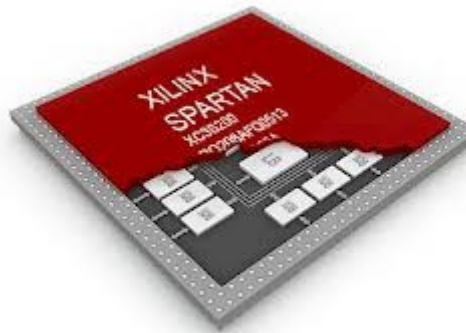


A velocidade funcional das memórias, isto é, a velocidade com que são escritos ou lidos os dados na memória, não consegue acompanhar a velocidade com que são processados os dados na ULA. Esta disparidade de desempenho, conhecida como *memory wall*, forma hoje em dia um dos maiores inconvenientes na computação de alto desempenho.

## Processamento Paralelo



Cluster de PCs  
Réplica a grande escala do mesmo problema, porém atende atualmente grandes demandas de dados.

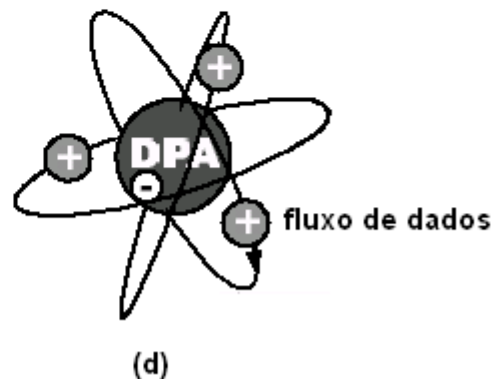
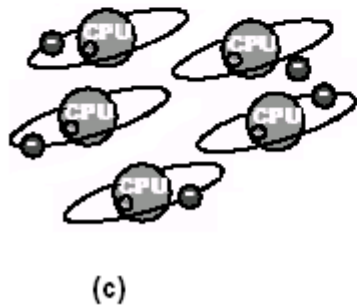
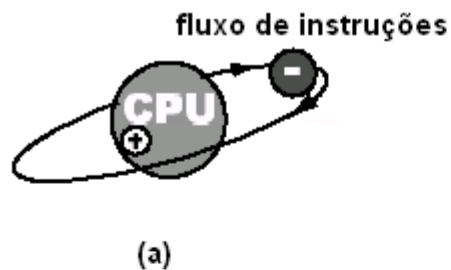


FPGAs  
Solução para aplicações embarcadas e aceleradores de *hardware*



GPUs  
Solução para processamento gráfico

## Processamento Paralelo



### Arquiteturas paralelas em FPGAs

Nas FPGAs os elementos lógicos podem ser configurados para permitir el fluxo de dados de forma independente e paralela.

Nas FPGAs as instruções não são controladas por um contador de programa. Existe um fluxo de dados controlado por sequenciadores (FSMs, muxes e demuxes).

## Questionário

1. O que é um sistema digital binário?
2. Qual é a taxonomia (classificação) de sistemas em Lógica Digital?
3. Quais são as tecnologias existentes em sistemas digitais?
4. Quais são as tecnologias usadas para ASIC?
5. Como funciona um PLD?
6. O que é *memory wall*?
7. Qual é a utilidade de um FPGA?
8. Quais as possíveis aplicações de um FPGA?