

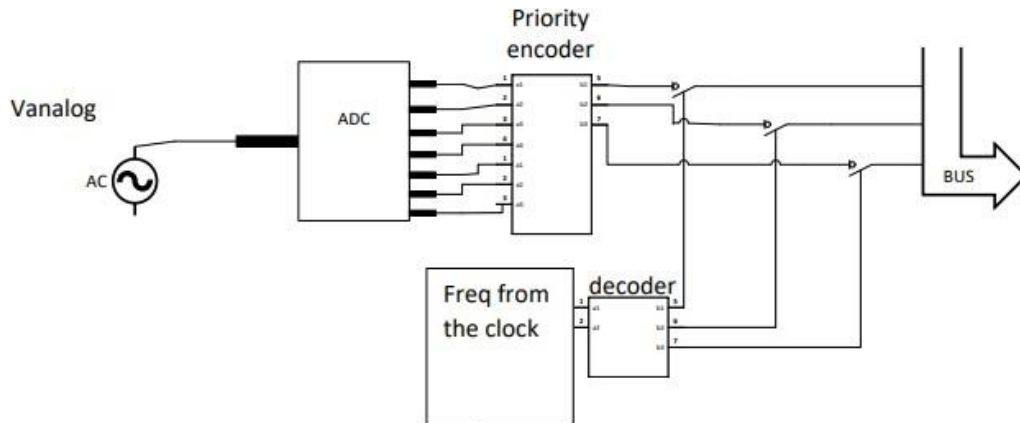
פרויקט סיכום מעבדת VLSI אנלוגי

דניאל רם

208958322

1. בניית ADC הנקרא באופן טורי:

כניסת המערכת היא אות אנלוגי ומוצאה (BUS) אות דיגיטלי הנקרא באופן טורי ע"י המתגים.



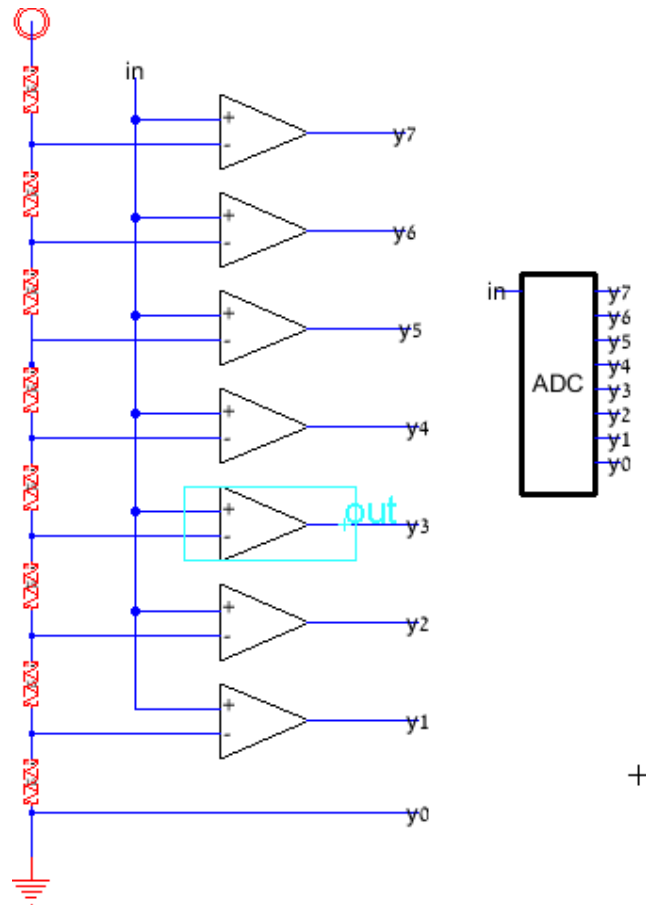
איור 1 המערכת המבוקשת

רכיבי המערכת:

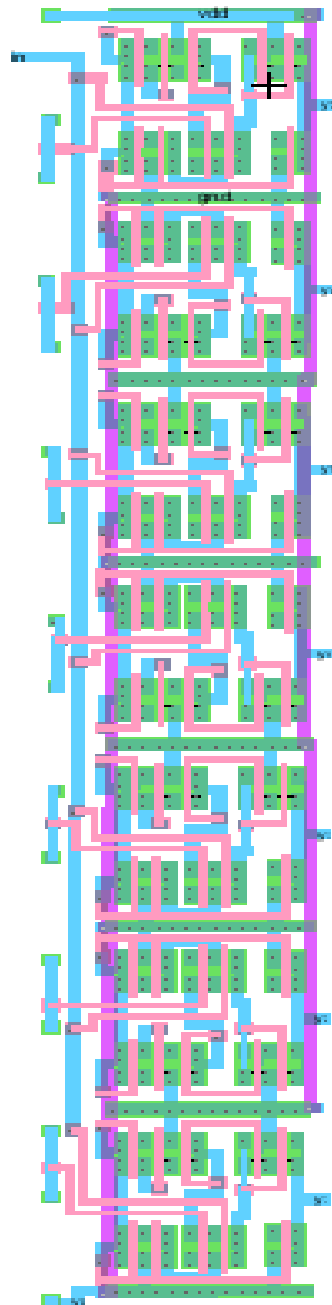
- ADC
- Priority encoder
- Clock
- Frequency divider
- Decoder
- Switches

1.1 : ADC

התקן אלקטרוני המבצע המרה של אות אנלוגי לאות דיגיטלי, בנוסף, במקום לבצע המרה בצורה רציפה, מתבצעת המרה מחזורית, כשהוא דוגם את האות הנכנס. התוצאה היא רצף ערכים מספריים אשר הומרו מאות אנלוגי, רציף בזמן ובאמפליטודה, לאות דיגיטלי, עם זמן ואמפליטודה דיסקרטיים. האות מומר בעזרת שרשרת מגברי משווה המחוברים במקביל לשרשרת נגדים שערכם 100Ω ובכניסתם מתח של $5V$ הפועלים כמחלקי מתח כך שהבדל המתח משתנה לפי $V = 5 * \frac{n}{8}$ בין דרגה לדרגה. כך שבמוצא המערכת יש את יחס המתח האנלוגי במתבטא בכמות הסיביות בעלות ערך '1' הנכנסות אל המקודד עדיפות.

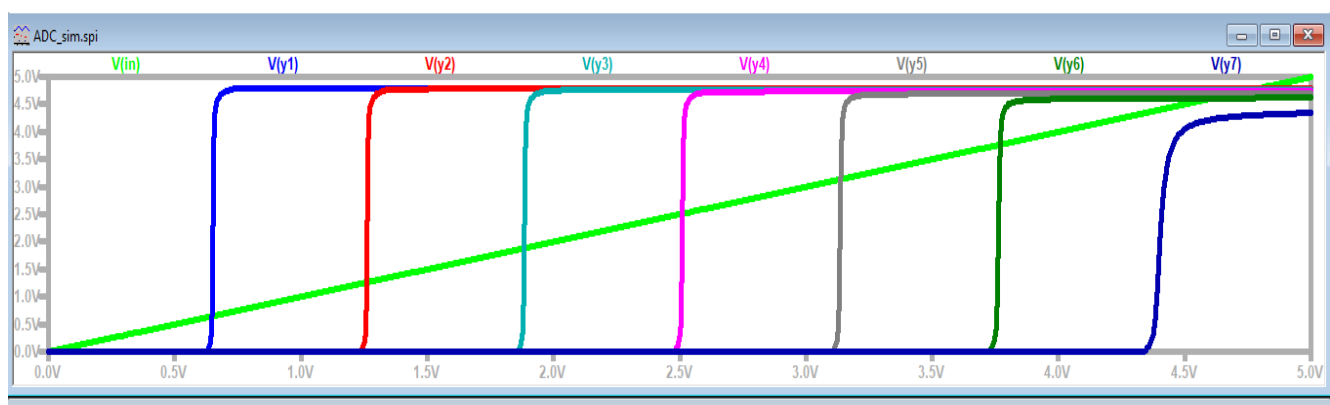


איור 2 סכמת ADC



~~vdd vdd 0 dc 5
vin in 0 DC 0
de vin 0 5 1m
.include c:\electric\cs.txt~~

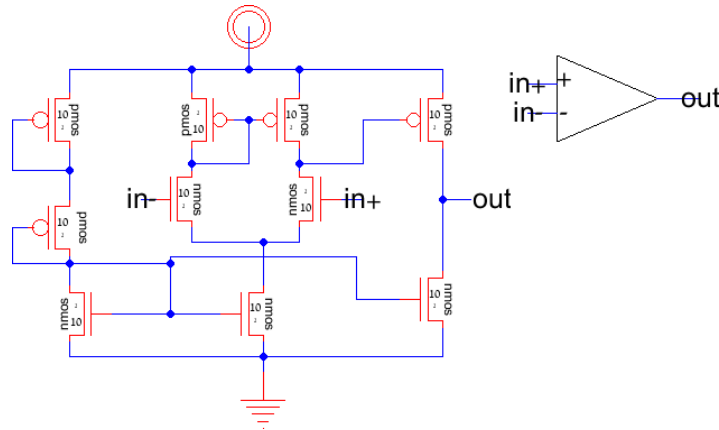
איור 3 ADC LAYOUT



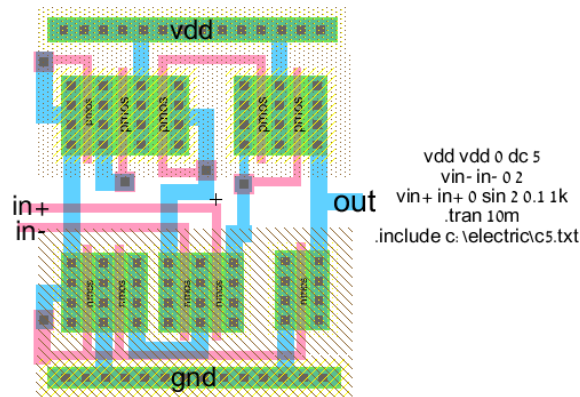
איור 4 גרף מוצאים כתלות בכניסת מערכת ADC

ניתן לראות באיור 4 כי כניסת המערכת מכילה אות אנלוגי אשר ניתן לראות את האות הדיגיטלי המומר במוצא ניתן לראות כי ככל שנעלה בדרגת המוצא כך תגדל גם המילה הבינארית בהתאמה לרמת המתח בכניסה וכמות ערכי '1' לוגי במילת המוצא יגדל בהתאם.

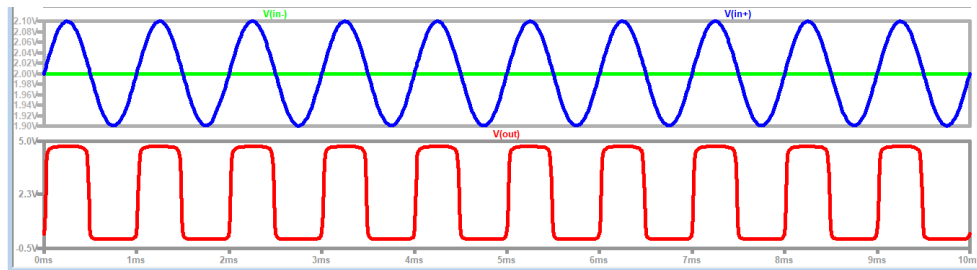
כל מגבר בנוי בצורה הבאה:



איור 5 סכמת מגבר משווה



איור 6 LAYOUT מגבר משווה



איור 7 גרף מגבר משווה

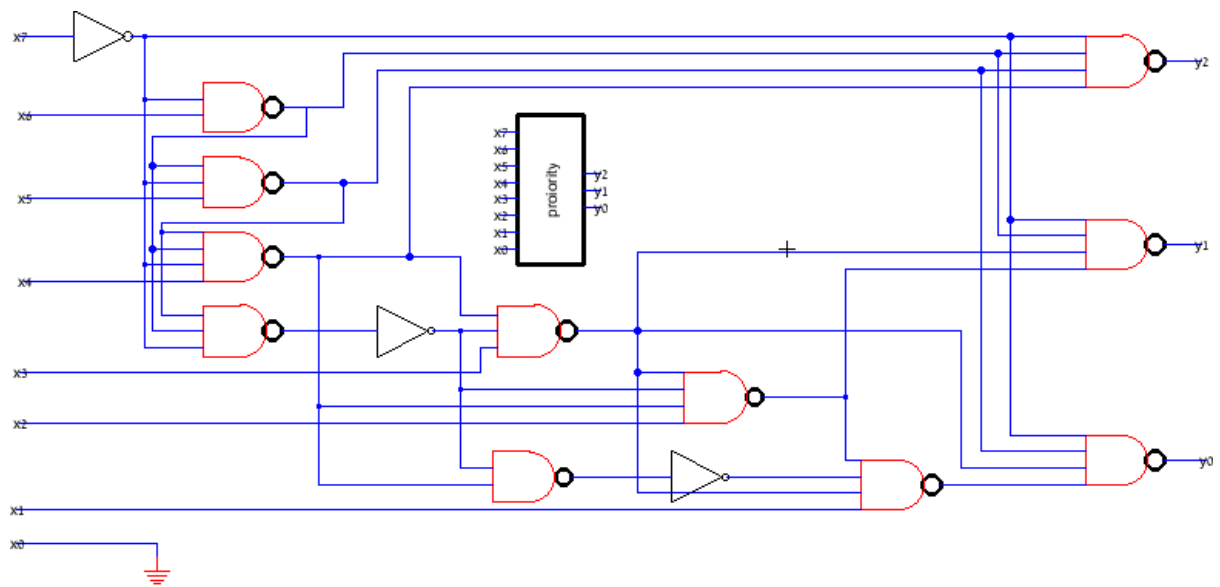
ניתן לראות באיור 7 שכאשר V נמוך מ $+V$ יוצא במוצא $VCC+$.

Priority encoder 1.2 :

מקודד עדיפות – בניגוד לרכיבים אחרים – פועל גם כאשר יש יותר מקו כניסה אחד פעיל. המוצא שלו יהיה קידוד של קו הכניסה בעל העדיפות הגבוהה ביותר (הביט הגבוה ביותר MSB) על ידי דחיסת המידע הרב בכניסות למספר קטן של מוצאים, אם ניתנות שתי כניסות או יותר במקביל, הקלט בעל העדיפות הגבוהה ביותר יקבל עדיפות. הרכיב בעל 7 כניסות ו3 יציאות כאשר נכנס הערך '1' באחת הכניסות או יותר במוצא מתקבל מספר בינארי המייצג את הרגל הכניסה הגבוהה ביותר המקבלת '1' ובכך נותנת "עדיפות" לסיבית הגבוהה ביותר.

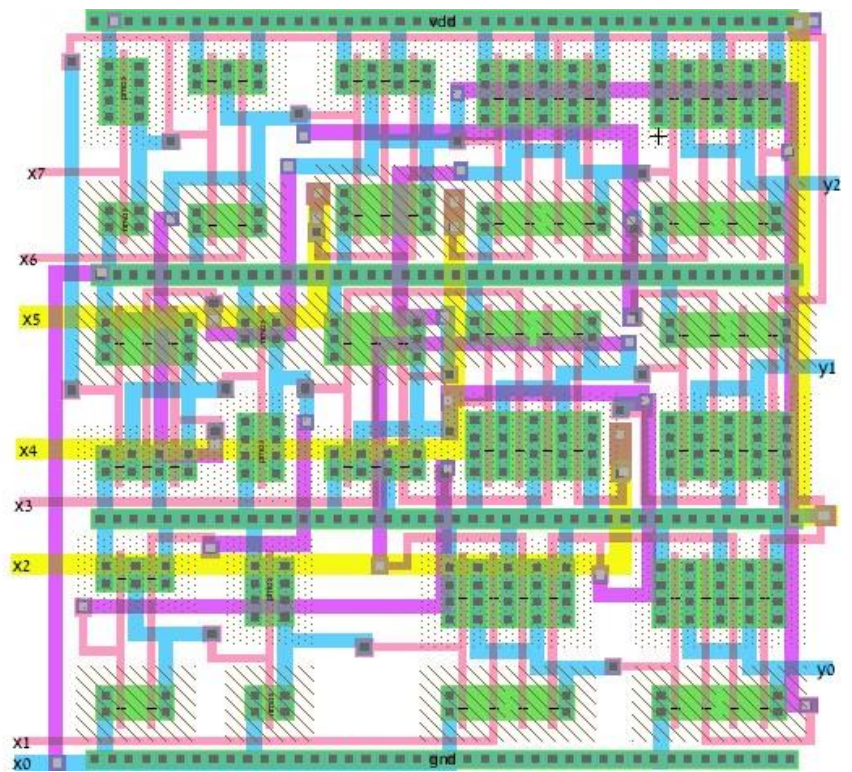
Inputs								Outputs		
D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	x	0	0	1
0	0	0	0	0	1	x	x	0	1	0
0	0	0	0	1	x	x	x	0	1	1
0	0	0	1	x	x	x	x	1	0	0
0	0	1	x	x	x	x	x	1	0	1
0	1	x	x	x	x	x	x	1	1	0
1	x	x	x	x	x	x	x	1	1	1

איור 8 טבלת אמת Priority encoder

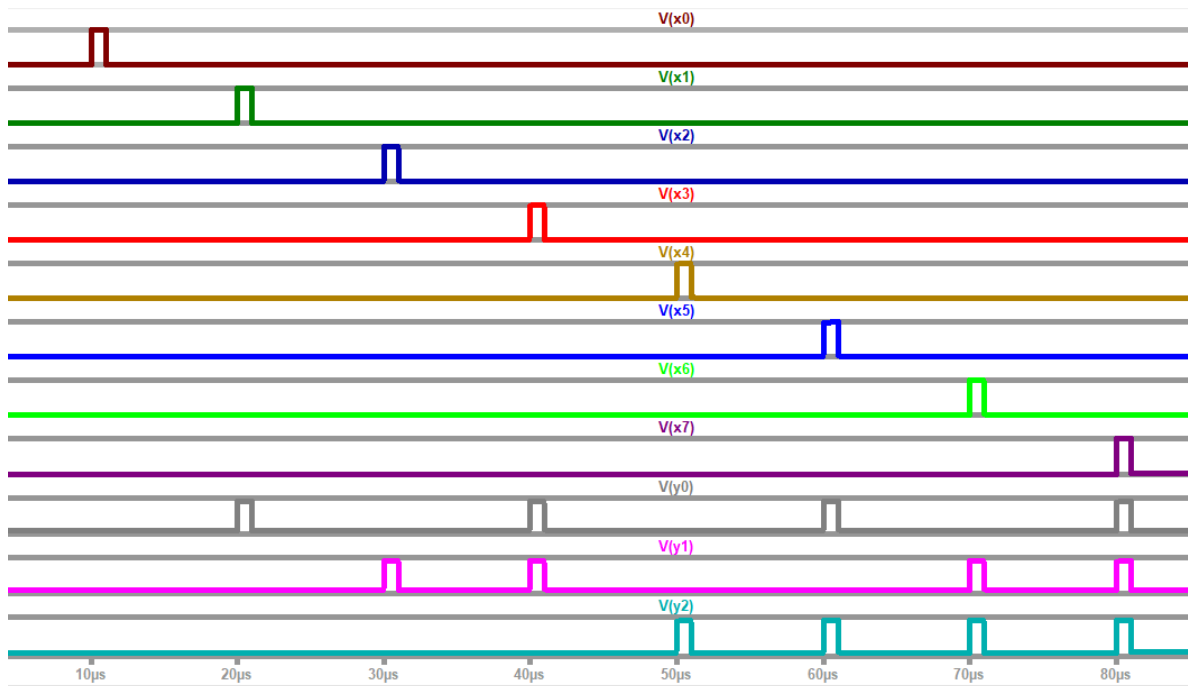


איור 9 סכמת Priority encoder

```
vdd vdd 0 dc 5
v0 x0 0 dc 0 pulse( 0 5 10u 1n 1n 1u 80u)
v1 x1 0 dc 0 pulse( 0 5 20u 1n 1n 1u 70u)
v2 x2 0 dc 0 pulse( 0 5 30u 1n 1n 1u 60u)
v3 x3 0 dc 0 pulse( 0 5 40u 1n 1n 1u 50u)
v4 x4 0 dc 0 pulse( 0 5 50u 1n 1n 1u 40u)
v5 x5 0 dc 0 pulse( 0 5 60u 1n 1n 1u 30u)
v6 x6 0 dc 0 pulse( 0 5 70u 1n 1n 1u 20u)
v7 x7 0 dc 0 pulse( 0 5 80u 1n 1n 1u 10u)
.tran 0 100u
.include c:\electric\c5.txt
```



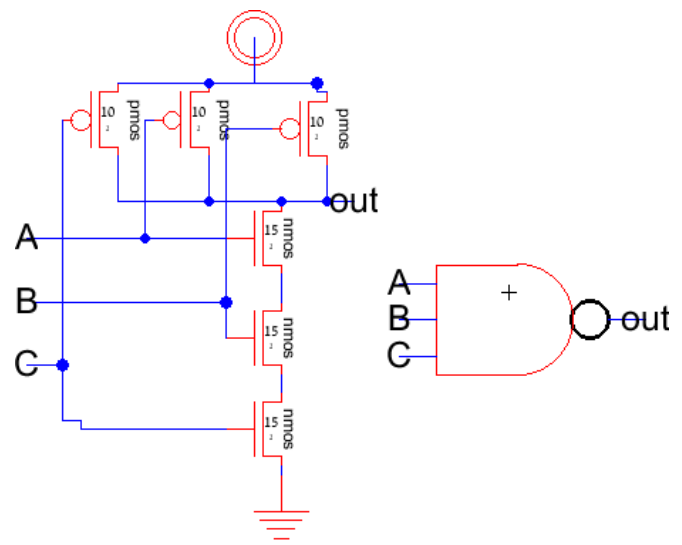
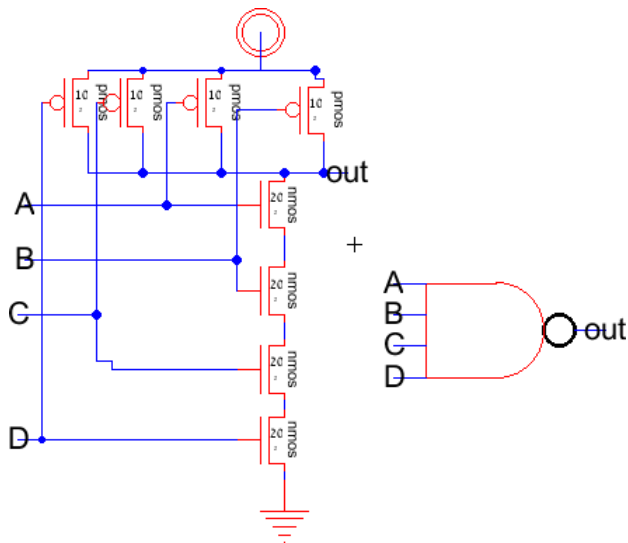
איור 10 Priority encoder LAYOUT



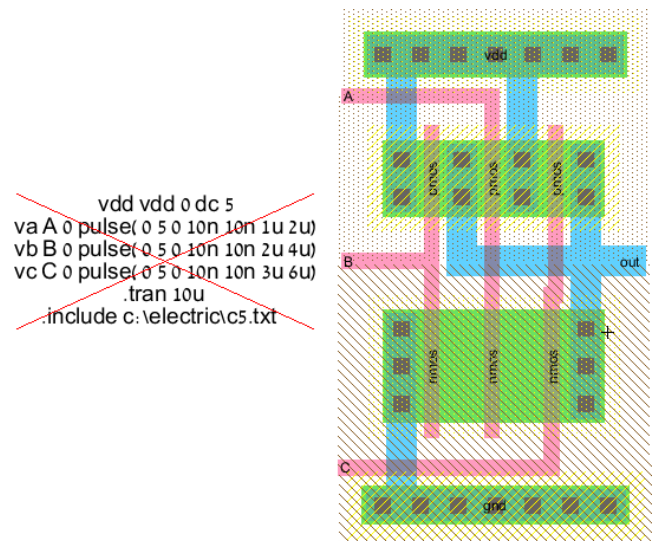
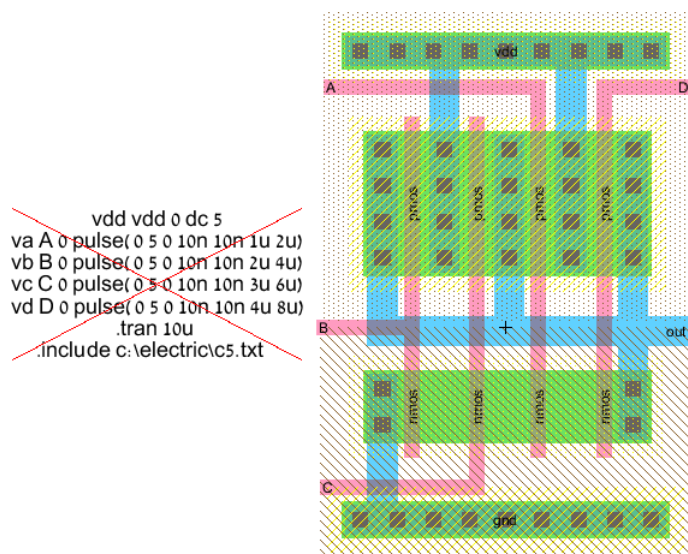
איור 11 גרף המוצאים כתלות בכניסות של Priority encoder

ניתן לראות באיור 11 כי הגרף תואם את טבלת האמת של הרכיב המוצאת באיור 8.

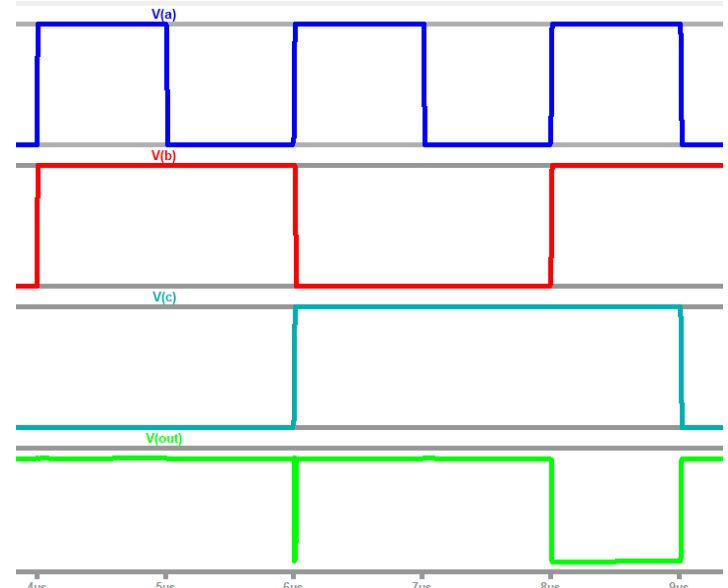
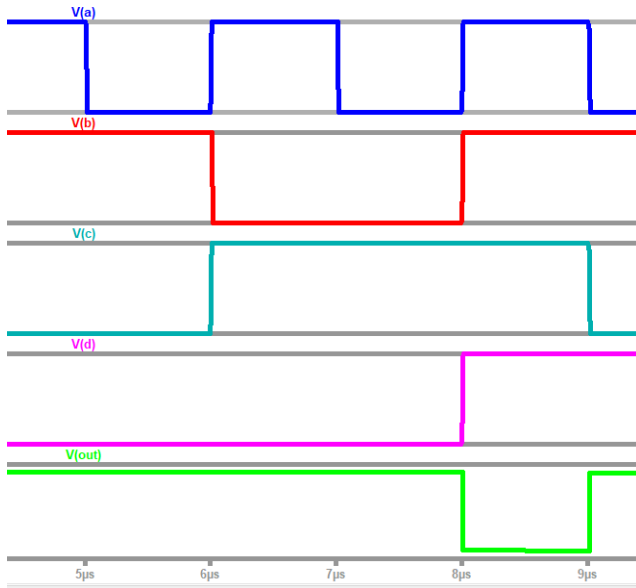
כל NAND3 NAND4 בנוי בצורה הבאה:



איור 12 סכמת INAND4 / NAND3



איור 13 LAYOUT NAND4 / NAND3

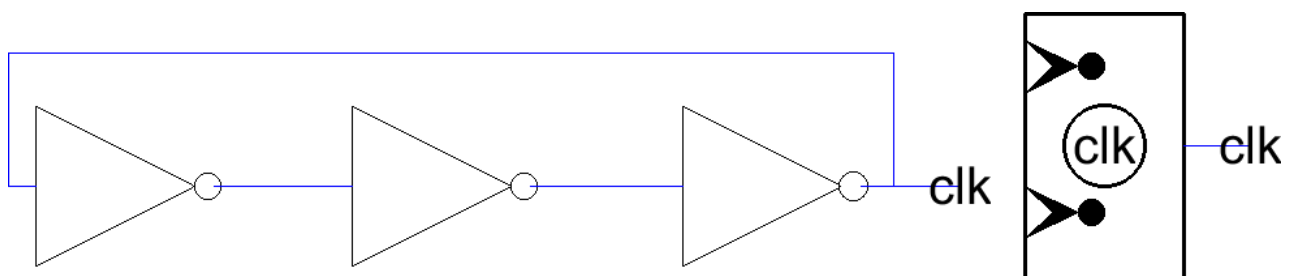


איור 13 גרף מוצא כתלות בכניסות של NAND4 ו-NAND3

ניתן לראות מאיור 13 כי הרכיב פועל כמצופה, כאשר כל כניסות הרכיב במצב של '1' לוגי מתקבל '0' לוגי במוצא.

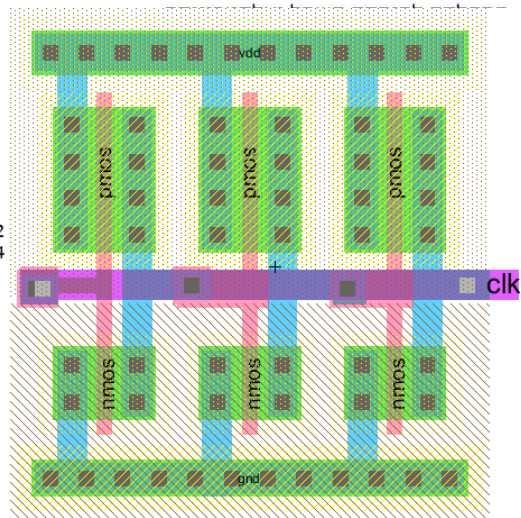
1.3 Clock :

השעון הינו מתנד המורכב משלושה מהפכים עוקבים כאשר תחילת הנודות נוצרת מהגברת הרעשים עד התייצבות המערכת, ובעקבות כך במוצא נקבל אות סינוס. כל מהפך מחשב את ה NOT - של הקלט שלו, הפלט האחרון של שרשרת של מספר אי-זוגי של ממירים הוא ה NOT - של הקלט הראשון. התוצאה הסופית נקבעת זמן מוגדר לאחר קביעת הכניסה הראשונה והמשוב של הפלט האחרון לכניסה גורם לתנודה.

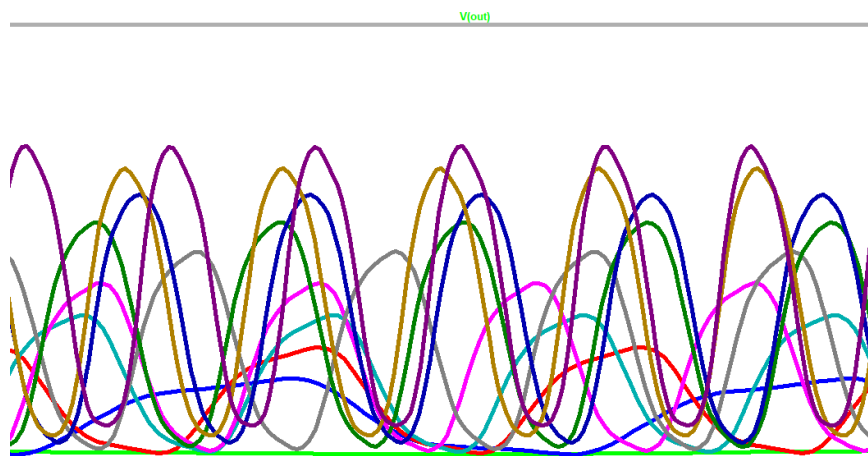


איור 14 סכמת clock

```
vdd vdd 0 dc {vdd}
.step param vdd 1 10 1
.meas tran p1 when d(v(out))=0 cross 22
.meas tran p2 when d(v(out))=0 cross 24
.meas freq param 1/(p2-p1)
.tran 20n
.ic V(out)=3
.include c:\electric\cs.txt
```



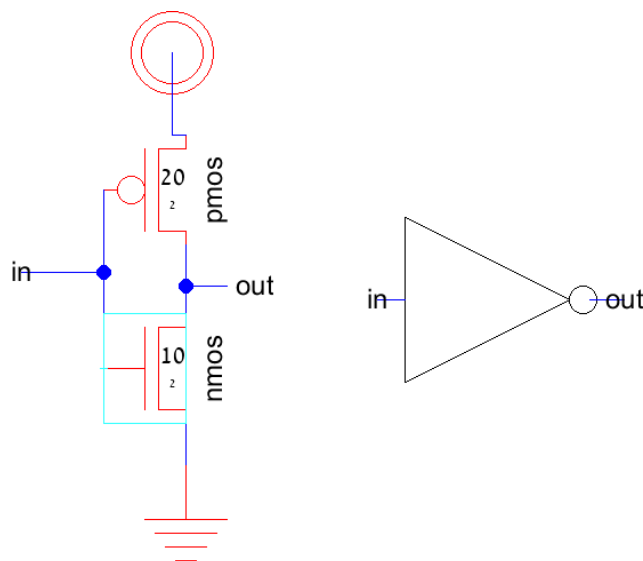
איור 15 clock LAYOUT



איור 16 גרף clock

ניתן לראות לפי איור 16 כי זמן המחזור של השעון ובעקבות כך התדר משתנה כתוצאה משינוי מתח הכניסה שהוגדרו בקוד.

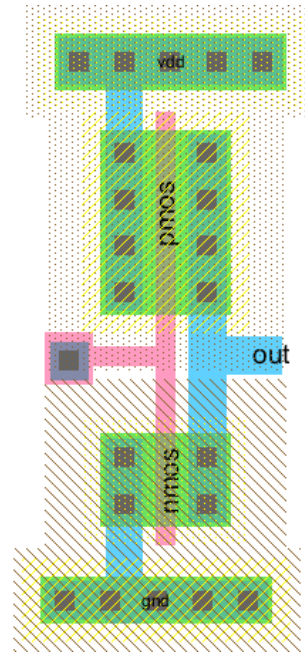
כל Inverter בנוי בצורה הבאה:



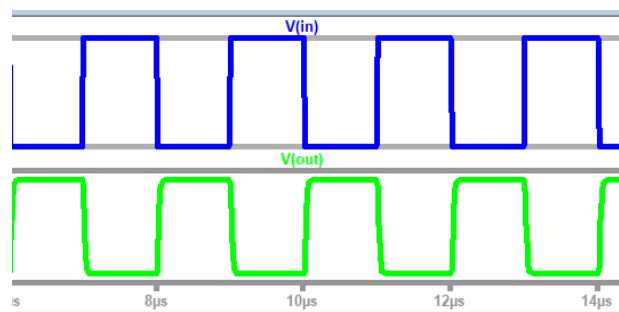
איור 17 סכמת inverter

~ 10 ~

```
vdd vdd 0 dc 5
vin in 0 pulse(0 5 1u 10n 10n 1u 2u)
.tran 20u
cloud out 0 10p
.include c:\electric\c5.txt
```



איור 18 LAYOUT inverter

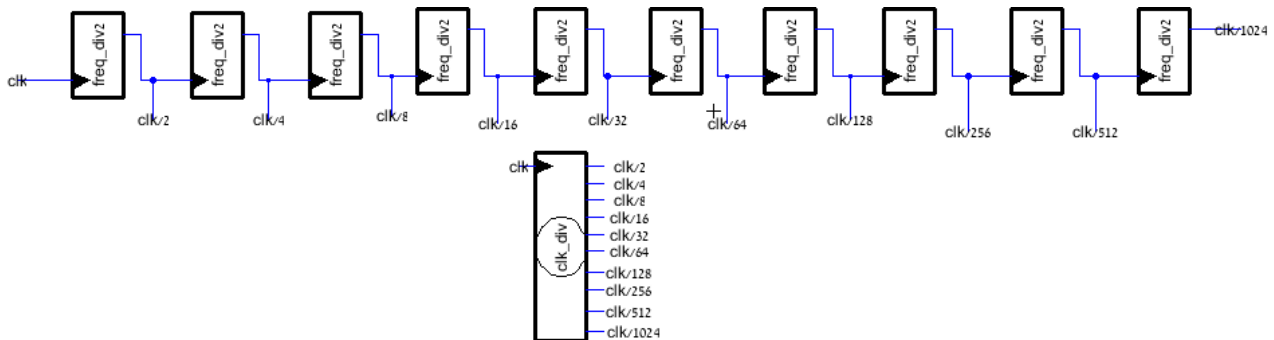


איור 19 גרף inverter

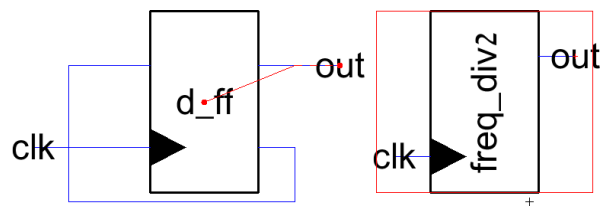
ניתן לראות באיור 19 כי הרכיב פועל כמצופה ומוציא את היפוך הכניסה.

1.4 : Frequency divider

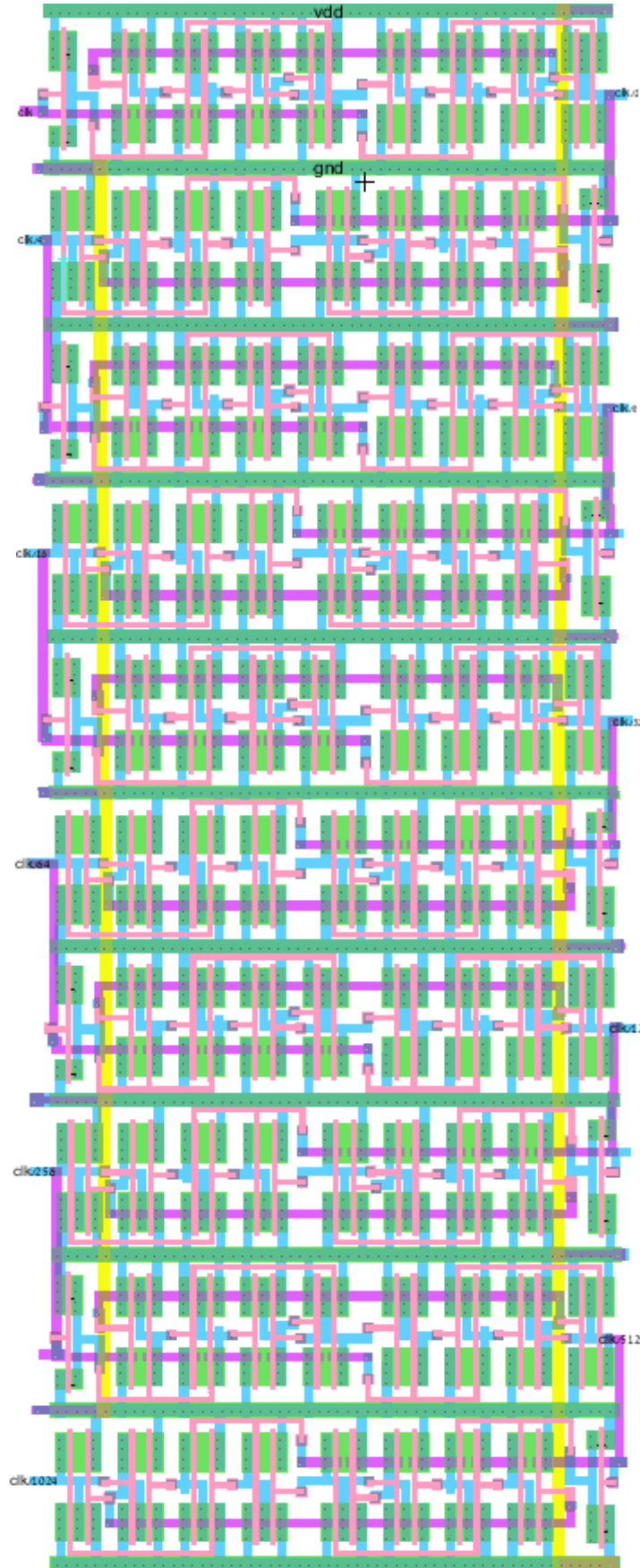
מחלק התדר בנוי מ-10 דלגלי D המשורשרים בטור כאשר כל דלגל מחלק ב-2 את תדר הכניסה שלו ובעקבות כך תדר הכניסה מתחלק ב- $\frac{1}{2^n}$ כל דלגל מעביר מידע כאשר השעון עולה ל'1' לוגי ואם משורשרים כמה דלגלים אחד אחרי השני וכולם מקבלים את אותו שעון הדלגל הראשון יעביר מידע רק כאשר השעון יעלה, והשני יעלה בעליית שעון הבאה וכן הלאה.



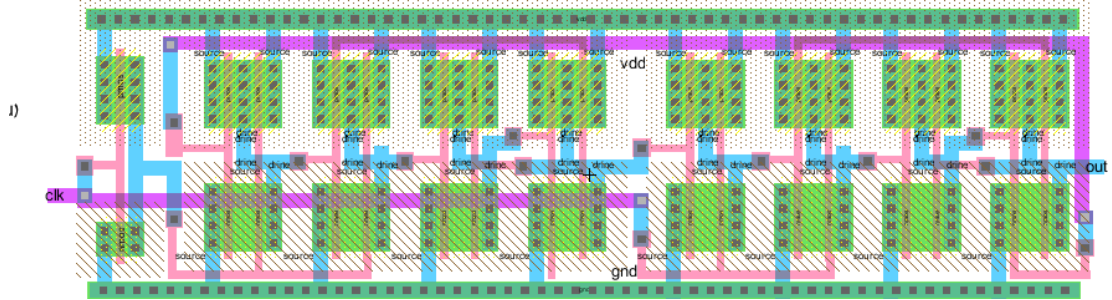
איור 20 סכמת Frequency divider



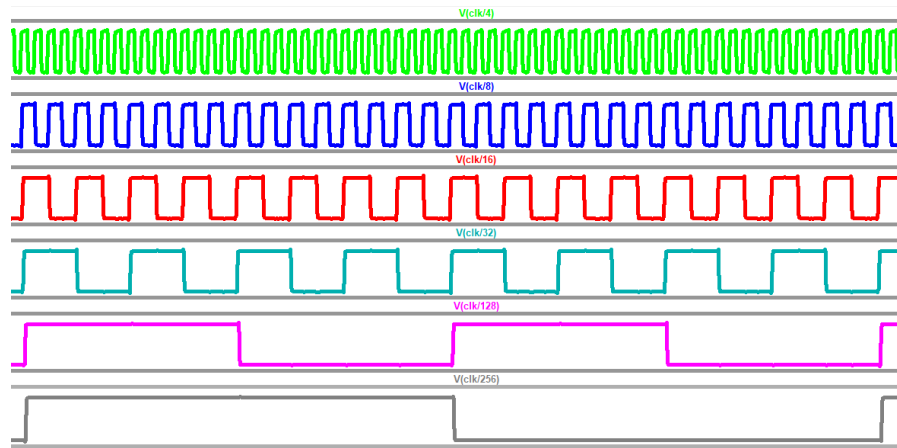
איור 21 סכמת Freq_div2



איור 22 Frequency divider LAYOUT



איור 23 Freq_div2 LAYOUT



איור 24 גרף Frequency divider

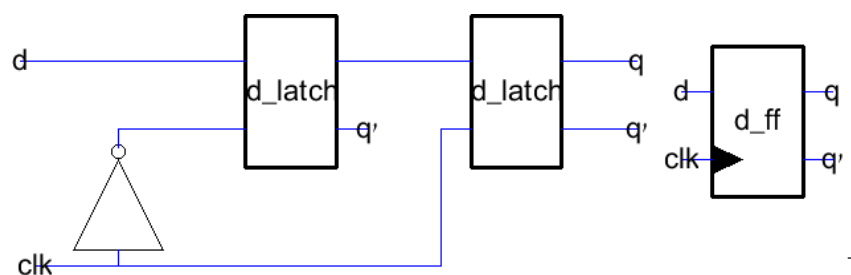
ניתן לראות באיור 24 כי מחלק התדר פועל כמצופה וכל מוצא מחלק את האות פי 2 המוצא הקודם לו.

כל D-FF בנוי בצורה הבאה:

הD-FF הנו רכיב זיכרון סינכרוני המסוגל לזכור סיבית אחת שעובד בעליית / ירידת שעון ושומר את מצבו במוצא. הוא מורכב מ-2 רכיבי D-latch כאשר המוצא Q של הראשון מחובר לכניסה D של השני. שניהם מקבלים את אותו CLK. ההבדל בין רכיב זה לקודם הוא היכולת אגירה של הDFF, נשים לב שהמוצא יוצא בדיליי.

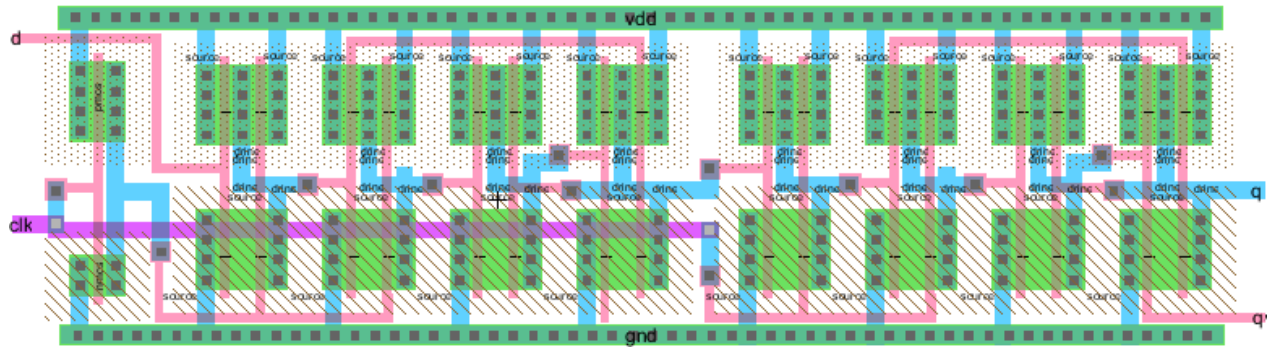
D	Q	Q _{next}
0	X	0
1	X	1

איור 25 טבלת אמת DFF

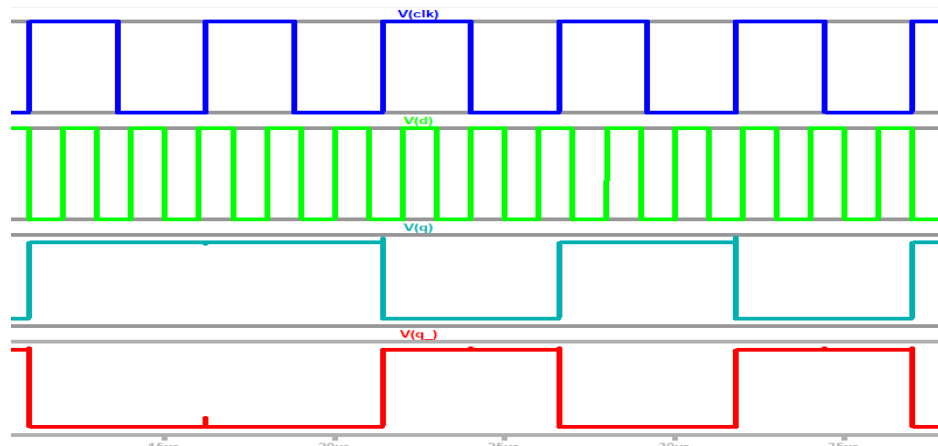


איור 26 סכמת DFF

```
vdd vdd 0 dc 5
vd d 0 pulse(0 5 0 1n 1n 1u 2u)
vclk clk 0 pulse(0 5 0.6u 1n 1n 2.6u 5.2u)
.tran 45u
.include c:\electric\c5.txt
```



איור 27 DFF LAYOUT



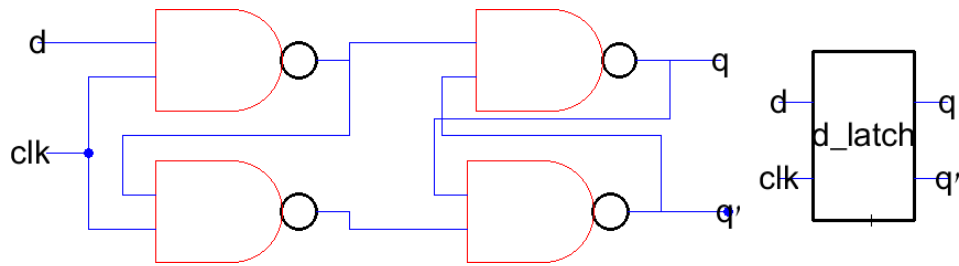
איור 28 גרף DFF

ניתן לראות באיור 28 כי הרכיב פועל כמצופה לפי טבלת האמת המוצגת באיור 25 בעליית שעון נקבל במוצא את ערך הכניסה באותו זמן נתון ולא ישתנה עד עליית שעון נוספת גם אם הכניסה תשתנה.

כל D-latch בנוי בצורה הבאה:

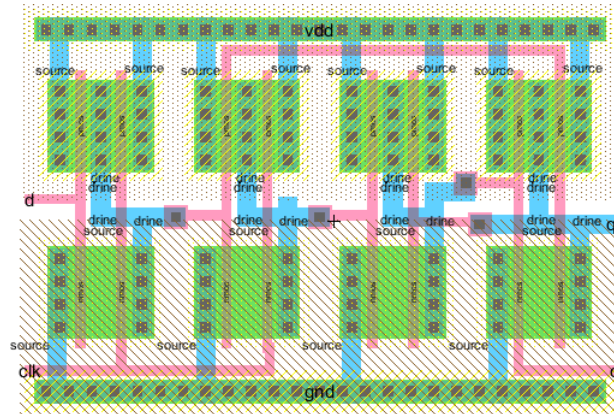
E or Clk	D	Q	Q'
0	0	Latch	
0	1	Latch	
1	0	0	1
1	1	1	0

איור 29 טבלת אמת D-latch

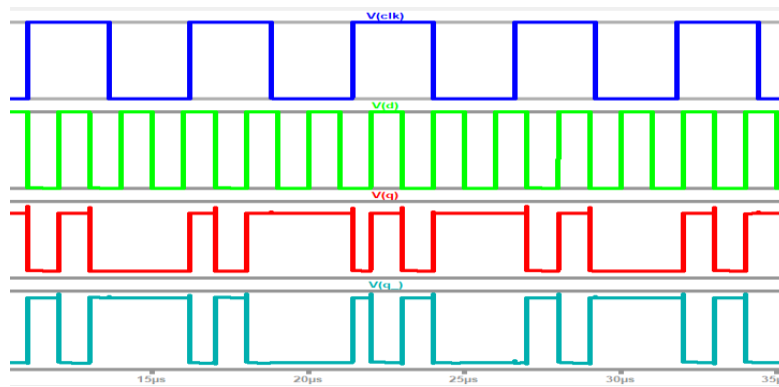


איור 30 סכמת D-latch

```
vdd vdd 0 dc 5
vd d 0 pulse(0 5 0 1n 1n 1u 2u)
vclk clk 0 pulse(0 5 0.6u 1n 1n 2.6u 5.2u)
.tran 45u
.include c:\electric\c5.txt
```



איור 31 LAYOUT D-latch



איור 32 גרף D-latch

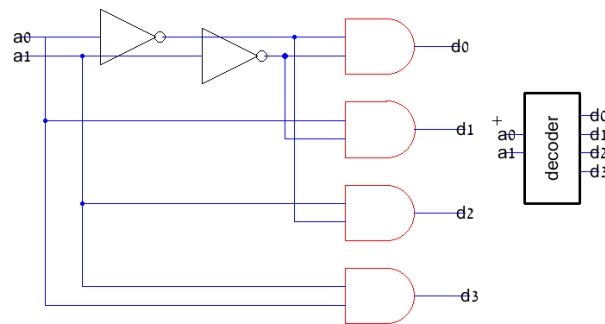
ניתן לראות כי הרכיב פועל כמצופה לפי טבלת האמת המוצגת באיור 29 כאשר CLK במנעך המוצא ננעל וכאשר ה-CLK בגובה המוצא שווה לכניסה.

1.5 : decoder

מפענח בינארי - Decoder הוא רכיב חומרה לוגי שממיר מספר בינארי לפלט מתאים, כגון הפעלת יציאה שזה מספרה. במפענח עם n כניסות יהיו עד 2^n יציאות. כאשר למפענח עם n כניסות יש פחות מ- 2^n יציאות, בהכרח יש שני מצבי קלט שונים שנותנים אותו פלט. המשמעות של היציאה הפעילה משתנה בין שני הסוגים העיקריים של המפענחים. ברוב המפענחים, המשמעות היא שהיציאה הנבחרת ערכה 1 וכל שאר היציאות ערכם 0 והסוג השני הוא ההפך, כל היציאות ערך 1 והיציאה הנבחרת ערכה 0.

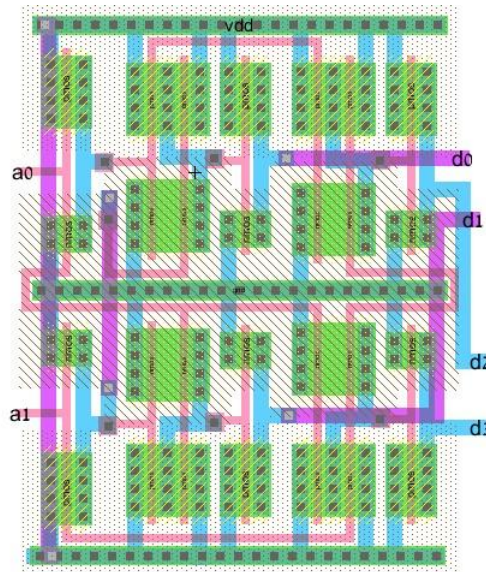
A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

איור 33 טבלת אמת Decoder

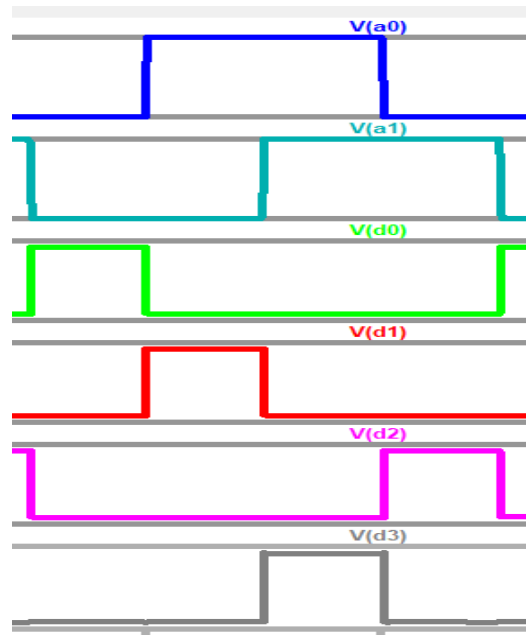


איור 34 סכמת Decoder

```
vdd vdd 0 dc 5
va0 a0 0 pulse(0 5 0 10n 10n 1u 2u)
va1 a1 0 pulse(0 5 0.5u 10n 10n 1u 2u)
.tran 10u
.include c:\electric\cs.txt
```



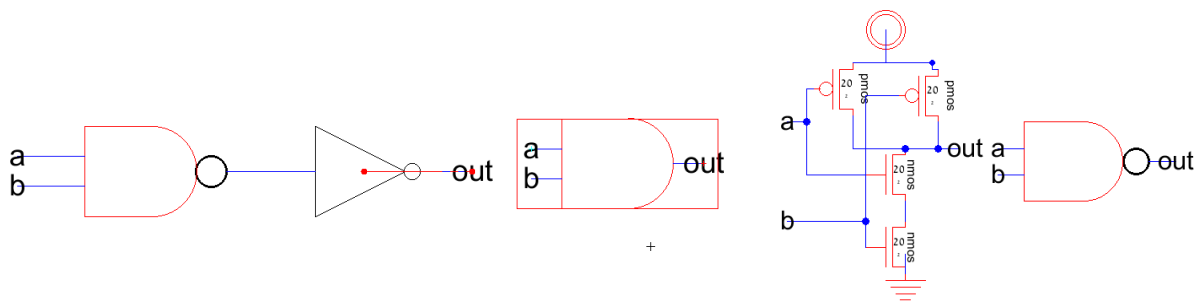
איור 35 LAYOUT Decoder



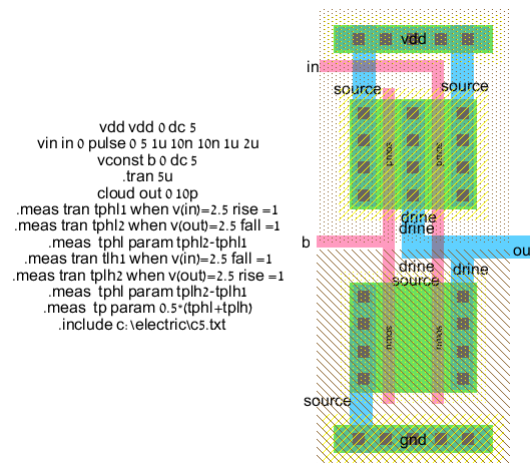
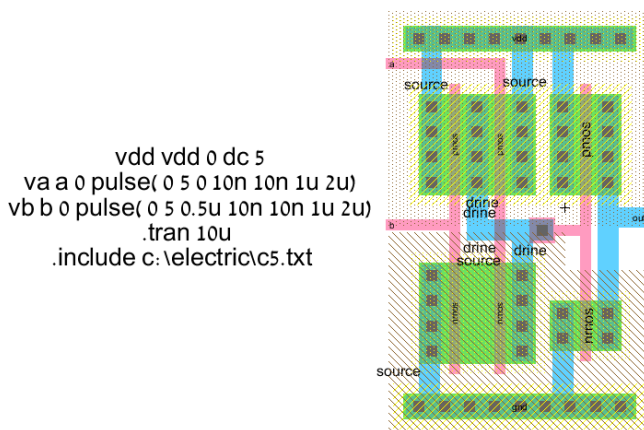
איור 36 גרף המוצאים כתלות בכניסות ב-Decoder

ניתן לראות כי הרכיב פועל כמצופה לפי טבלת האמת המוצגת באיור 33, ומוציא את המוצא המתאים לפי הערך בכניסת הרכיב.

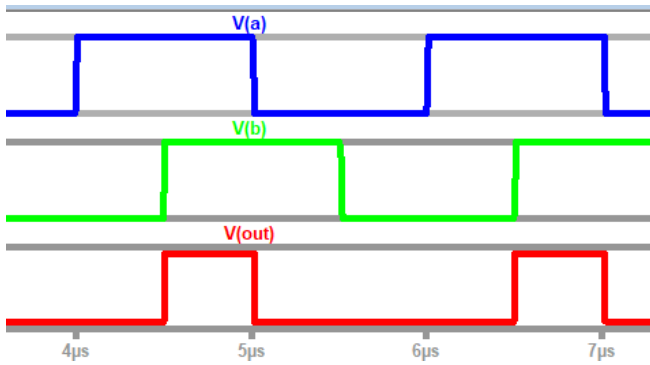
כל AND2 וNAND2 בנוי בצורה הבאה:



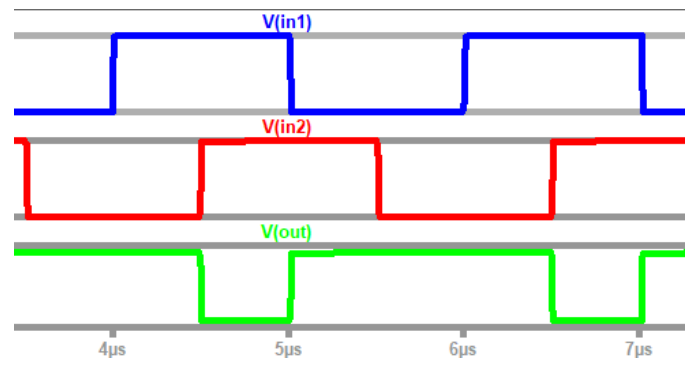
איור 37 סכמת AND2 וNAND2



איור 38 LAYOUT NAND2 AND2



איור 41 גרף AND2

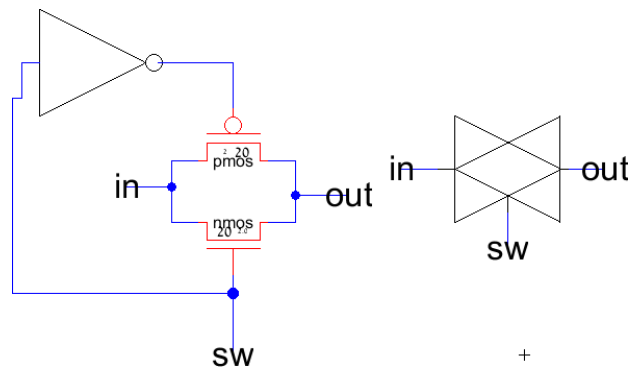


איור 40 גרף NAND2

ניתן לראות כי הרכיבים פועלים כמצופה, בNAND2 כל זמן שערך הכניסה שונה מ"11" הרכיב מוציא '1' לוגי, כאשר ערך הכניסה נמצא ב"11" מוצא הרכיב יורד ל'0' לוגי. ובמקרה של AND2 רק כאשר הכניסה היא "11" הרכיב מוציא '1' לוגי.

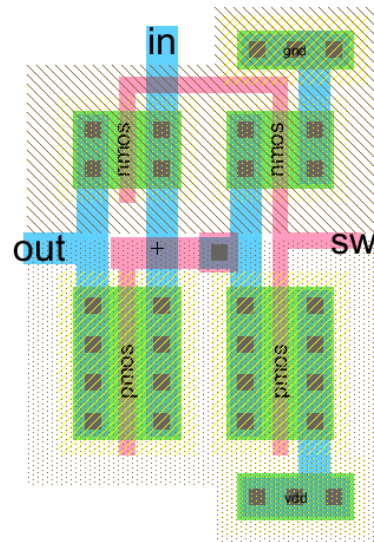
1.6 Switches :

המתגים שולטים על מוצא המערכת לפי הכניסה הרצויה בכל רגע. המתג נבנה בטכנולוגיית CMOS TG. שילובם של רכיבי ה-NMOS וה-PMOS ייתן רכיב שהוא מצויין להולכת זרמים בשני הכיוונים וכן זמני מיתוג קצרים יותר. כאשר SW נמצא ב-'1' לוגי כניסה IN מעבירה את המידע ל-OUT.

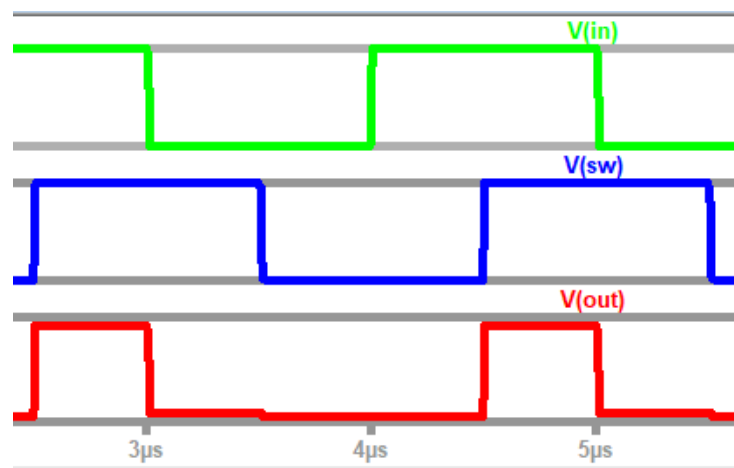


איור 42 סכמת מתג

```
vdd vdd 0 dc 5
va in 0 pulse(0 5 0 10n 10n 1u 2u)
vb sw 0 pulse(0 5 0.5u 10n 10n 1u 2u)
.tran 10u
.include c:\electric\cs.txt
```



איור 43 Switch LAYOUT



איור 44 גרף Switcher

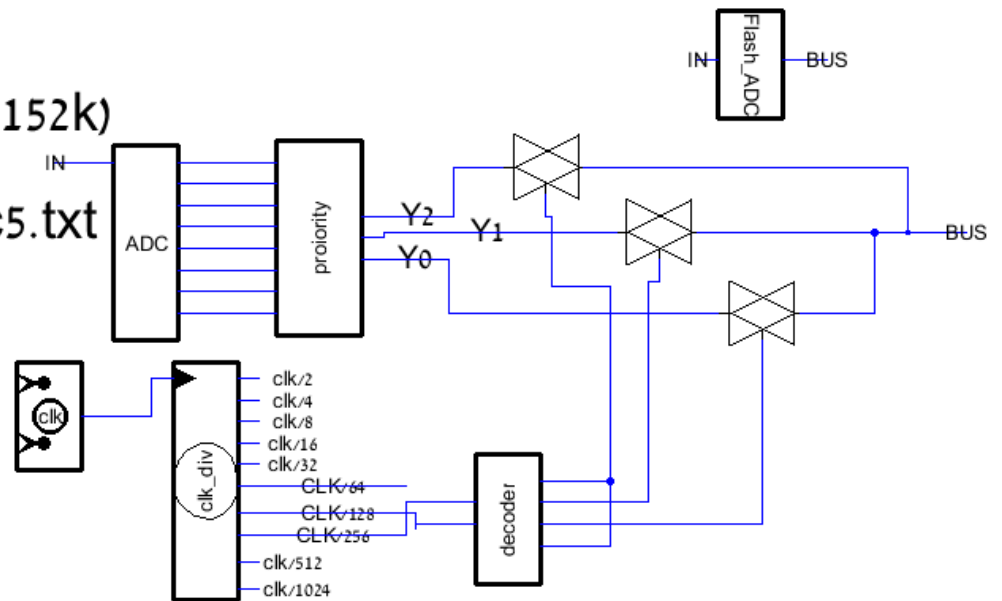
ניתן לראות לפי איור 44 כי הרכיב פועל כמצופה, כאשר כניסת SW נמצאת ב '1' לוגי הרכיב מעביר את המידע מהכניסה למוצא.

1.7 כלל המערכת:

```

vdd vdd 0 dc 5
vin in 0 sin (2.5 2.5 152k)
.tran 9u
.include c:\electric\c5.txt

```



איור 45 סכמת המערכת

המערכת מכניסה אות אנלוגי ומוציאה אות דיגיטלי במוצא כל זאת ע"י מתגים שבכניסתם בנויים משעון. נבחר להשתמש בתדרים ממחלק התדר $v_{clk}/16$ ו- $v_{clk}/8$ על מנת לראות את המוצא בצורה ברורה ולא כגרף צפוף על מנת להבחין בעליות וירידות בצורה ברורה יותר.

על מנת לבחון את התוצאה נשתמש המשוואה הבאה:

$$(1) V_{analog} = V_{ref} * \frac{(digital)_{10}}{2^n}$$

לכן ניתן יהיה לקבל את את התוצאות הבאות מנוסחה 1

$$V_{analog}(0) = 5 * \frac{0}{8} = 0V$$

$$V_{analog}(1) = 5 * \frac{1}{8} = 0.6V$$

$$V_{analog}(2) = 5 * \frac{2}{8} = 1.26V$$

$$V_{analog}(3) = 5 * \frac{3}{8} = 1.87V$$

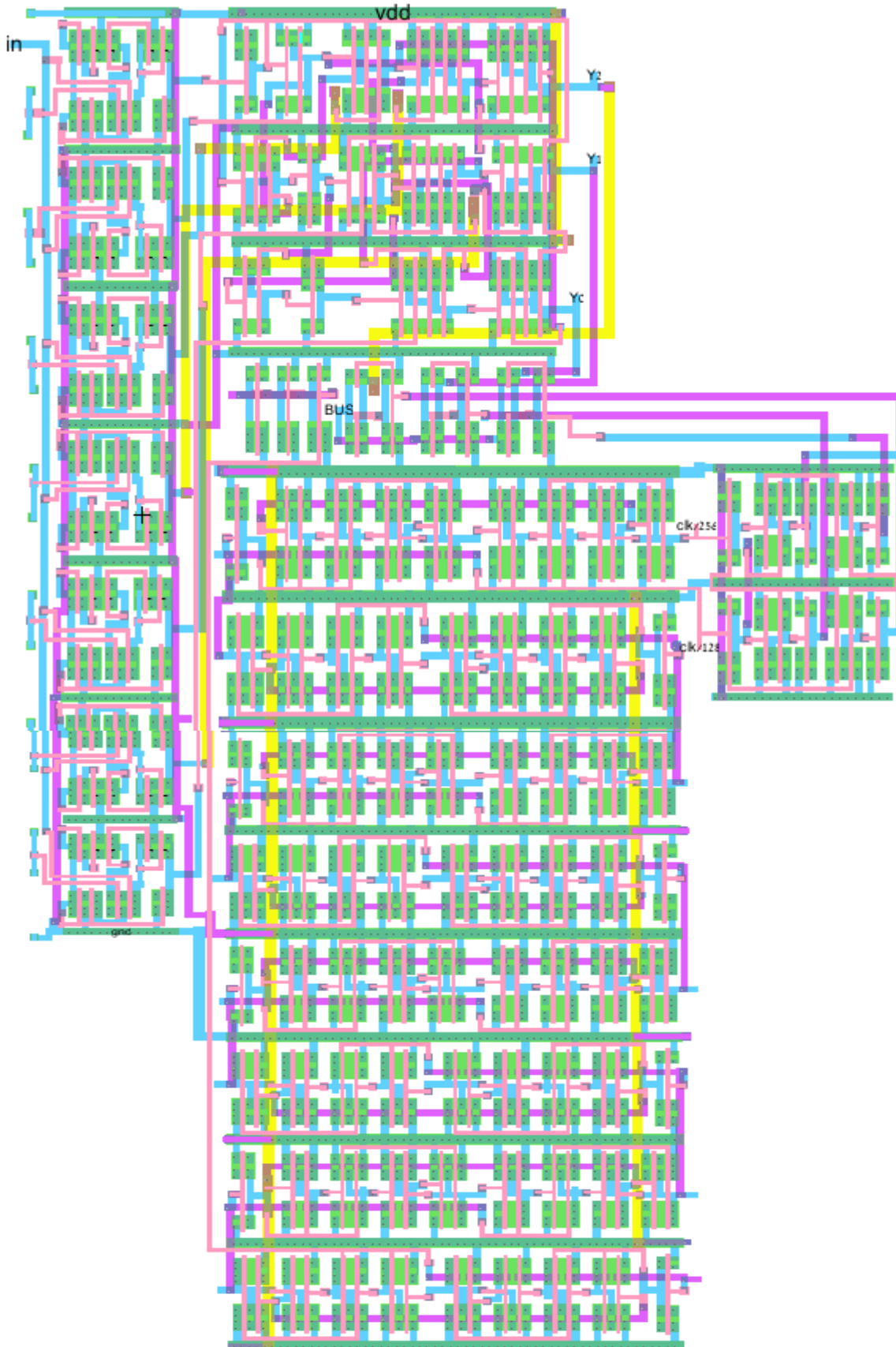
$$V_{analog}(4) = 5 * \frac{4}{8} = 2.5V$$

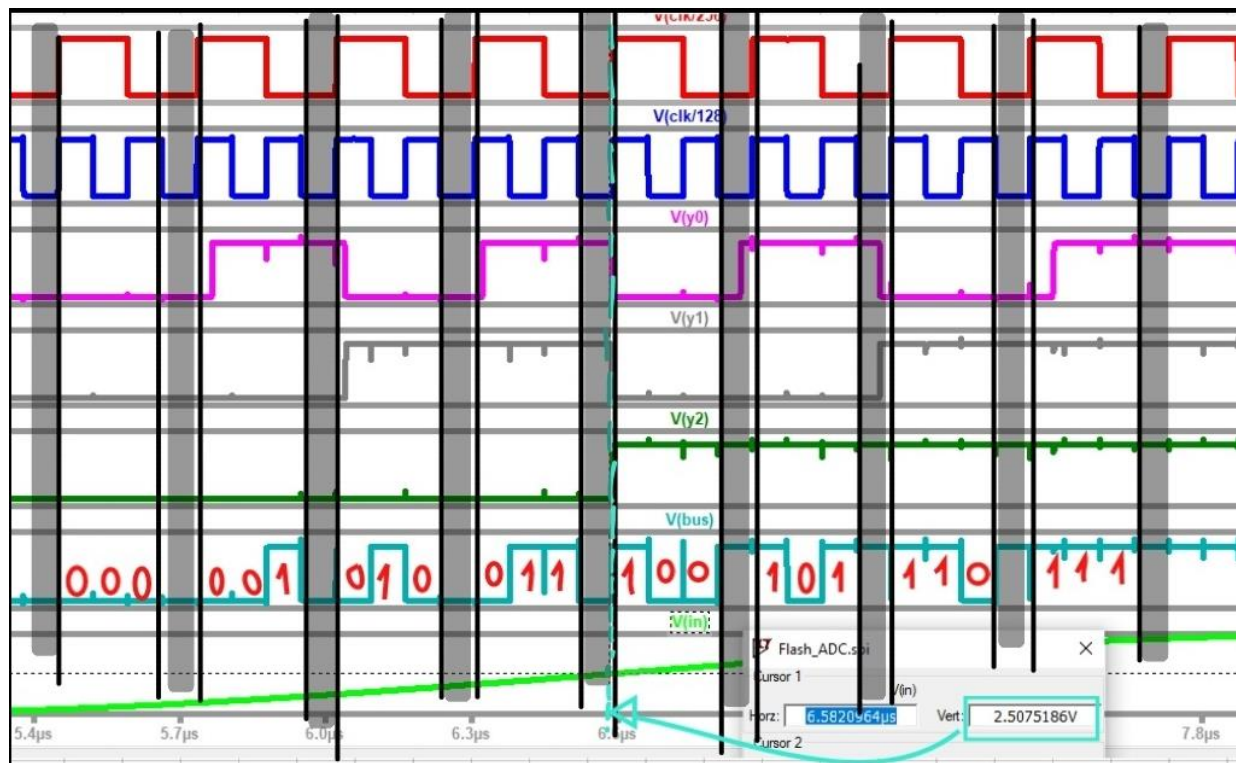
$$V_{analog}(5) = 5 * \frac{5}{8} = 3.15V$$

$$V_{analog}(6) = 5 * \frac{6}{8} = 3.65V$$

$$V_{analog}(7) = 5 * \frac{7}{8} = 4.4V$$

כך נצפה לקבל במוצא המערכת.



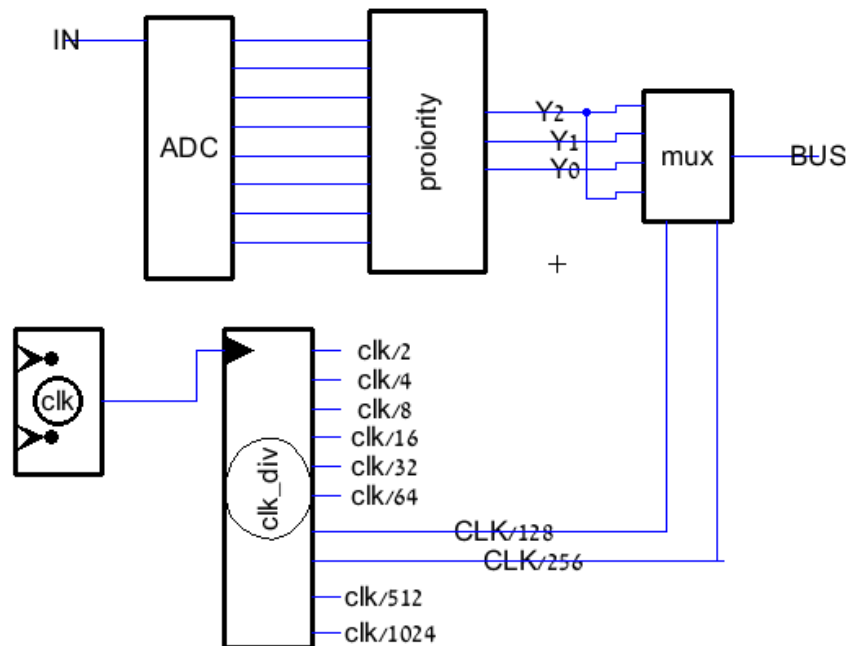


איור 47 גרף המערכת- כאשר $V_{bus}=100 \leftarrow V_{in}=2.5V$

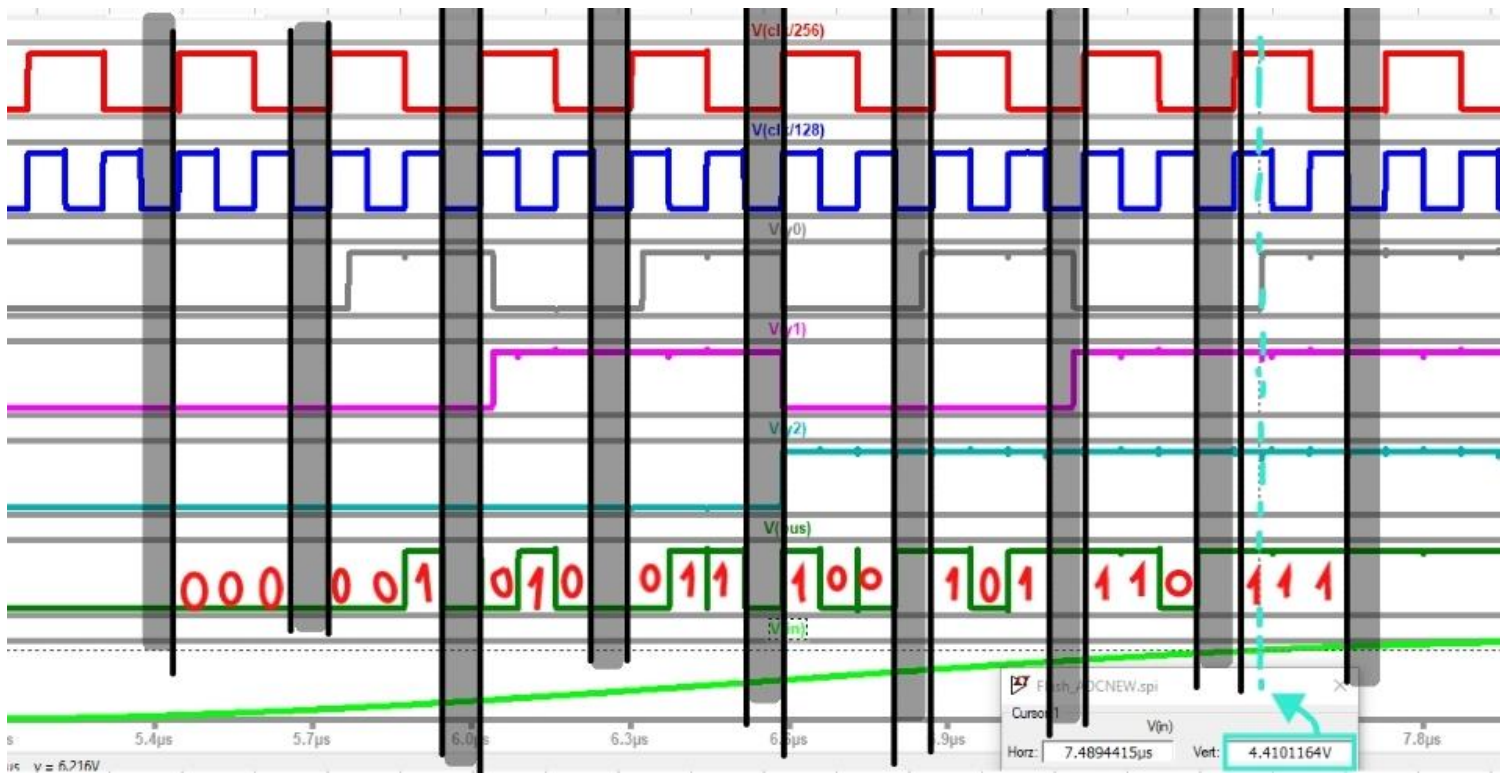
ניתן לראות שאין המוצאים מוצאים אות דיגיטלי בכניסה האנלוגית המתאימה.
נשים לב שכניסה "00" בשעון אינה נחשבת והיא מוציאה את כניסה "11".

נראה מימוש המערכת בעזרת mux:

```
vdd vdd 0 dc 5
vin in 0 sin (2.5 2.5 152k)
.tran 9u
.include c:\electric\c5.txt
```



איור 48 סכמת המערכת



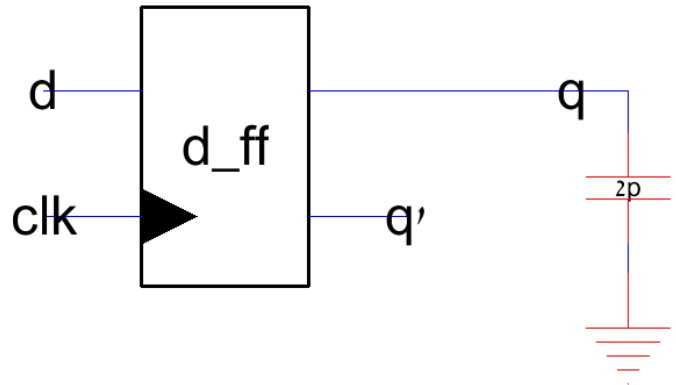
איור 49 גרף המערכת- כאשר $V_{in}=4.4V$ <-- $V_{bus}=111$

ניתן לראות שאכן המוצאים מוצאים אות דיגיטלי בכניסה האנלוגית המתאימה וכי מתקבל פחות עיוותים במוצא.

2. הזמנים החשובים בהגדרת D-FF:

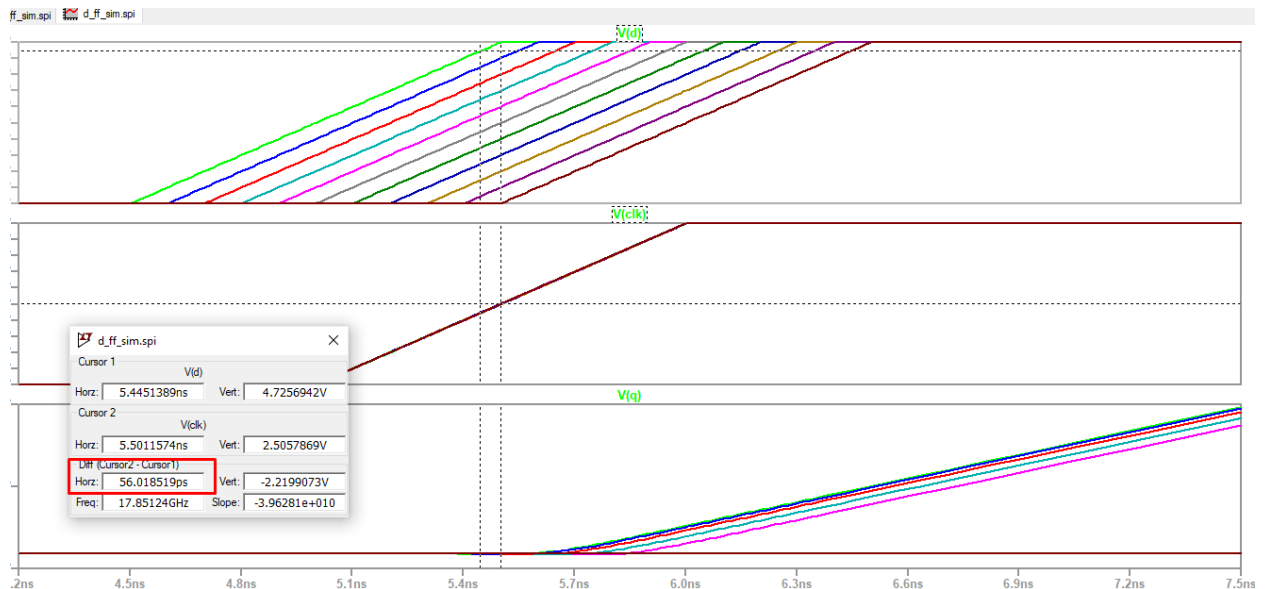
הרכיב דוחף עומס שגודלו 2pF.

```
vdd vdd 0 DC 5
vd d 0 pulse(0 5 {str} 1n 1n 100u 200u )
vclk clk 0 pulse(0 5 5n 1n 1n 100u 200u )
.step param str 4.5n 5.5n 0.1n
cloud q 0 7p
.ic v(q)=0
.tran 0 20n
.include c:\electric\c5.txt
```



איור 50 icon של הרכיב D-FF עם העומס

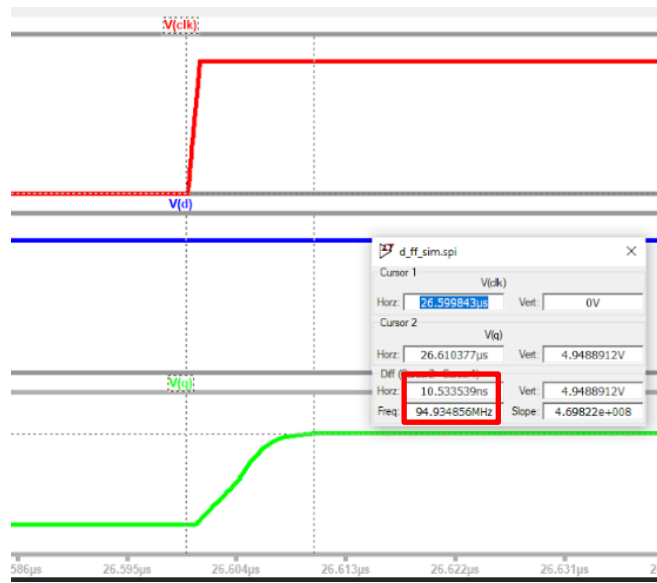
t_{setup} - הזמן לפני הדגימה בין d ל-clk שבו המידע בכניסה צריך להיות מוכן.



איור 51 גרף t_{setup}

ניתן לראות באיור 51 כי ה-d מתקרב ל-clk רואים שהק בצבע ורוד משתנה לפחות בחמישה אחוזים ראשון ולכן הוא יהיה הזמן t_{cu} . $t_{setup} = 50p$

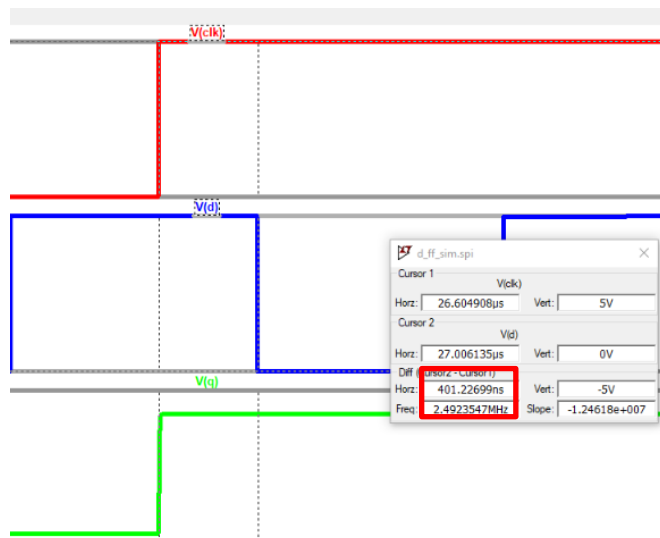
t_{cq} - זמן המעבר ברכיב בין q ל- clk משימי השעון עד לשינוי במוצא.



איור 52 גרף t_{cq}

ניתן לראות באיור 52 כי $t_{cq} = 10.5ns$.

t_{hold} - הזמן לאחר הדגימה בין d ל- clk שבו הכניסה נשארת יציבה.



איור 53 גרף t_{hold}

ניתן לראות באיור 53 כי $t_{hold} = 401ns$.

