



Disciplina: TEC 401 - Circuitos Digitais

Professor:

Aluno(a):

Aluno(a):

Aluno(a):

Turma:

Período: 2019.1

Matricula:

Matricula:

Matricula:

Unidade Lógica e Aritmética

Pré-laboratório (Aula 1)

Síntese FPGA 01: Para visualizar os resultados das operações da ULA será utilizado o circuito representado pelo diagrama da figura 1.

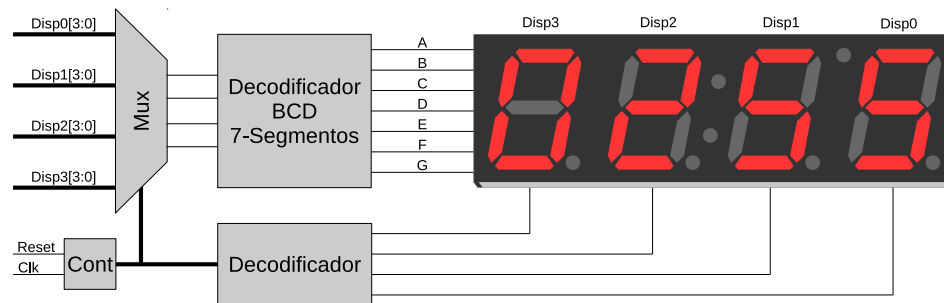


Figura 1: Diagrama do circuito a ser montado.

Observe a figura, projete e desenhe os seguintes circuitos:

a) Escolha um decodificador BCD/7-Segmentos para um display do tipo ânodo comum.

b) Decodificador;

c) Contador síncrono (Cont na figura 1);

d) Multiplexador (Mux na figura 1. Anexe o desenho a este roteiro.);

Atividade 01: Projete um divisor de frequência para fornecer o sinal Clk existente na figura 1. Este divisor tem como entrada o oscilador existente no kit ALTERA P1K100A, e sua saída deve estar sincronizada com a entrada. A frequência de saída deve ser projetada para mostrar os 4 displays simultaneamente.

Quantidade de FF	Frequência de Saída

Laboratório (Aula 1)

Atividade 02: Utilizando o *software* Quartus II, implemente e compile o circuito da figura 2.

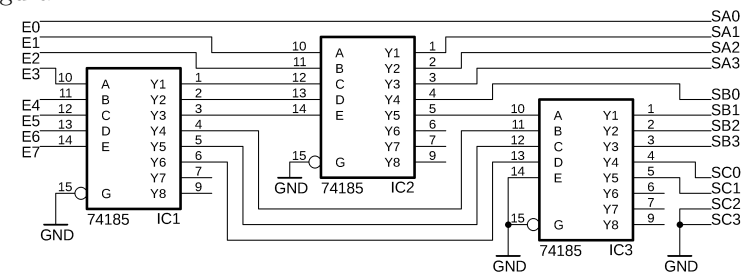
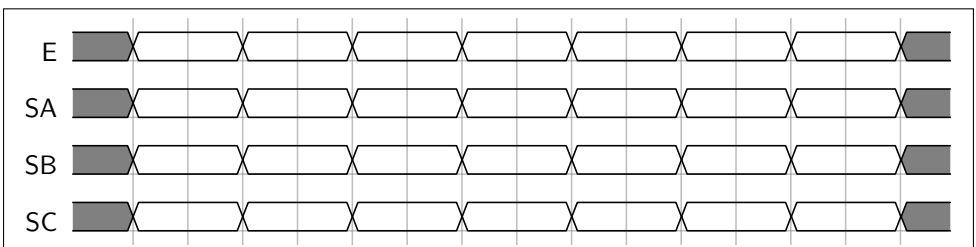


Figura 2: Esquema do circuito a ser montado.

a) Crie um arquivo *waveform* e simule no modo *functional*. Agrupe entradas e saídas para visualizar os valores na forma decimal. Em seguida, complete o desenho com o resultado da simulação.



b) Qual é a função deste circuito?

Experimento 01: Utilize o circuito da figura 2 para testar o circuito de visualização concebido a partir da figura 1. Atenda as restrições seguintes para ligar os circuitos:

- O bit menos significativo da entrada E0 será ligado à chave DIP8;
- O bit menos significativo da saída deverá ser conectado ao SA0;
- O dígito menos significativo será representado pelo Disp0;
- Os 4 bits mais significativos, apresentados pelo Disp3, devem ser ligados a GND.

Enfim, verifique se os displays e o divisor de frequência estão funcionando corretamente.

DIP1	DIP2	DIP3	DIP4	DIP5	DIP6	DIP7	DIP8	Disp3	Disp2	Disp1	Disp0

Observações

- Cuidado com a posição do MSB nas entradas e saídas do circuito. Na chave DIP, o MSB é o DIP8;
- A figura 3 ilustra a placa do display.

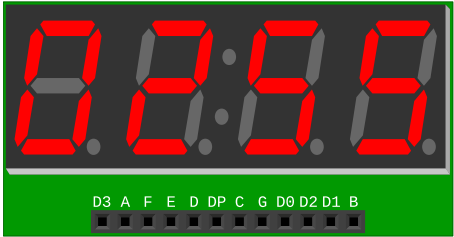


Figura 3: Diagrama do display.

Pré-laboratório (Aula 2)

Atividade 03: Utilizando a bliblioteca de circuitos integrados da família 7400 do *software* Quartus II, escolha uma das Unidades Lógica e Aritmética disponíveis, e implemente uma ULA que opera valores de 8 bits. Desenhe o circuito resultante.

Laboratório (Aula 2)

Síntese FPGA 02: Programe o circuito da ULA (**Atividade 03**) na FPGA disponível no kit LabHard 1K. Para testar a ULA realize os procedimentos abaixo:

- Implemente o circuito da figura 4, desenvolvido no roteiro anterior sobre **Registradores e Contadores**.

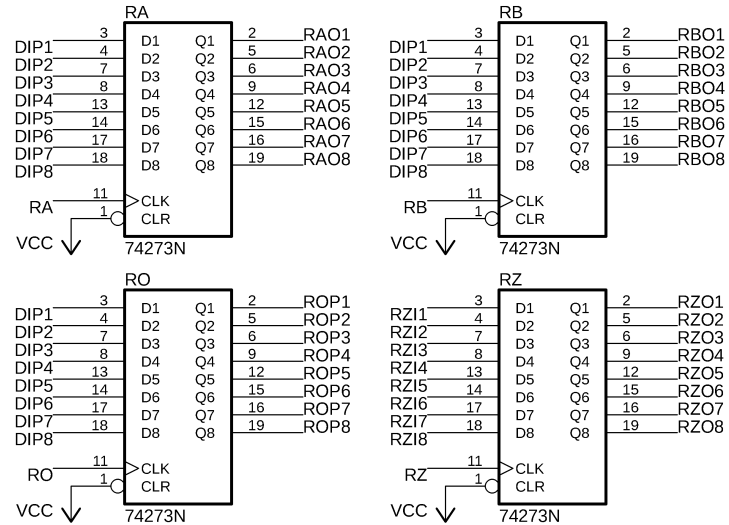


Figura 4: Banco de Registradores.

- Ligue as entradas da ULA aos registradores RA, RB e ROP e a saída a RZ, conforme o diagrama da figura 5;

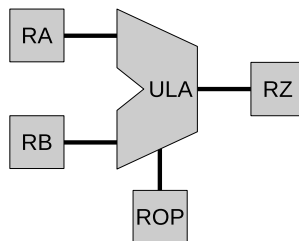


Figura 5: Diagrama da ULA.

- Ligue a saída de RZ ao circuito implementado no **Experimento 01**;
- Utilize os Leds para mostrar o valor armazenado no registrador ROP.

Atividade 06: Para testar a ULA realize os procedimentos abaixo:

- Carregue o valor do primeiro operando no registrador RA. Para isso, coloque o valor nas chaves DIP e pressione o botão PB1;
- Carregue o valor do segundo operando no registrador RB. Para isso, coloque o valor nas chaves DIP e pressione o botão PB2;
- Carregue o valor da operação no registrador ROP. Para isso, coloque o valor nas chaves DIP e pressione o botão PB3;
- Verifique o valor apresentado nos displays. Para isso, coloque o valor nas chaves DIP e pressione o botão PB4.

Teste todas as operações das ULA implementada. Apresente os resultados na tabela a seguir:

RA	RB	Operação	Resultado

- Ligue a saída de RZ ao circuito implementado no **Experimento 01**;
- Utilize os Leds para mostrar o valor armazenado no registrador ROP.