

AOC - Quiz - Revisão P2

Total de pontos 200/400 ?

O e-mail do participante (**daniel.salis@unifesp.br**) foi registrado durante o envio deste formulário.

✓ Quais são as principais memórias internas de um computador? * 10/10

- ☐ a) Memória cache, memória principal, discos magnéticos (HD).
- ☐ b) Memória cache, memória flash (SSD), discos magnéticos (HD).
- ☒ c) Banco de registradores, memória cache e memória principal. ✓
- ☐ d) Banco de registradores, memória interna e discos ópticos (CD/DVD).
- ☐ e) Banco de registradores, memória cache e discos magnéticos (HD).



✗ Como é realizado o acesso associativo das unidades de dados em uma memória? *0/10



- ☐ a) Um específico bloco de unidades de dados é selecionado e, em seguida, é realizada uma busca sequencial para acessar a unidade desejada dentro desse bloco.
- ☒ b) O acesso é realizado em uma sequência linear específica entre as unidades de dados atual e desejada, passando e rejeitando cada unidade intermediária.
- ☐ c) O acesso é realizado de modo que qualquer unidade de dados possa ser selecionada aleatoriamente e acessada diretamente.
- ☐ d) O acesso as unidades de dados é feito com base em seu próprio conteúdo em vez do seu endereço.
- ☐ e) O acesso é realizado através de um mecanismo compartilhado de leitura-escrita.



Resposta correta



- ☒ d) O acesso as unidades de dados é feito com base em seu próprio conteúdo em vez do seu endereço.



✗ O que pode-se afirmar sobre o acesso aleatório das unidades de dados em uma memória? *



- ☒ a) Cada local (unidade de dados) da memória tem seu próprio mecanismo de endereçamento exclusivo e o tempo de acesso não é constante.
- ☐ b) O tempo para acessar uma unidade de dados qualquer é altamente variável.
- ☐ c) O acesso envolve um mecanismo compartilhado de leitura-escrita.
- ☐ d) O tempo para acessar determinado local (unidade de dados) é independente da sequência de acessos anteriores e é constante.
- ☐ e) O tempo para acessar determinado local (unidade de dados) é dependente da sequência de acessos anteriores.

Resposta correta

- ☒ d) O tempo para acessar determinado local (unidade de dados) é independente da sequência de acessos anteriores e é constante.

✗ Quais são os três parâmetros de desempenho de uma memória? *



- ☒ a) Tempo de ciclo de memória, tempo de acesso e latência.
- ☐ b) Taxa de transferência, tamanho da palavra e tempo de ciclo de memória.
- ☐ c) Tempo de ciclo de memória, tempo de acesso, capacidade.
- ☐ d) Tempo de acesso, latência, taxa de transferência.
- ☐ e) Tempo de acesso, tempo de ciclo de memória, taxa de transferência.

Resposta correta

- ☒ e) Tempo de acesso, tempo de ciclo de memória, taxa de transferência.



✗ Quais são os métodos de acesso que podem ser empregados em uma memória cache?



- ☐ a) Acesso direto e acesso sequencial.
- ☐ b) Acesso aleatório e acesso associativo.
- ☐ c) Acesso aleatório e Acesso direto.
- ☒ d) Acesso associativo e acesso sequencial.
- ☐ e) Acesso aleatório e acesso sequencial.



Resposta correta



- ☒ b) Acesso aleatório e acesso associativo.



✓ Como pode ser caracterizada uma memória volátil? *



- ☒ a) A informação se deteriora naturalmente ou se perde quando a energia elétrica é desligada.
- ☐ b) A informação uma vez gravada permanece sem deterioração até que seja alterado.
- ☐ c) A informação não é perdida quando a energia elétrica é desligada.
- ☐ d) A informação não pode ser alterada, exceto destruindo-se a unidade de armazenamento.
- ☐ e) A informação é gravada em uma memória ROM não apagáveis.



✓ Qual é o efeito causado quando se desce na pirâmide da hierarquia de memória? *10/10

- ☐ a) A diminuição do custo por bit, a diminuição da capacidade, o aumento do tempo de acesso, e a diminuição na frequência de acesso à memória.
- ☐ b) O aumento do custo por bit, a diminuição da capacidade, a diminuição do tempo de acesso, e o aumento da frequência de acesso à memória.
- ☐ c) A diminuição do custo por bit, a diminuição da capacidade, a diminuição do tempo de acesso, e a diminuição da frequência de acesso à memória.
- ☐ d) O aumento do custo por bit, o aumento da capacidade, a diminuição do tempo de acesso, e o aumento da frequência de acesso à memória.
- ☒ e) A diminuição do custo por bit, o aumento da capacidade, o aumento do tempo de acesso, e a diminuição da frequência de acesso à memória. ✓

✓ Quais são as relações que existem entre as três principais características da memória em uma hierarquia de memória ? *10/10

- ☐ a) Tempo de acesso mais lento, maior custo por bit; Menor capacidade, menor custo de bit; Menor capacidade, tempo de acesso mais lento
- ☐ b) Tempo de acesso mais rápido, menor custo por bit; Maior capacidade, maior custo de bit; Maior capacidade, tempo de acesso mais rápido.
- ☐ c) Tempo de acesso mais rápido, maior custo por bit; Menor capacidade, maior custo de bit; Menor capacidade, tempo de acesso mais lento.
- ☒ d) Tempo de acesso mais rápido, maior custo por bit; Maior capacidade, menor custo de bit; Maior capacidade, tempo de acesso mais lento. ✓
- ☐ e) Tempo de acesso mais lento, maior custo por bit; Maior capacidade, menor custo de bit; Maior capacidade, tempo de acesso mais rápido.



✓ O que acontece quando o processador tenta ler uma palavra, porém a mesma não se encontra na memória cache? *10/10

- ☐ a) Um bloco de palavras deve ser lido diretamente de uma memória externa, e depois fornecido ao processador.
- ☐ b) Um bloco de uma memória externa, consistindo em algum número fixo de palavras, é enviado para a cache e depois a palavra é fornecida ao processador.
- ☐ c) Um bloco de palavras deve ser lido diretamente da memória principal e fornecido ao processador.
- ☒ d) Um bloco da memória principal, consistindo em algum número fixo de palavras, é enviado para a cache e depois a palavra é fornecida ao processador. ✓
- ☐ e) Nada deve acontecer, pois as palavras já estarão no banco de registradores.

✓ O que pode-se afirmar sobre um memória cache de múltiplos níveis? * 10/10

- ☒ a) A cache L2 é mais lenta e normalmente maior que a cache L1, e a cache L3 é mais lenta e normalmente maior que a cache L2. ✓
- ☐ b) A cache L2 é mais rápida e normalmente menor que a cache L1, e a cache L3 é mais lenta e normalmente maior que a cache L2.
- ☐ c) A cache L2 é mais rápida e normalmente maior que a cache L1, e a cache L3 é mais rápida e normalmente maior que a cache L2.
- ☐ d) A cache L2 é mais lenta e normalmente menor que a cache L1, e a cache L3 é mais lenta e normalmente menor que a cache L2.
- ☐ e) A cache L2 é mais rápida e normalmente maior que a cache L1, e a cache L3 é mais lenta e normalmente menor que a cache L2.



✓ Para fins de mapeamento de memória como é formada uma cache ? *

10/10

- ☐ a) Por vários blocos de tamanho fixo com k palavras cada.
- ☐ b) Por apenas um bloco de tamanho variável com k+n palavras.
- ☒ c) Por linhas contendo K palavras, incluindo um tag com vários bits e um alguns bits de controle onde um bit é usado para indicar se a linha foi modificada desde que foi carregada na cache.
- ☐ d) Por linhas contendo um tamanho variável de palavras e por um conjunto de bits usados para indicar o tag e o controle.
- ☐ e) Por blocos de tamanho variável de palavras, incluindo um conjunto de bits para tag e o controle.

✗ O que ocorre quando um acerto na cache (cache hit) é constatado? *

0/10

- ☒ a) Os buffers de dados e de endereço ficam ativados para receber novos blocos de dados da memória.
- ☐ b) Os buffers de dados e de endereço são desativados e a comunicação é realizada apenas entre o processador e a memória cache.
- ☐ c) O endereço desejado é carregado no barramento do sistema e os dados são transferidos através do buffer de dados para a cache e para o processador.
- ☐ d) O endereço desejado é enviado diretamente para memória principal, e o bloco de palavras é transferidos para o processador sem passar pela memória cache.
- ☐ e) Nada ocorre pois os dados já estão presentes no banco de registradores.

Resposta correta

- ☒ b) Os buffers de dados e de endereço são desativados e a comunicação é realizada apenas entre o processador e a memória cache.

✗ O que é uma unidade de gerenciamento de memória (Memory Management Unit - MMU)?

* 0/10

- ☒ a) É uma unidade física usada para traduzir os dados virtuais para dados físicos da memória principal.
- ☐ b) É uma unidade usada para acessar a memória cache lógica.
- ☐ c) É uma unidade física usada para transferir as linhas de dados da cache para o processador.
- ☐ d) É uma unidade física usada para traduzir endereços virtuais para endereços físicos da memória principal.
- ☐ e) É uma unidade usada para buscar um bloco de dados na memória principal.

Resposta correta

- ☒ d) É uma unidade física usada para traduzir endereços virtuais para endereços físicos da memória principal.

✓ Qual é a vantagem de usar uma memória cache lógica? *

10/10

- ☐ a) A maioria dos sistemas de memória virtual fornece, a cada aplicação, o mesmo espaço de endereço de memória virtual.
- ☒ b) A velocidade de acesso a cache lógica é maior do que para a cache física, pois a cache lógica pode responder antes que a MMU realize a tradução de endereço.
- ☐ c) O mesmo endereço virtual em duas aplicações diferentes refere-se a dois endereços físicos diferentes.
- ☐ d) A velocidade de acesso a cache lógica é menor do que para a cache física, pois a cache lógica não pode responder antes que a MMU realize a tradução de endereço.
- ☐ e) O processador consegue acessar diretamente as linhas de dados da memória cache.

✗ Qual é a motivação para minimizar o tamanho da memória cache? *

0/10

- ☒ a) As caches grandes tendem a ser ligeiramente mais lentas que as pequenas.
- ☐ b) As caches precisam ter capacidade igual ao da memória principal.
- ☐ c) A área disponível do chip limita o tamanho da cache.
- ☐ d) As alternativas (a) e (c) estão corretas.
- ☐ e) As alternativas (a) e (b) estão corretas.

Resposta correta

- ☒ d) As alternativas (a) e (c) estão corretas.



✓ Quais são as técnicas usadas para implementar a função de mapeamento que dita como a cache é organizada?

*10/10

- ☒ a) Direta, associativa e associativa em conjunto.
- ☐ b) Indireta, associativa e associativa em conjunto.
- ☐ c) Sequencial, direta, aleatória, associativa.
- ☐ d) Direta, aleatória, associativa em conjunto.
- ☐ e) Sequencial, direta, associativa.



✓ 17) Qual é a finalidade dos s-r bits mais significativo de uma tag no mapeamento direto? *10

- ☐ a) Identificar uma palavra ou um byte dentro de um bloco da memória principal.
- ☐ b) Especificar um dos vários blocos da memória principal.
- ☒ c) Definir uma marcação para os dados de um bloco armazenado na sua respectiva linha, a fim de distingui-los de outros blocos que podem ser alocados nessa linha.
- ☐ d) Definir o tamanho da memória cache.
- ☐ e) Estabelecer uma marcação para os blocos armazenados na memória principal a fim de distingui-los de outros blocos.

✗ O que pode-se afirmar sobre o mapeamento associativo? *

- ☐ a) Cada local endereçável na memória tem um mecanismo de endereçamento exclusivo fisicamente interligados.
- ☐ b) Se um programa referenciar palavras repetidamente de dois blocos diferentes então os blocos serão continuamente trocados na cache.
- ☒ c) Esse mapeamento compensa a desvantagem do mapeamento direto, permitindo que cada linha de memória principal seja carregado em qualquer linha da cache.
- ☐ d) Sua principal desvantagem é que existe um local da cache fixo para cada bloco.
- ☐ e) Esse mapeamento compensa a desvantagem do mapeamento direto, permitindo que cada bloco de memória principal seja carregado em qualquer linha da cache.

Resposta correta

- ☒ e) Esse mapeamento compensa a desvantagem do mapeamento direto, permitindo que cada bloco de memória principal seja carregado em qualquer linha da cache.

✓ Qual é a principal desvantagem do mapeamento associativo? *



- ☐ a) Existir apenas local um fixo da cache para cada bloco lido da memória principal.
- ☒ b) A complexidade do circuito necessário para comparar as tags de todas as linhas da cache em paralelo.
- ☐ c) O uso de uma parte do endereço com o número da linha para oferecer um mapeamento exclusivo de cada bloco da memória principal à cache.
- ☐ d) A necessidade de definir um meio para determinar qual bloco da memória principal atualmente ocupa a cache.
- ☐ e) A função de mapeamento deve ser implementada por meio do endereço da memória principal.



✗ Como são comparadas as tags no mapeamento associativo em conjunto com k linhas?

* 10

- ☒ a) A tag em um endereço de memória é muito grande e precisa ser comparada somente com a tag de cada linha na cache.
- ☐ b) A tag em um endereço de memória é muito grande e precisa ser comparada somente com as k+1 tags dentro de um único conjunto.
- ☐ c) A tag em um endereço de memória é pequeno e precisa ser comparada usando os campos de conjunto e palavras do endereço da memória.
- ☐ d) A tag em um endereço de memória é pequeno e precisa ser comparada somente com as k tags dentro de um único conjunto.
- ☐ e) A tag em um endereço de memória é muito pequeno e precisa ser comparada somente com a tag de cada linha na cache.



Resposta correta

- ☒ d) A tag em um endereço de memória é pequeno e precisa ser comparada somente com as k tags dentro de um único conjunto.



✗ O que podemos afirmar a respeito de uma memória RAM estática? *



- ☐ a) Uma célula contém um transistor que atua como uma chave que é fechada se uma tensão for aplicada à linha de endereço.
- ☐ b) Um amplificador compara a tensão do capacitor com um valor de referência e determina se a célula contém nível lógico 1 ou 0.
- ☐ c) Uma célula de memória contém seis transistores sendo que dois deles são controlados através da linha de endereço.
- ☐ d) A memória RAM é feita com células que armazenam dados como carga em capacitores.
- ☒ e) Uma célula de memória contém seis transistores conectados em uma configuração de circuito cruzado que produz um estado estável.

Resposta correta

- ☒ c) Uma célula de memória contém seis transistores sendo que dois deles são controlados através da linha de endereço.

✗ Sobre a memória RAM dinâmica não é correto afirmar: *



- ☐ a) A memória DRAM requer o suporte de um circuito refresh.
- ☐ b) A memória DRAM possuem célula menores e é mais densa.
- ☐ c) O custo fixo do circuito de refresh é compensado pelo menor custo das células da memória DRAM.
- ☐ d) A memória DRAM é mais barata que a memória SRAM correspondente.
- ☒ e) A memória DRAM é um pouco mais rápida do que a SRAM e é usada como memória cache.

Nenhuma resposta correta

✓ Qual é o tipo de memória ROM que utiliza radiação ultravioleta para apagar as células e retornar ao mesmo estado inicial?

*10/10

- ☐ a) Memória Flash.
- ☒ b) Memória EPROM.
- ☐ c) Memória PROM.
- ☐ d) Memória EEPROM.
- ☐ e) Memória DDR-SDRAM.



✓ Como são categorizados os erros em um sistema de memória semicondutora?

*10/10

- ☐ a) Falha de barramento e falha de leitura de dados.
- ☐ b) Falha permanente e falha de armazenagem de dados.
- ☐ c) Erro de escrita de dados e falha de barramento.
- ☒ d) Erro não permanente e falha permanente.
- ☐ e) Falha de leitura de dados e erro não permanente.



✗ Como pode ser definido um erro não permanente em uma memória semicondutora?

*0/10



- ☐ a) Por um evento não destrutivo que altera o conteúdo de uma ou mais células de memória sem danificar a mesma.
- ☐ b) Por um evento destrutivo que altera o conteúdo de várias células.
- ☐ c) Por um defeito físico permanente que inviabiliza o armazenamento de dados nas células afetadas.
- ☐ d) Por um defeito físico permanente no qual as células de memória afetadas podem armazenar dados mas não de forma confiável.
- ☒ e) Por um evento não destrutivo que não altera o conteúdo de uma ou mais células de memória.

Resposta correta



- ☒ a) Por um evento não destrutivo que altera o conteúdo de uma ou mais células de memória sem danificar a mesma.



✓ Como podem ser causados os erros permanentes em uma memória semicondutora?

*10/10



- ☐ a) Podem ser causados por problemas no barramento de endereçamento.
- ☒ b) Podem ser causados por uso intenso em ambientes severos, defeitos de fabricação ou desgaste.
- ☐ c) Podem ser causados por problemas de fonte de alimentação ou partículas alfa.
- ☐ d) Podem ser causados por erros de projeto.
- ☐ e) Podem ser causados pela montagem indevida no sistema computacional.



✓ Quais são os principais elementos do processo de correção de erro de dados? * 10

- ☐ a) Memória, unidade de controle, buffer de dados e comparador.
- ☒ b) Comparador, memória, corretor, e função f.
- ☐ c) Memória, comparador, corretor, e buffer de dados.
- ☐ d) Corretor, função f, corretor, e unidade de controle.
- ☐ e) Corretor, função f, memória e buffer de dados.

✗ Para que é usada a função f no processo de correção de erro? * 10

- ☐ a) Para calcular o código de K bits de um palavra de M bits apenas quando a mesma for armazenada na memória.
- ☐ b) Para calcular o código Gray correspondente a palavra que será armazenada ou lida da memória.
- ☐ c) Para calcular o código BCD correspondente a palavra armazenada na memória.
- ☒ d) Para calcular o código de K bits da palavra de M bits apenas quando a mesma for lida da memória.
- ☐ e) Para calcular o código de K bits a partir de uma palavra de M bits quando a mesma for escrita ou lida da memória.

Resposta correta

- ☒ e) Para calcular o código de K bits a partir de uma palavra de M bits quando a mesma for escrita ou lida da memória.

✓ Em um processo de correção de erro, considere que uma palavra de M bits de dados armazenada na memória gerou um código de K bits de tamanho. Qual é o tamanho real da palavra armazenada na memória? *10

- ☒ a) $M+K$ bits
- ☐ b) M bits
- ☐ c) K bits
- ☐ d) $M-K$ bits
- ☐ e) $M+K+1$ bits

✗ Como um possível erro na palavra de M bits de dado armazenada na memória pode ser detectado durante o procedimento de leitura? *6,10

- ☒ a) Através da comparação entre apenas os códigos de K bits gerados a partir das palavras armazenadas na memória.
- ☐ b) Através da comparação de todas as palavras de M bits de dados.
- ☐ c) Através da comparação entre a palavra de K bits armazenada na memória e o conjunto de $K+1$ bits de código anterior gerado a partir dos M bits lidos.
- ☐ d) Através da comparação entre a palavra de K bits armazenada na memória e o novo conjunto de K bits de código gerado a partir dos M bits lidos.
- ☐ e) Através da comparação entre todas as palavras de K bits armazenadas na memória e o novo conjunto de K bits de código gerado a partir dos $M+1$ bits lidos.

Resposta correta

- ☒ d) Através da comparação entre a palavra de K bits armazenada na memória e o novo conjunto de K bits de código gerado a partir dos M bits lidos.

✗ O que ocorre quando um erro na palavra armazenada na memória é detectado sendo que esse erro pode ser corrigido?

* 0/10



- ☐ a) Apenas a condição verificada é relatada.
- ☐ b) Os bits de dados armazenados são enviados para a memória cache.
- ☐ c) Os bits de dados mais os bits de correção de erro são usados em um corretor, que produz um conjunto correto de M bits a serem enviados para a cache.
- ☐ d) Somente os bits de correção de erro são usados em um corretor, que produz um conjunto correto de M bits a serem enviados para a cache.
- ☒ e) Apenas os bits de dados são usados em um corretor, que produz um conjunto correto de M bits a serem enviados para a cache.



Resposta correta



- ☒ c) Os bits de dados mais os bits de correção de erro são usados em um corretor, que produz um conjunto correto de M bits a serem enviados para a cache.



✓ Como são caracterizados os códigos de correção de erro de dados? *

10/10



- ☐ a) Pelo número de bytes que podem ser corrigidos.
- ☐ b) Pelo número de erros de bytes em uma palavra
- ☐ c) Pelo número de bits do código gerado pela função f.
- ☐ d) Pelo número de M+K bits de uma palavra.
- ☒ e) Pelo número de erros de bit em uma palavra que ele pode detectar e corrigir.



✗ Como pode ser identificado o erro em um bit do dado através do código de correção de erro de Hamming?

- ☐ a) Através da quantidade de bits do dado armazenado na memória.
- ☐ b) Através da verificação dos bits de paridade gerados antes do armazenamento e depois da leitura da memória.
- ☐ c) Através do uso do bit de paridade impar.
- ☒ d) Através da verificação dos bits do dado armazenado e lido da memória.
- ☐ e) De modo diferente ao mencionado nas outras alternativas.

Resposta correta

- ☒ b) Através da verificação dos bits de paridade gerados antes do armazenamento e depois da leitura da memória.

✗ Como um único erro no dado pode ser corrigido a partir do código de Hamming?

- ☐ a) Alterando-se apenas o bit incorreto do dado.
- ☐ b) Gerando-se novos bits de paridade.
- ☐ c) Modificando-se todos os bits de dados.
- ☐ d) Alterando-se dois bits de paridade.
- ☒ e) Alterando-se os bits incorretos de dados e apenas um bit de paridade.

Resposta correta

- ☒ a) Alterando-se apenas o bit incorreto do dado.



✗ Como é realizada a comparação entre dois valores de K bits gerados pelo código de Hamming? E como é chamado o resultado dessa comparação?



*0/10



- ☐ a) A comparação é realizada byte a byte através de uma operação AND entre dois valores de K bytes de entrada e o resultado é chamado de byte de erro.
- ☐ b) A comparação é realizada byte a byte através de uma operação XOR entre dois valores de K bytes de entrada e o resultado é chamado de palavra síndrome.
- ☐ c) A comparação é realizada bit a bit através de uma operação XNOR entre dois valores de K bits de entrada e o resultado é chamado de bit de síndrome.
- ☒ d) A comparação é realizada bit a bit através de uma operação OR entre dois valores de K bits de entrada e o resultado é chamado de bit de erro.
- ☐ e) A comparação é realizada bit a bit através de uma operação XOR entre dois valores de K bits de entrada e o resultado é chamado de palavra síndrome.



Resposta correta

- ☒ e) A comparação é realizada bit a bit através de uma operação XOR entre dois valores de K bits de entrada e o resultado é chamado de palavra síndrome.



✗ O que pode ser afirmado sobre o código de correção de único erro (SEC) com detecção de duplo erro (SEC-DED) de Hamming? 0/10

- ☐ a) Para uma palavra de 8 bits de dados deve ser usado 4 bits de verificação.
- ☐ b) Para uma palavra de 16 bits de dados deve ser usado 6 bits de verificação.
- ☐ c) Para uma palavra de 32 bits de dados deve ser usado 6 bits de verificação.
- ☒ d) Para uma palavra de 64 bits de dados deve ser usado 7 bits de verificação.
- ☐ e) Para uma palavra de 256 bits de dados deve ser usado 9 bits de verificação.

Resposta correta

- ☒ b) Para uma palavra de 16 bits de dados deve ser usado 6 bits de verificação.

✓ Para que é usado o bit adicional presente no código de correção de único erro (SEC) com detecção de duplo erro (SEC-DED) de Hamming?

- ☐ a) O bit extra é usado para aumentar a complexidade da memória ao custo da diminuição da confiabilidade.
- ☐ b) O bit de paridade extra é usado para detectar o erro na palavra se houver apenas um erro.
- ☐ c) O bit adicional é usado para detectar o erro e indicar que esse erro está na posição de bit 6.
- ☒ d) O bit de paridade extra é usado para detectar o erro na palavra se houver dois erros.
- ☐ e) Nenhuma das outras alternativa está correta.

✓ Sobre a memória síncrona é correto afirmar: *

10/10

- ☒ a) A SDRAM troca dados com o processador sincronizado com um sinal de clock externo e na velocidade plena do barramento do processador/memória.
- ☐ b) A SDRAM tradicional é assíncrona e durante a troca de dados o processador deve esperar até que tais dados estejam prontos.
- ☐ c) A SDRAM troca dados com o processador sincronizado com um sinal de clock externo e usando a metade da velocidade do barramento do processador/memória.
- ☐ d) A SDRAM troca dados com o processador a uma velocidade alta porém com imposição de estado de espera.
- ☐ e) A SDRAM troca dados com o processador de forma assíncrona usando um sinal de clock externo.

✗ O que pode ser dito sobre a memória SDRAM? *

0/10

- ☐ a) A SDRAM é assíncrona e isso afeta o desempenho do sistema
- ☐ b) A SDRAM é muito lenta em relação a DRAM tradicional
- ☐ c) A SDRAM pode receber ou enviar dados ao processador uma vez por ciclo de clock do barramento.
- ☒ d) A SDRAM move apenas dados para fora da memória sob o controle do clock do sistema.
- ☐ e) A SDRAM é limitada pelo fato de ter um tempo de acesso muito longo para escrever e ler os dados.

Resposta correta

- ☒ c) A SDRAM pode receber ou enviar dados ao processador uma vez por ciclo de clock do barramento.

✓ O que pode ser afirmado sobre a memória DDR-SDRAM? *

10/10

- ☐ a) A memória DDR-SDRAM pode enviar dados apenas uma vez por ciclo de clock.
- ☐ b) A memória DDR-SDRAM pode enviar dados apenas durante a transição de subida do ciclo de clock.
- ☐ c) A memória DDR-SDRAM pode enviar dados apenas durante a transição de descida do ciclo de clock.
- ☐ d) Nenhuma das outras alternativas é verdadeira.
- ☒ e) A memória DDR-SDRAM pode enviar dados duas vezes por ciclo de clock, uma vez na transição de subida do pulso e uma vez na transição de descida. ✓

Este formulário foi criado em Universidade Federal de Sao Paulo.

Google Formulários





