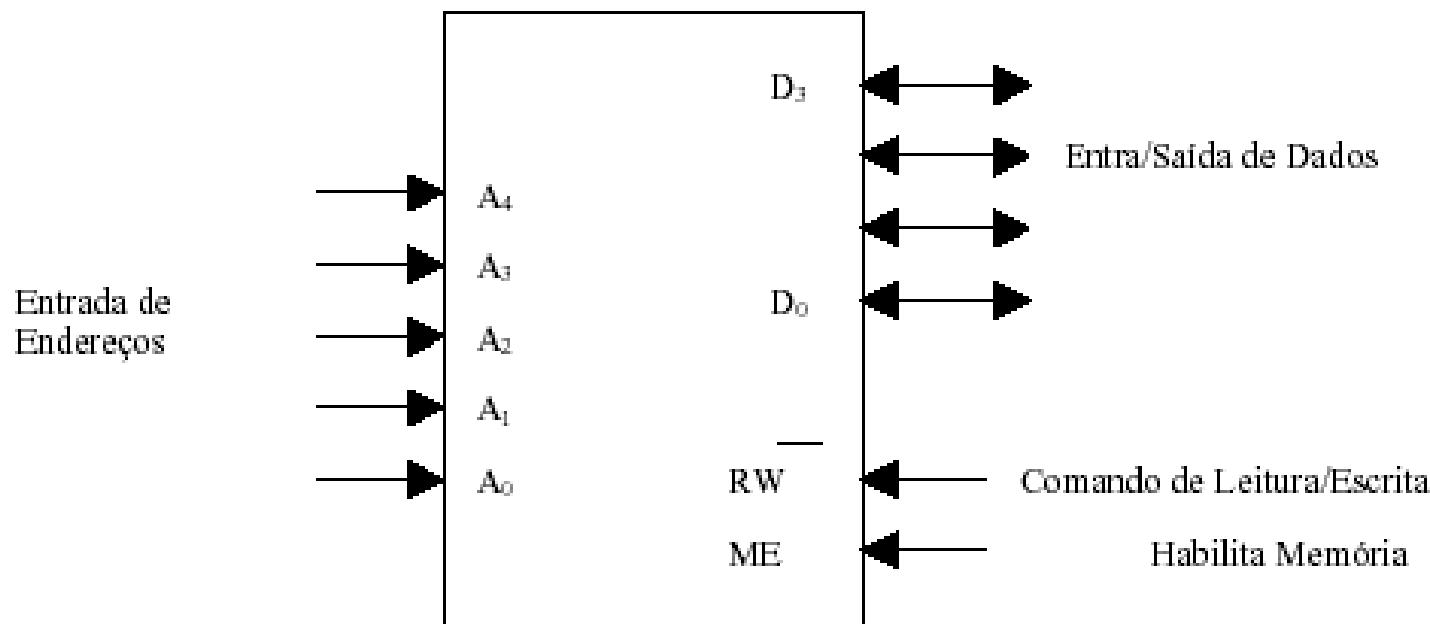


Círcuito típico de memória principal (RAM)



Operações de memória

- Selecionar um endereço
- Selecionar a operação (escrita/leitura)
- Habilitar a memória para responder

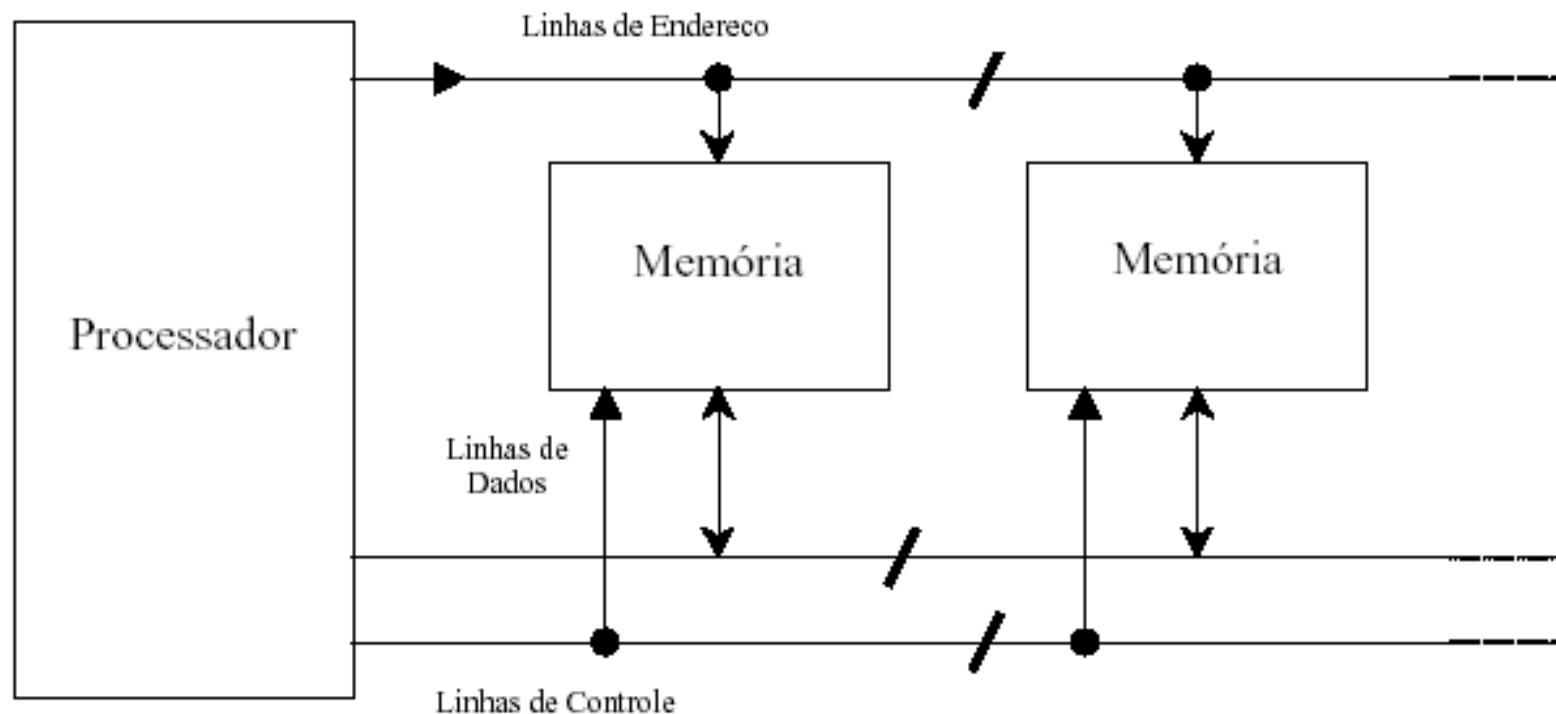
Mais nomenclatura

- Memória volátil
- **Memória de Acesso Randômico (RAM)**
- **Memória de Acesso Sequencial (SAM)**
- **Memória de Leitura (ROM)**
- **Memória Estática e Dinâmica**

Barrantos

- Endereço
- Dado
- Controle
 - sinal R/W
 - Sinal de habilitação (CS)

Memórias e barramentos



Tipos de Ram

- Estática (SRAM)
- Dinâmica (DRAM) - necessita ser lida constantemente: refresh
 - só um uma linha dela
 - uso de controladores de DRAM

Memória RAM estática, desenho a nível de microeletrônica: área maior que a memória dinâmica, com seis transistores.

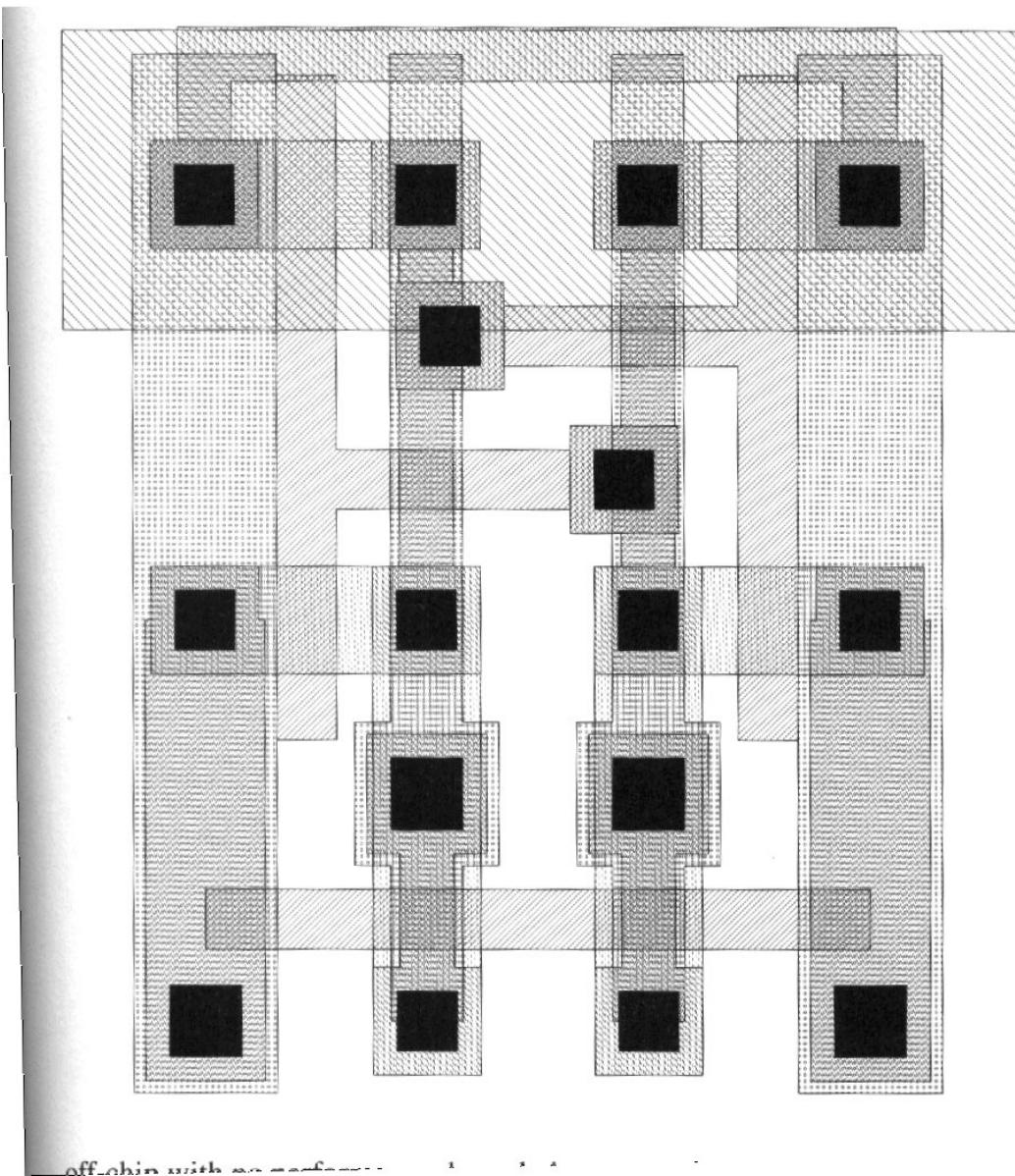


FIGURE 8.51 Mask layout
for 6-transistor static RAM

Memória RAM estática, desenho a nível de microeletrônica: área maior que a memória dinâmica, inicialmente com 6 transistores. (continuação)

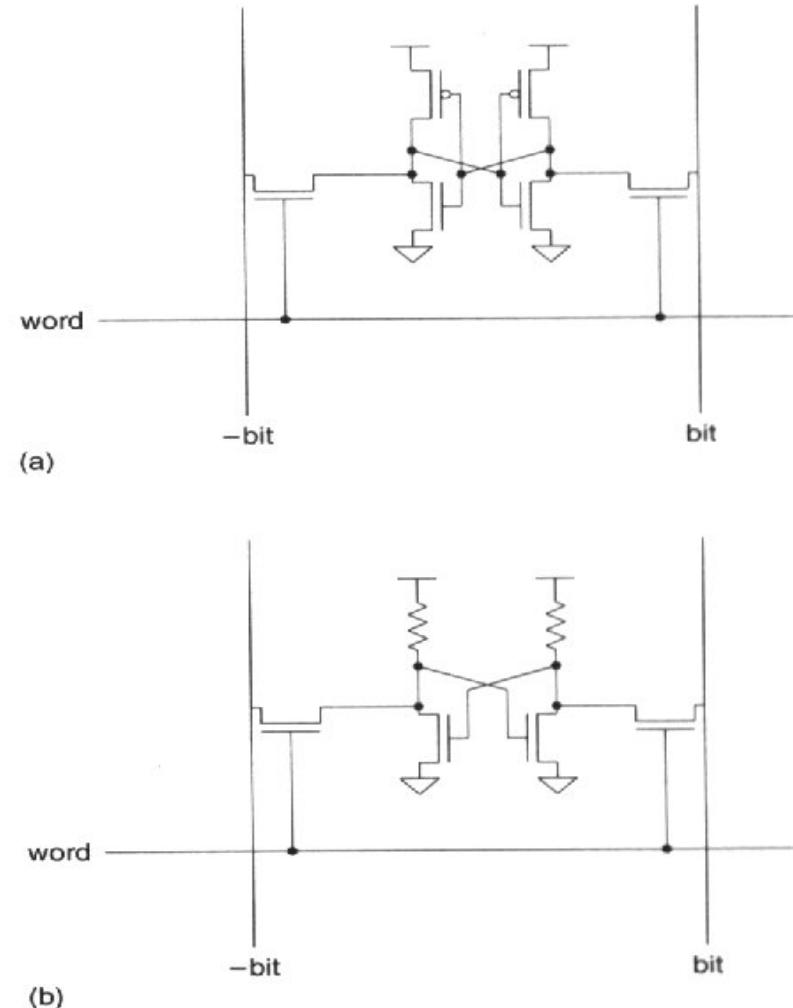


Figure 8.50 Static RAM cell circuits

Evolução da Memória RAM dinâmica, desenho a nível de microeletrônica: área menor que a memória estática, com apenas 1 transistor e 1 capacitor.

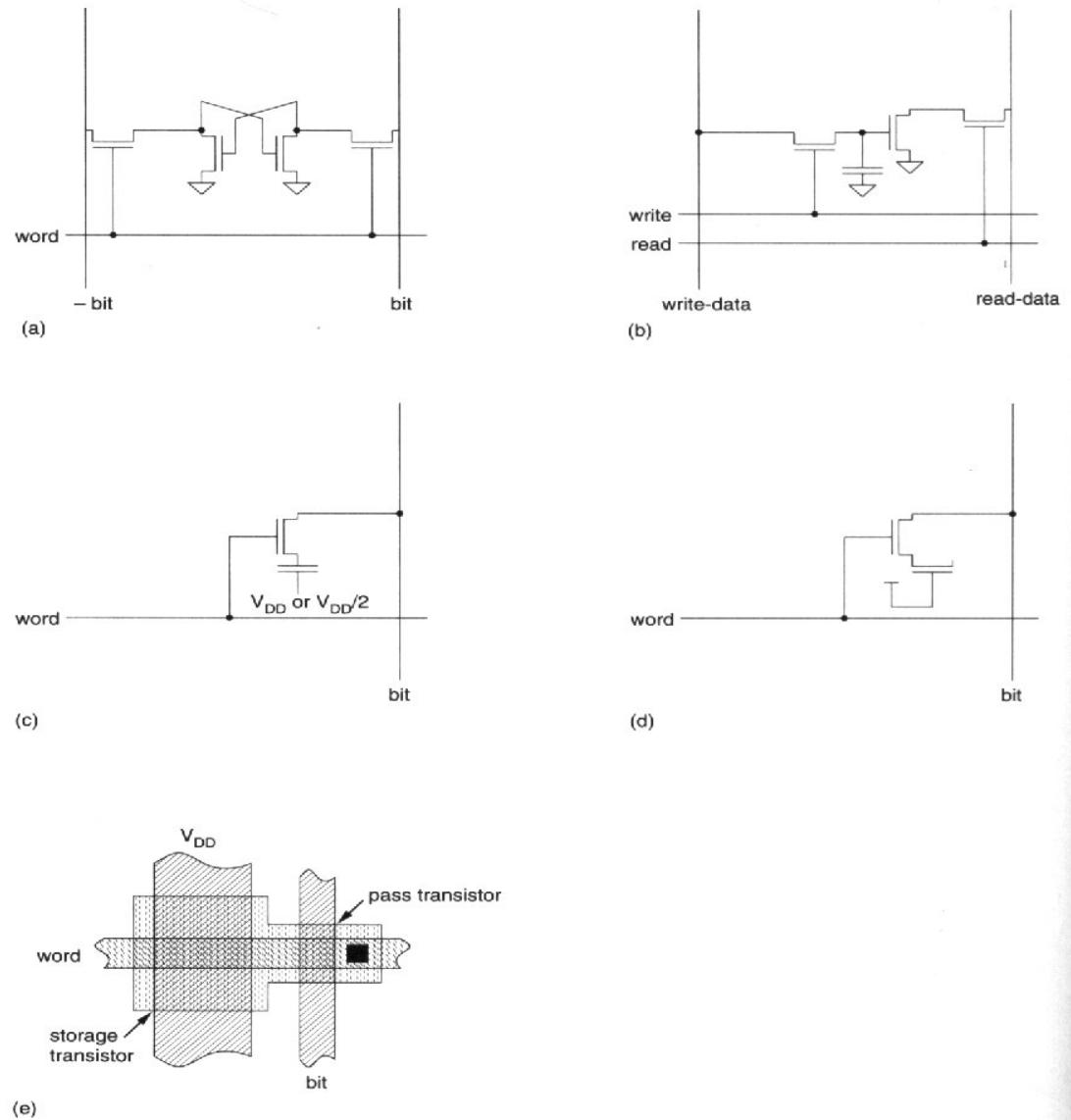
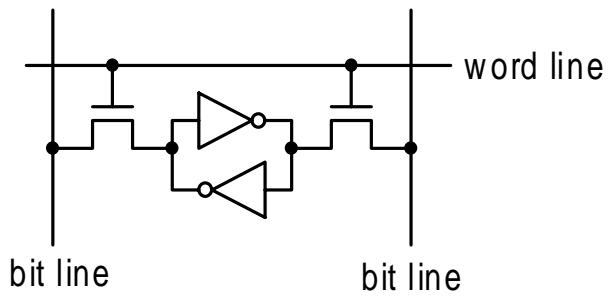


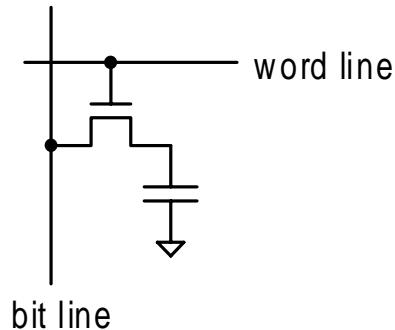
Figure 8.52 Dynamic RAM circuits: (a) 4-transistor; (b) 3 transistor; (c) 1 transistor with capacitor; (d) 1 transistor with transistor capacitor; (e) representative layout for (d)

Volatile Memory Comparison

- SRAM Cell

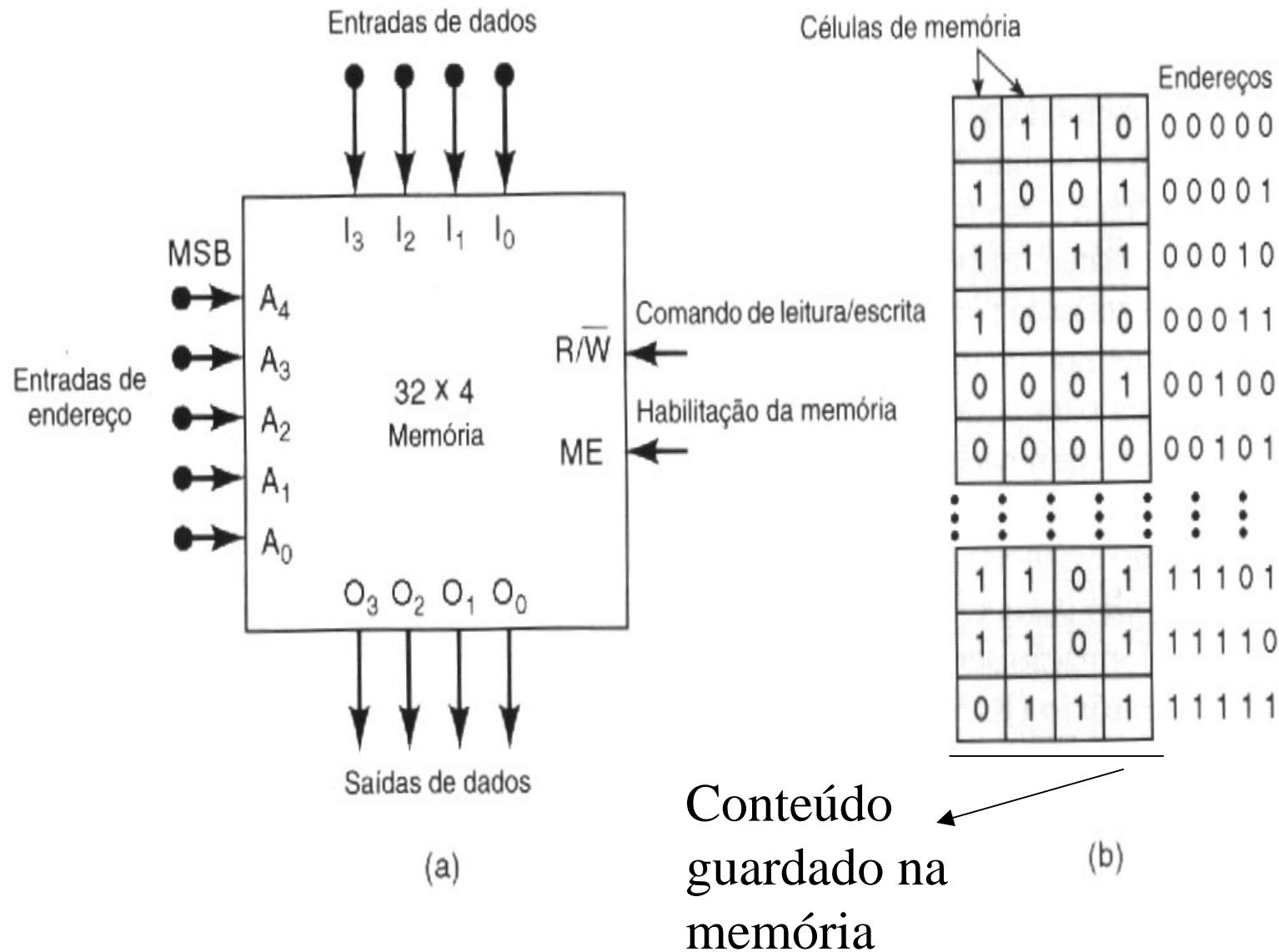


- DRAM Cell



- Larger cell \Rightarrow lower density, higher cost/bit
- No refresh required
- Simple read \Rightarrow faster access
- Standard IC process \Rightarrow natural for integration with logic
- Smaller cell \Rightarrow higher density, lower cost/bit
- Needs periodic refresh, and refresh after read
- Complex read \Rightarrow longer access time
- Special IC process \Rightarrow difficult to integrate with logic circuits

Modelo genérico de memória RAM, com entrada e saída de dados por pinos diferentes. E sinais de escrita/leitura: $R/W = 0$ (escrita) e $R/W = 1$ (leitura).



Operação de Leitura

- **1.** O processador gera o endereço da posição de memória onde o dado deve ser retirado.
- **2.** O processador envia os sinais de controle apropriados à operação de leitura.
- **3.** A memória decodifica o endereço.
- **4.** A memória coloca no barramento de dados, o dado armazenado na posição especificada, sendo então transferido para o processador.

Operação de Escrita

- **1.** O processador gera o endereço e coloca no barramento de endereço
- **2.** O processador coloca no barramento de dados, o dado a ser armazenado.
- **3.** O processador envia os sinais de controle para a operação de escrita.
- **4.** A memória decodifica o endereço para determinar qual a posição selecionada.
- **5.** O dado no barramento de dados é transferido para a posição de memória selecionada

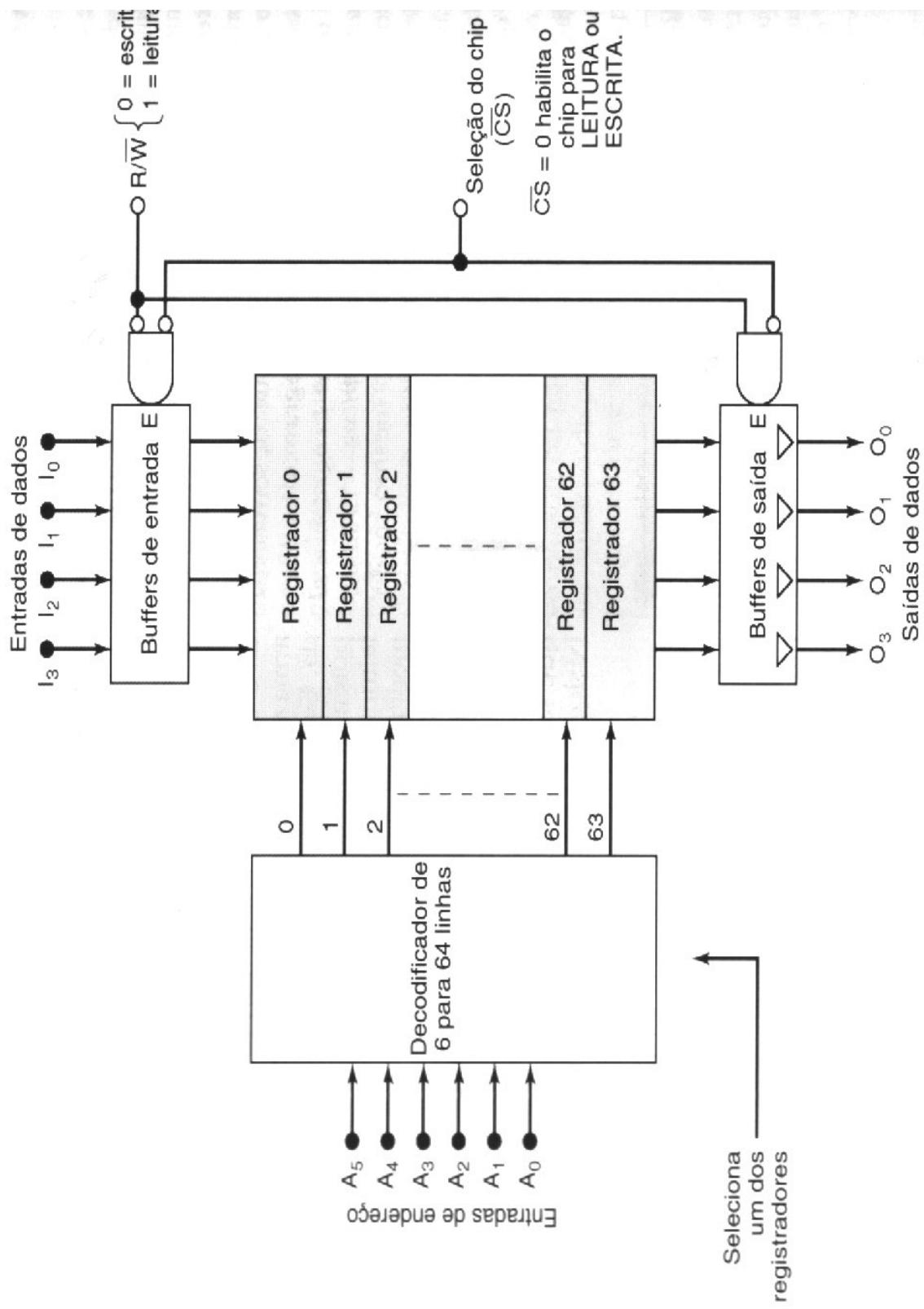
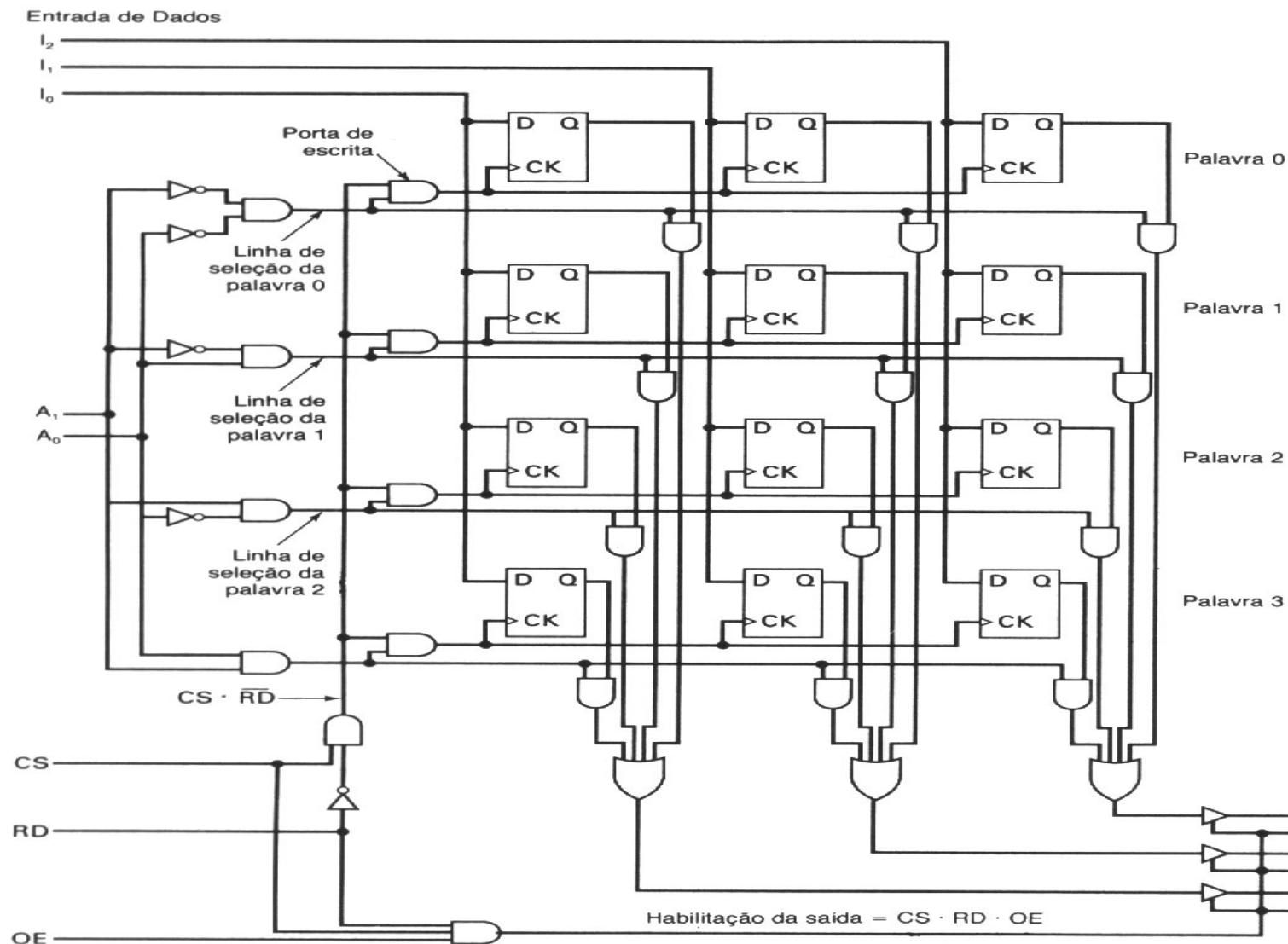
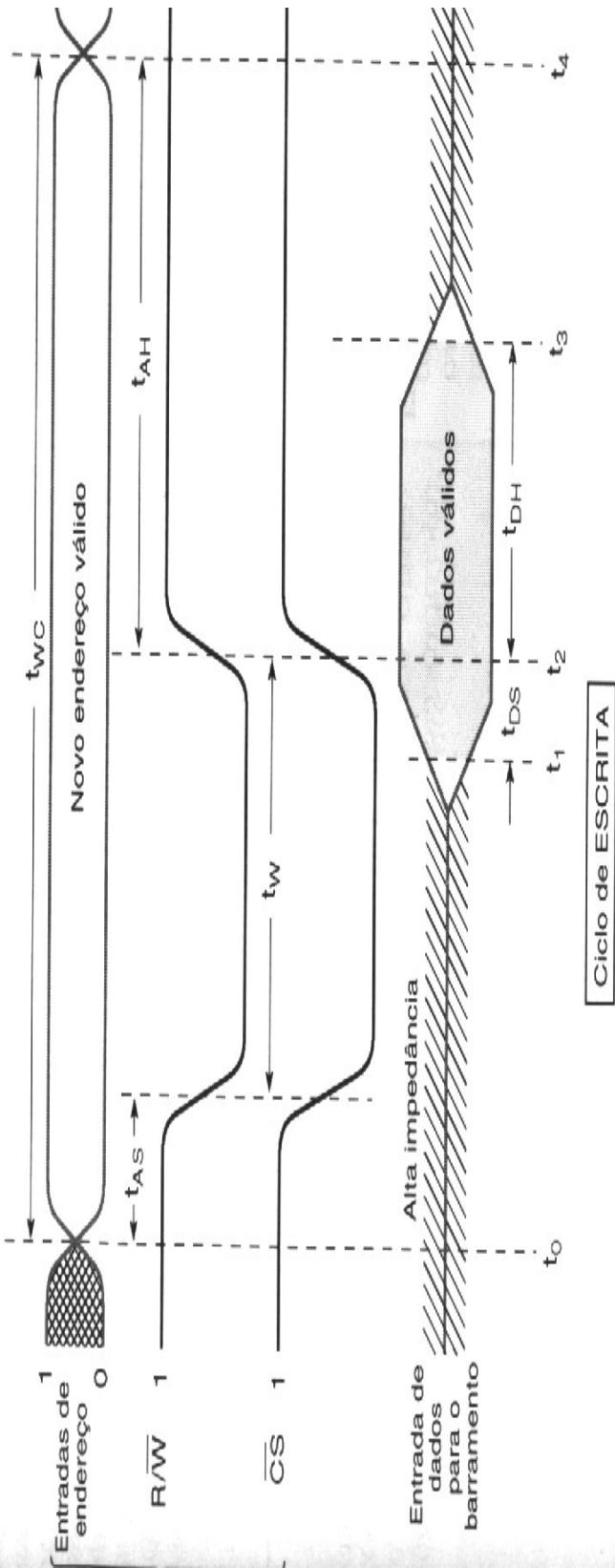
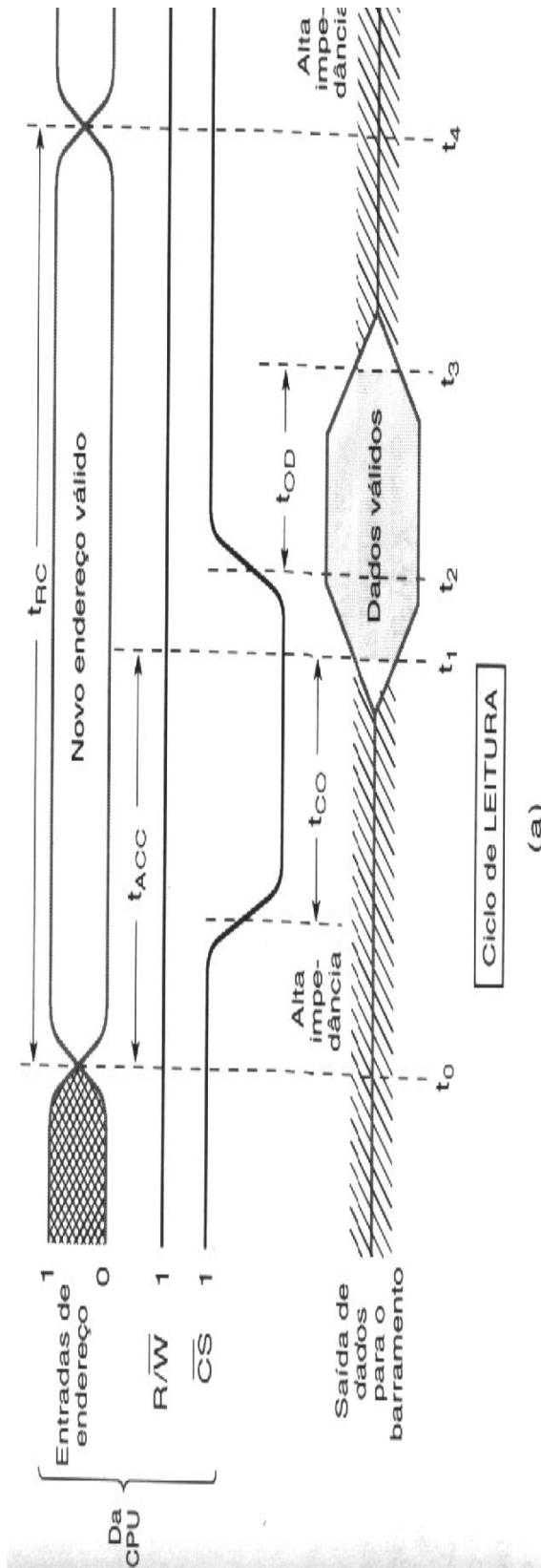


Fig. 11-25 Organização interna de uma RAM de 64×4 .

Memória estática com 2 bits de endereço e 3 bits para dados.

(elemento básico flip-flop tipo d)





A memória dinâmica necessita de tempos em tempos de um ciclo de refresh para manter a integridade dos valores armazenados. Pois existe uma corrente fuga nos capacitores que formam as células de armazenamento.

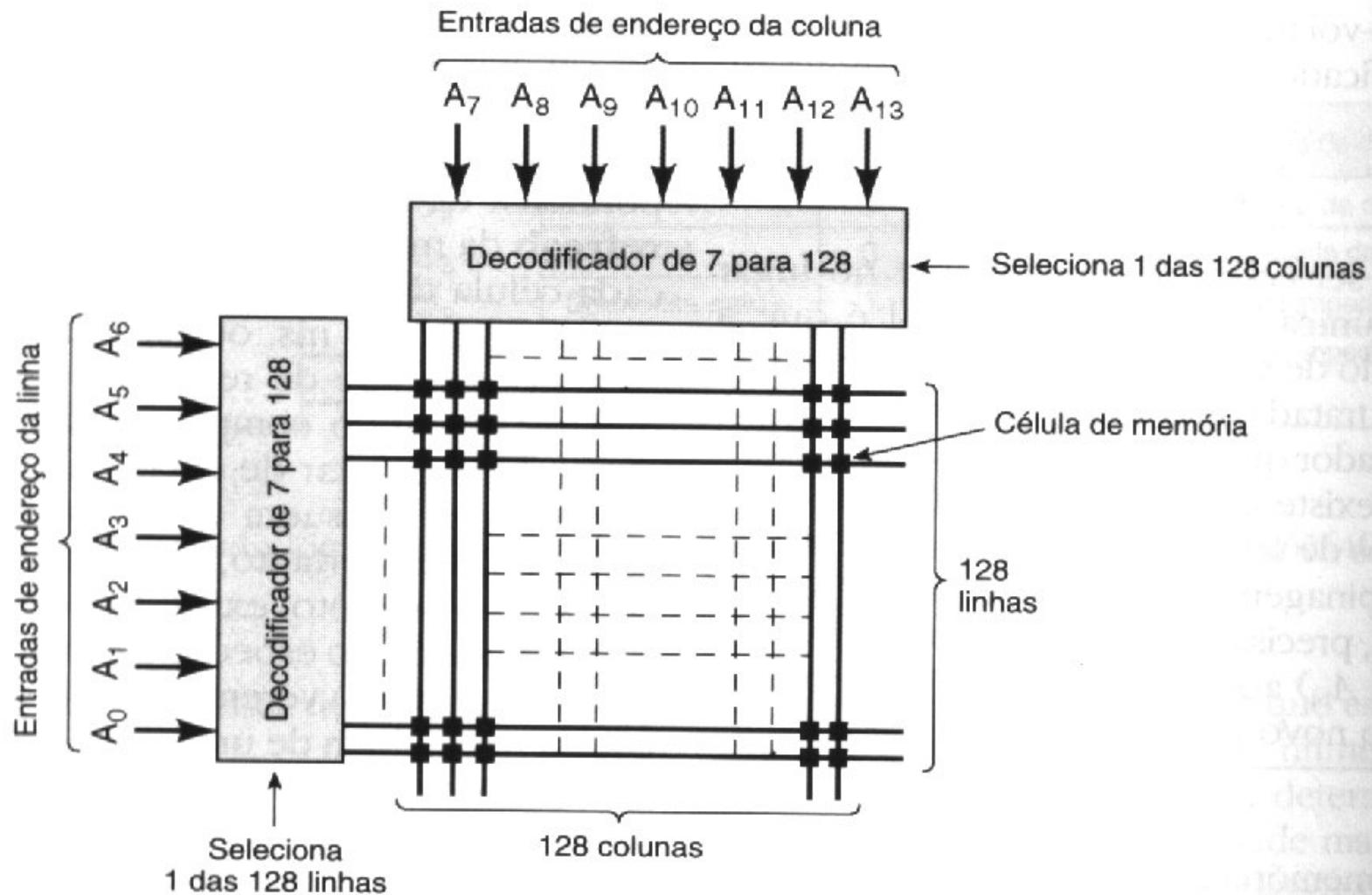


Fig. 11-31 Organização das células em uma memória dinâmica de $16\text{K} \times 1$.

Modelo de memória dinâmica: devido a grande capacidade de armazenamento, necessitaria de muito pinos de endereço. Na prática o endereço é enviado, dividido, em 2 fases: uma com sinal RAS que indica que no barramento de endereço esta o conteúdo da linha e a outra com sinal CAS que indica que no barramento de endereço esta o conteúdo da coluna.

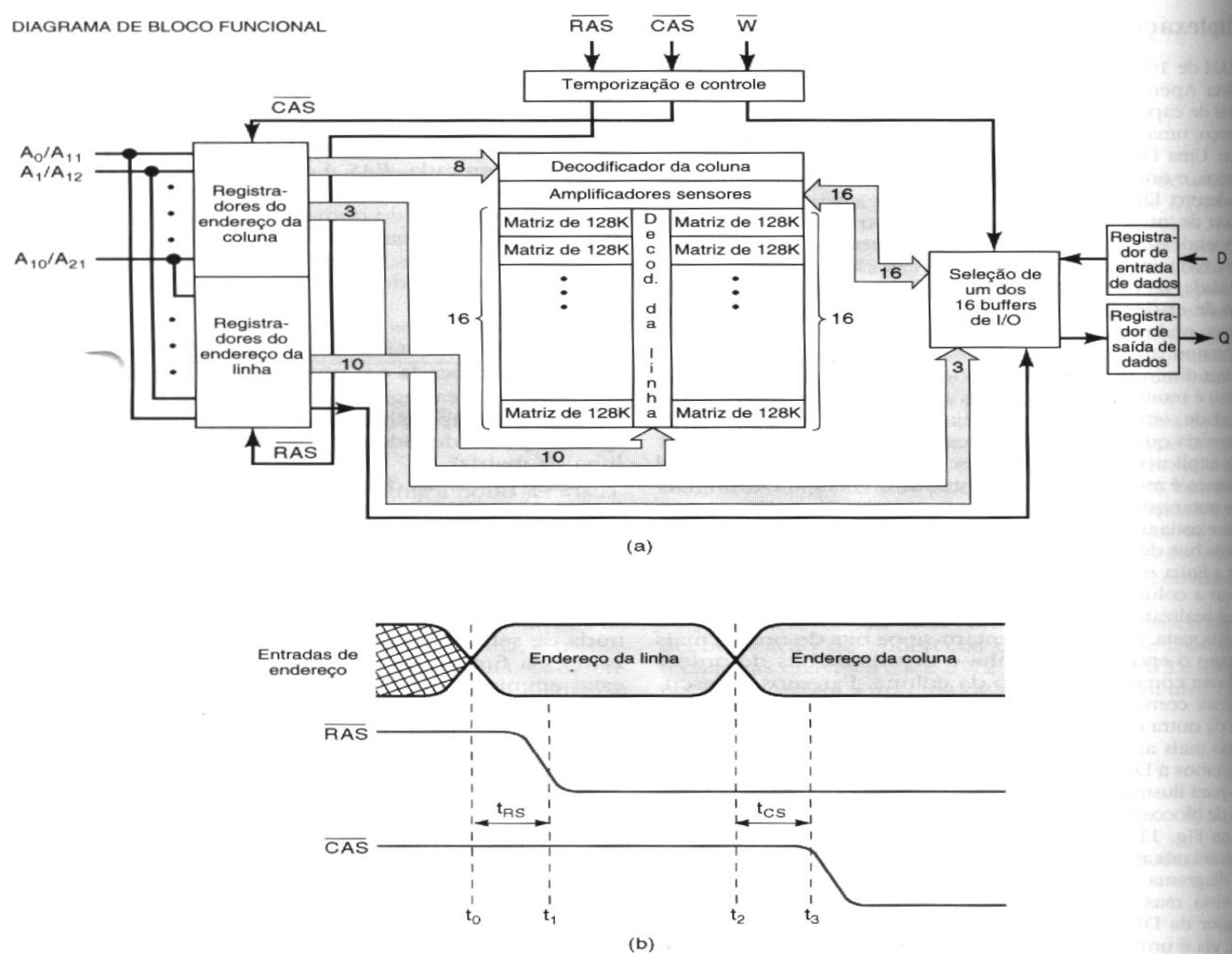
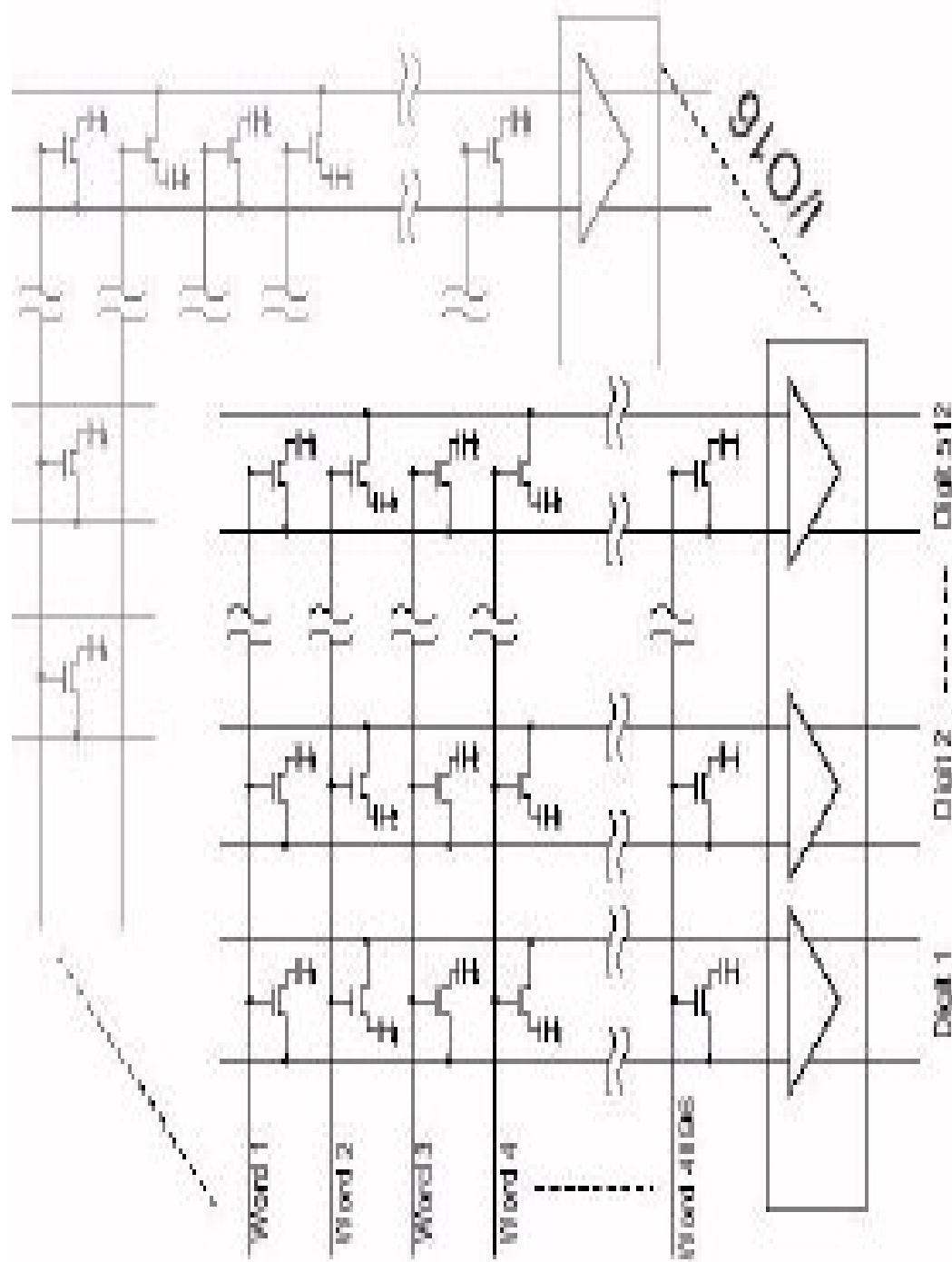
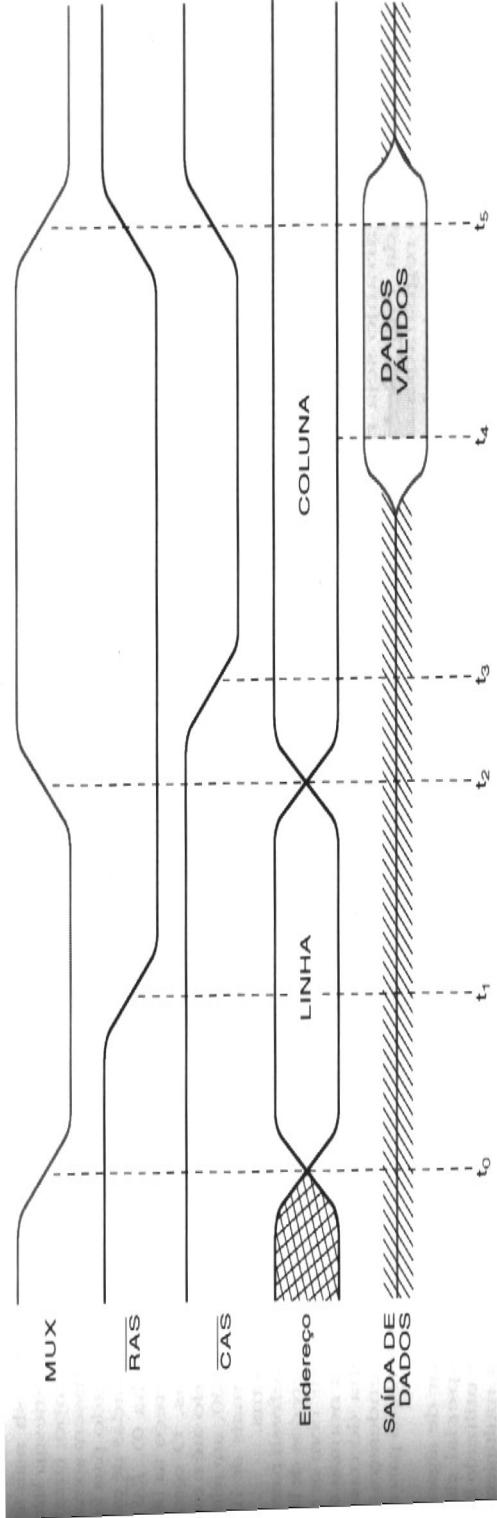


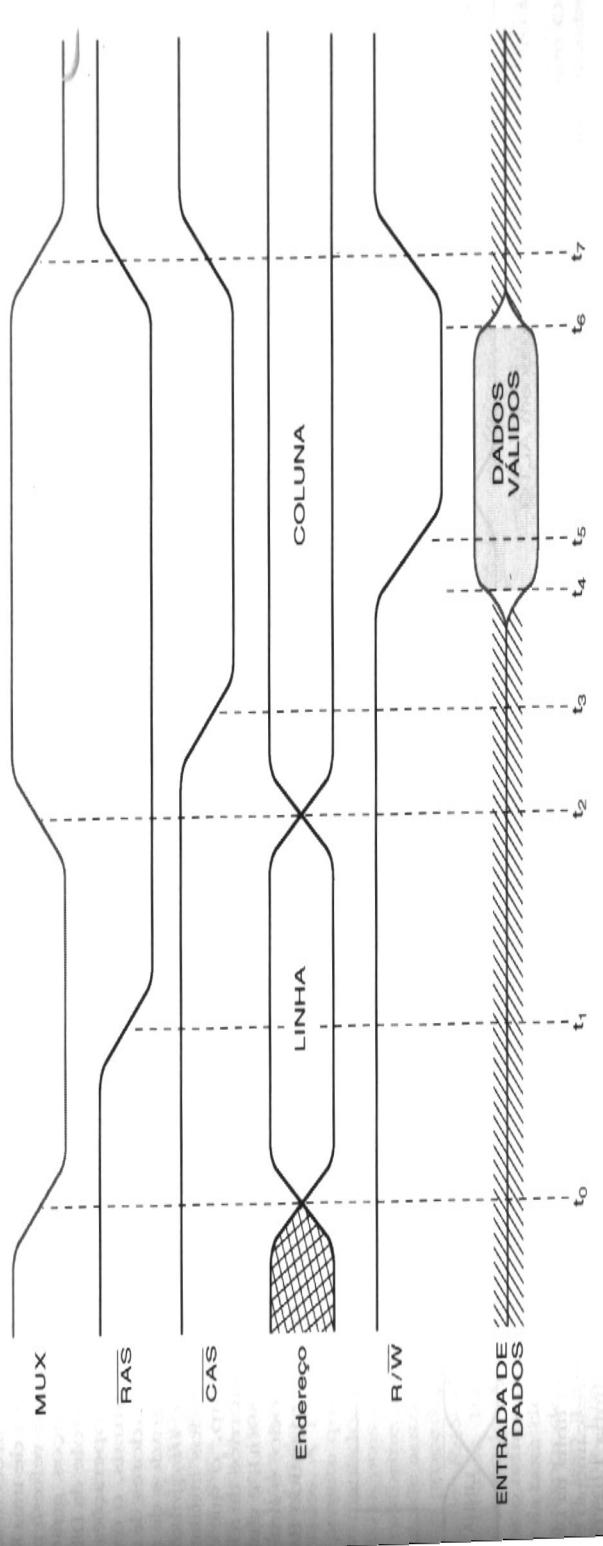
Fig. 11-33 (a) Arquitetura simplificada da TMS44100, DRAM de 4M × 1; (b) temporização de \overline{RAS} e \overline{CAS} . (Cortesia: Texas Instruments.)



512 digit lines



36 Comportamento dos sinais durante uma operação de leitura em uma RAM dinâmica. A entrada R/W não mostrada durante toda a operação.



Tipos de ROM

- MROM - programada por máscara
- PROM - programável só uma vez
- EPROM - apagável com ultra-violeta
- EEPROM - apagável eletricamente

Modelo genérico de memória ROM (somente de leitura)

De acordo com \overline{CS} : a saída de dados só terá valor verdadeiro quando $\overline{CS} = 0$; caso contrário ($\overline{CS} = 1$) a saída estará em tri-state (alta impedância)

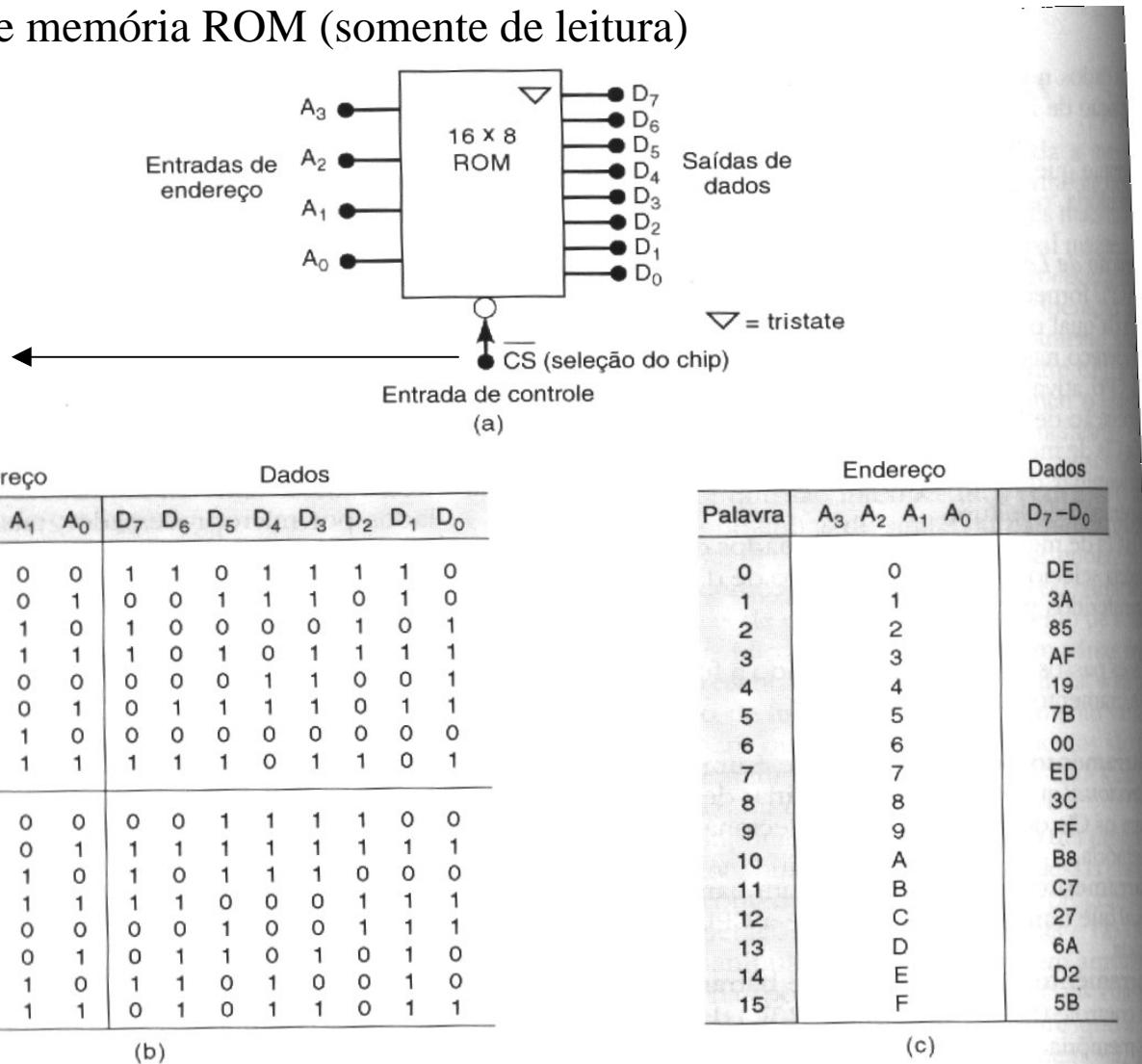


Fig. 11-6 (a) Símbolo de uma ROM típica; (b) tabela mostrando os dados binários para cada endereço; (c) a mesma tabela em hex decimal.

Modelo interno de ROM com tecnologia MOSFET

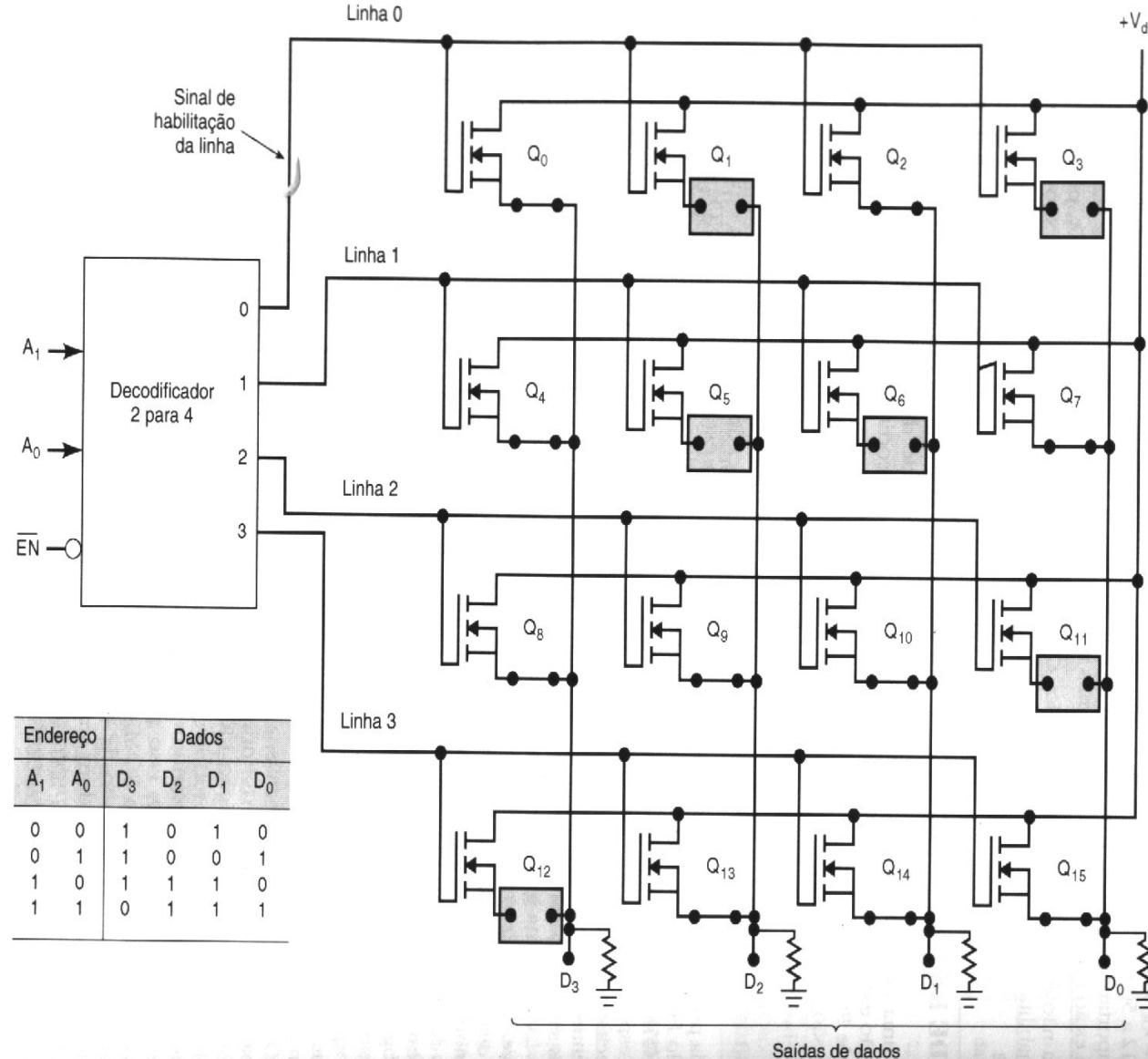
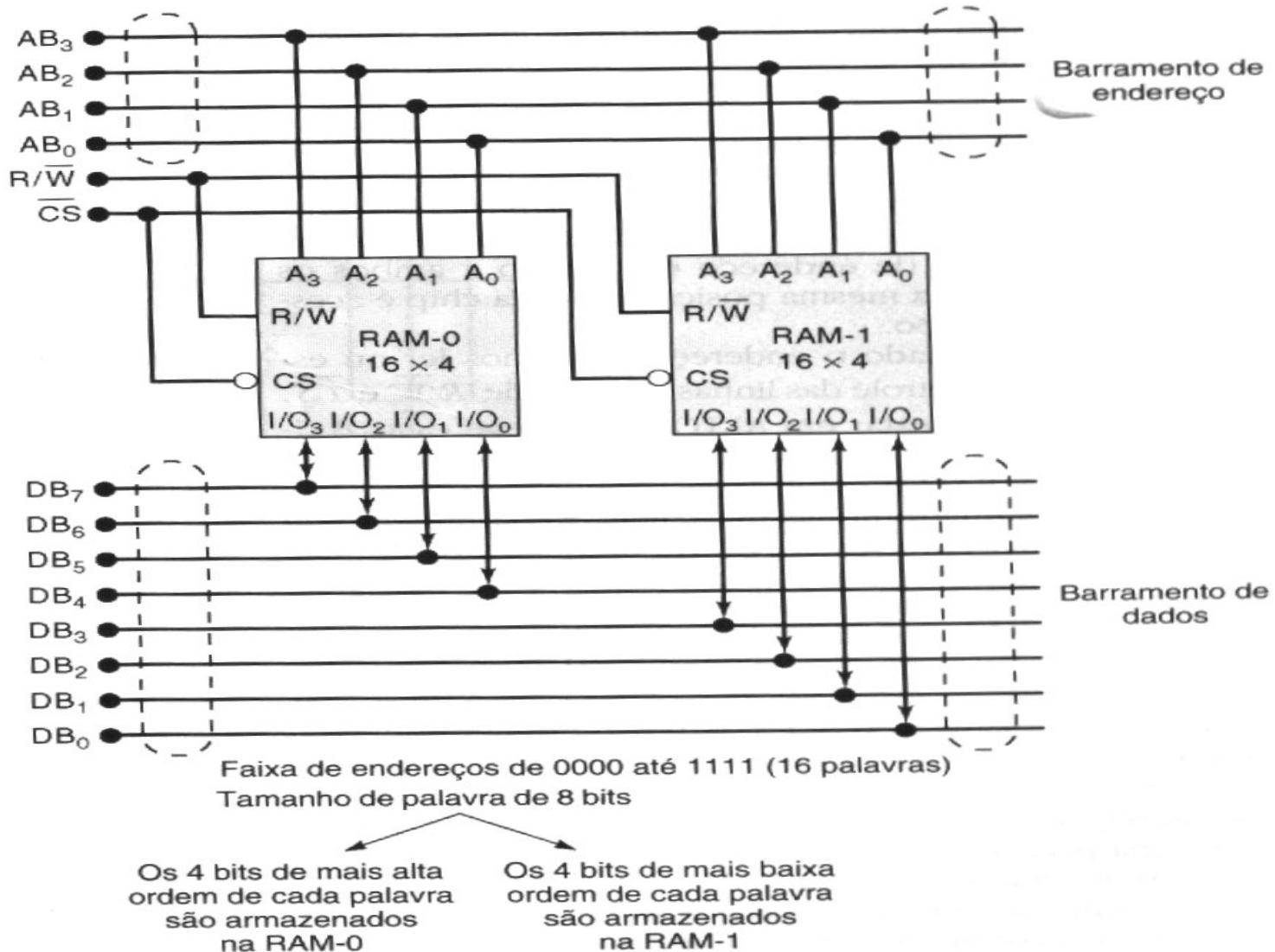


Fig. 11-9 A estrutura de uma MROM MOS mostra que um MOSFET é usado para cada célula de memória. Uma conexão aberta do terminal fonte armazena "0"; uma conexão fechada armazena "1".

Decodificação de memória



Decodificação de memória

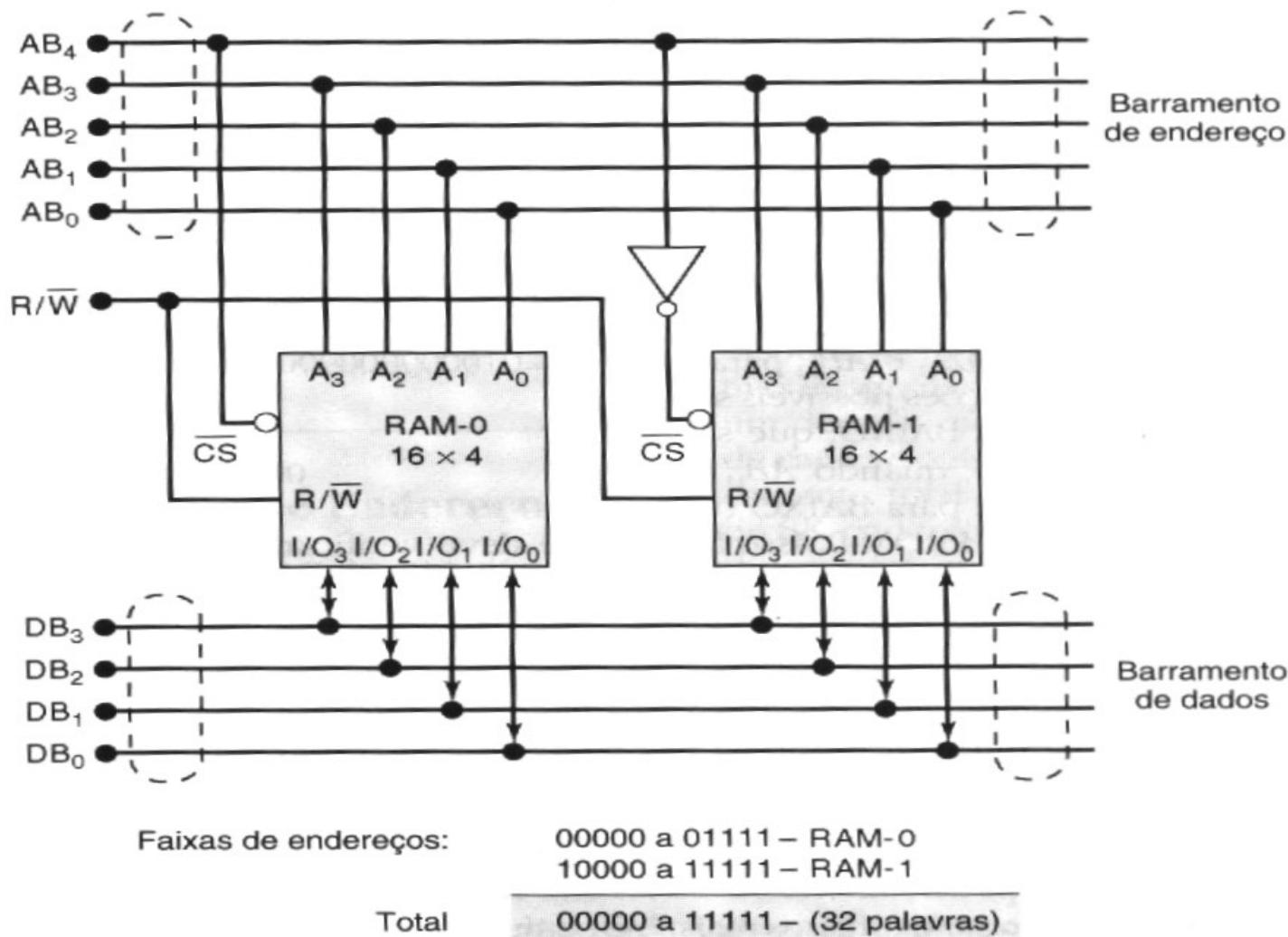
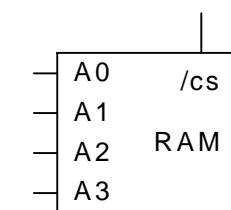
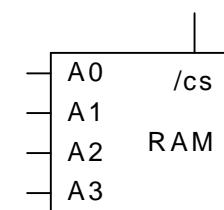
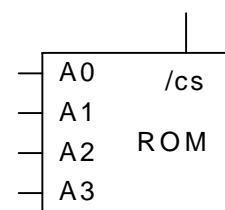
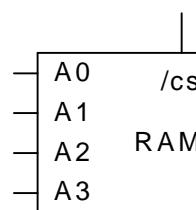
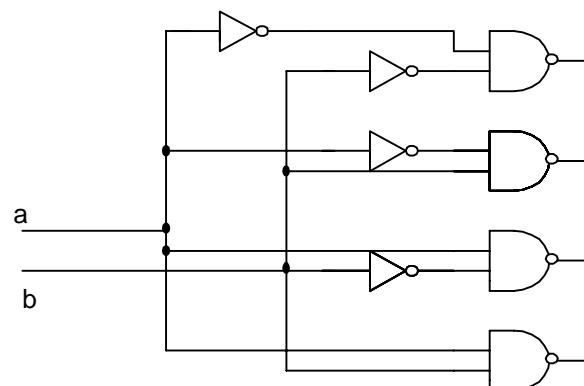
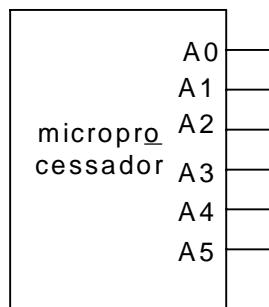


Fig. 11-42 Combinando dois chips de 16×4 para formar uma memória de 32×4 .

) O circuito abaixo mostra, simplificadamente, um microprocessador que possui 6 bits para linhas de endereço, um decodificador, pastilhas de memória RAM e ROM. Faça a ligação dos componentes abaixo, de forma que o endereço fique organizado de forma linear e justifique como foi feita a ligação da ROM.

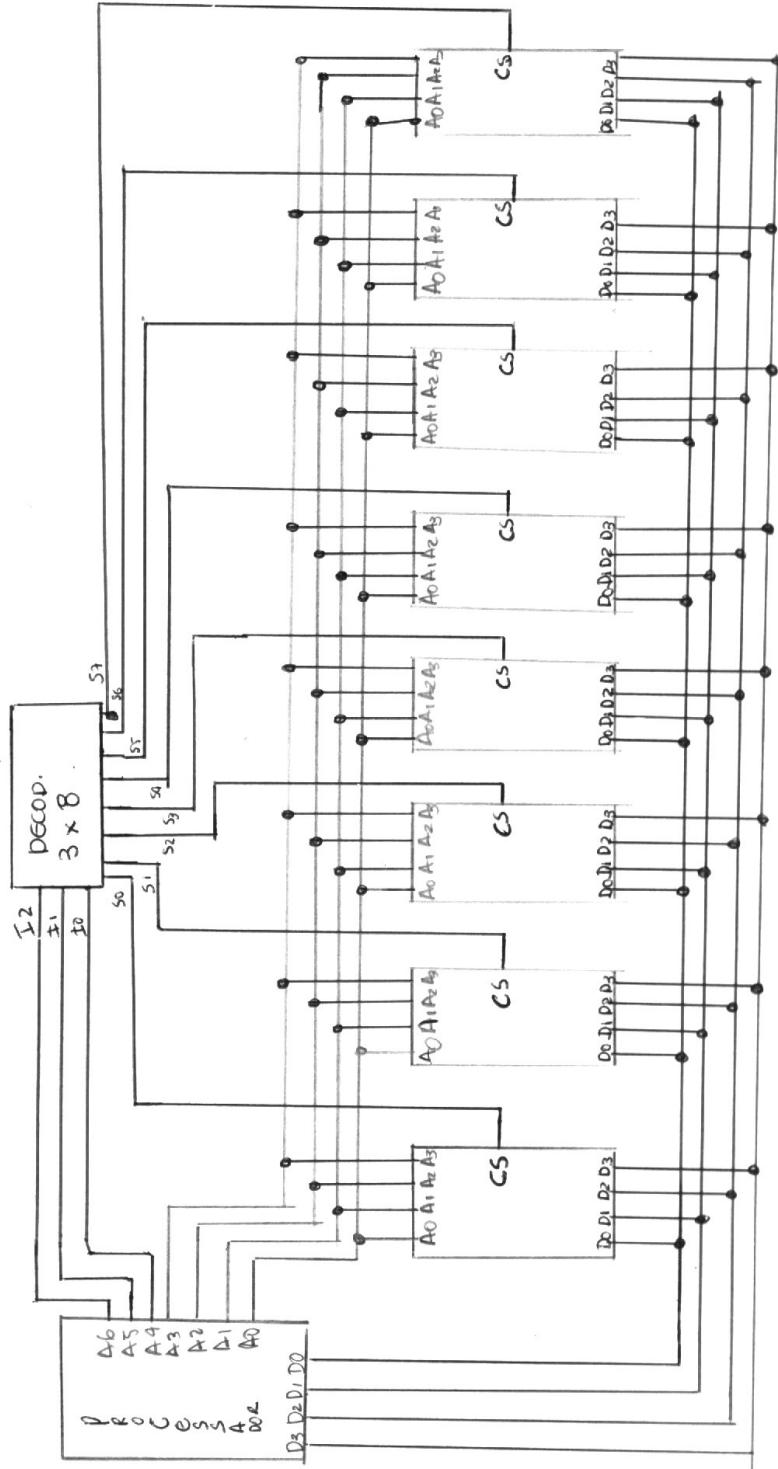


Dado um computador hipotético que é formado por um processador com 4 bits de endereço e 4 bits para dados. Desenhe seu esquema de ligação, supondo que tanto as memórias RAM e ROM são postilhas com 4 bits de endereços e 4 bits para dados. (Pode-se utilizar de codificadores e mísulas de bloco)

Resposta:

Total endereços visto pelo processador: $2^7 = 128$, ou seja, $(A_0 \dots A_6)$

Total de endereços possíveis para cada postilha de memória: $2^4 = 16$, ou seja,
 $128 / 16 = 8 \Rightarrow 3$ linhas de endereços entraram num decodificador

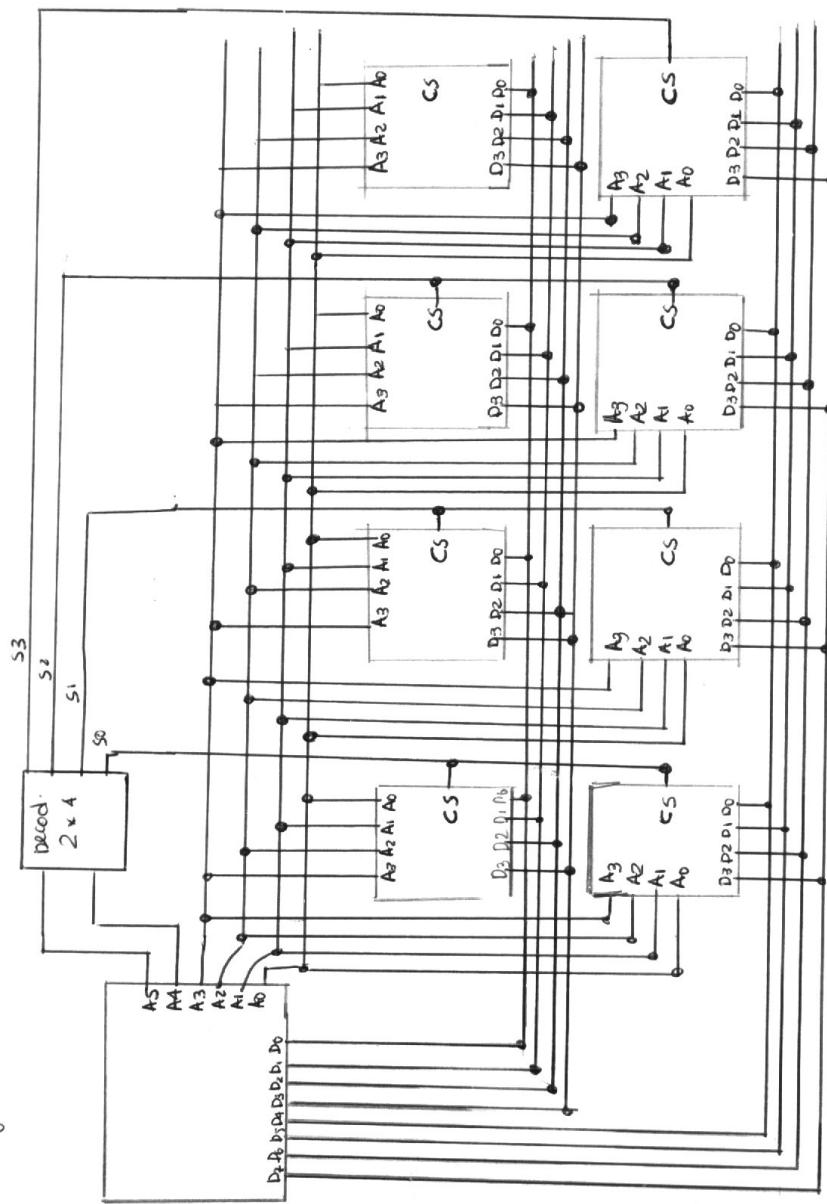


Dado um computador hipotético, que é formado por um processador que possui 6 bits para endereços e 1 byte para dados. Describa seu esquema de ligação, supondo que tanto os módulos RAM e ROM são páginas com 4 bits de endereços e 4 bits para dados. (obs: pode-se utilizar decodificadores níveis de bloco). Resposta:

Total de endereços visto pelo processador: $2^6 = 64$, ou seja (A_0, A_5)

Total de endereços possuídos para cada página de memória: $2^4 = 16$, endereços de 0 a 15

No total de regiões de memória $64 / 16 = 4 \Rightarrow$ 2 linhas de endereços entram no decodificador.



Repare que
O processador
tem 1 byte por
linha de dados
mas cada
bit é dividido
posteriormente
dualmente em
2 portfólios de memória
por região de memória.