



Universidade Federal Rural do Rio de Janeiro, DECOMP/ICE  
Prova Optativa, Curso de Sistema de Informação, prof. Luiz Maltar C. B.  
matéria: Arquitetura de Computadores, Data 27 de agosto de 2021.

ALUNO: \_\_\_\_\_ Nota \_\_\_\_\_

**(qualquer evidência de cópia da resolução implicará no anulamento da questão para quem passou e para quem recebeu)**  
**Escolha 10 questões e as faça.**

- 1) Explique com suas palavras: o pipeline de instrução reduz o tempo total gasto para executar um conjunto de instruções.(valor 1.0)
- 2) Como funciona o modelo de memória cache tipo associativo por conjunto(valor 1.0)
- 3) Por que a técnica de separação de cache de instrução e cache de dados é utilizada para resolver conflitos estruturais nos processadores RISCs.?(valor 1.0)
- 4) **Explique, com suas palavras,** o funcionamento da unidade de adiantamento na arquitetura MIPS (valor 1.0)

- 5) Dado uma máquina semelhante ao MIPS, com *pipeline* de 5 estágios responda:  
O código a seguir foi executado nesta máquina. Sabe-se que a máquina **faz** adiantamento de dados, quantos **ciclos foram gastos?**(valor 1.0)

	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11	t12	t13	14	t15	t16	t17	t18	t19
add r3, r11, r12																			
lw r3,30(\$8)																			
or r4,r2,r5																			
and r7,r6,r4																			
lw r6, 10(\$9)																			
sub r7,r5,r8																			

- 6) Marque com (x) a(s) frase(s) correta(s):(valor 1.0)
  - ( ) No computador MIPS, admitindo-se a duração de 2ns por estágio do pipeline, a leitura dos registradores é feita no primeiro 1ns do 2º estágio.
  - ( ) Somente as instruções de load (lw) e Store (Sw) fazem algo de útil no 4º estágio do MIPS.
  - ( ) A predição de desvio fixa tem um desempenho melhor do que a predição dinâmica de desvio que utiliza apenas um bit.
  - ( ) No mapeamento completamente associativo que faz uso da localidade espacial, o conteúdo da memória cache é composto por: endereço completo e o dado(informação).
  - ( ) Uma característica do modelo de cache completamente associativo é a utilização ao máximo da capacidade da cache.
  - ( ) O principal algoritmo utilizado para substituição de blocos na cache com modelo de mapeamento direto é o LRU.
  - ( ) No modelo associativo por conjunto, a parte dos bits mais significativo do endereço é armazenado na cache no campo chamado de índice.
  - ( ) No mapeamento completamente associativo cada bloco da memória principal só pode ser mapeado em uma única posição da memória cache.
  - ( ) Uma característica da arquitetura RISC é unidade de controle microprogramada

7) Explique o que é localidade temporal num contexto de memória cache. (valor 1.0)

8) Faça um programa em máquina de pilha que resolva a expressão abaixo: **(valor 1.5)**

$$A = (B - C) / (D + E + I) + B$$

9) Como funciona o algoritmo LRU?(valor 1.0)

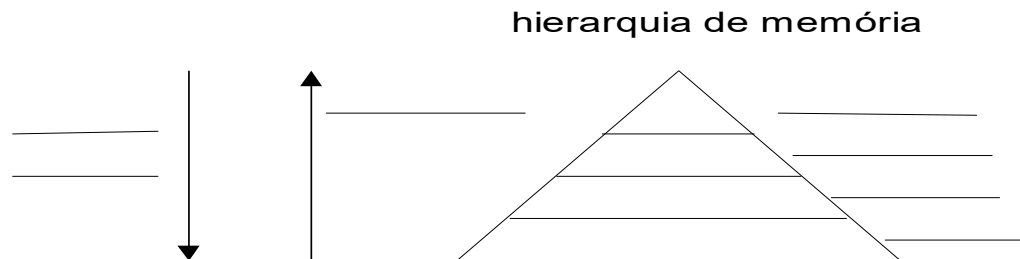
10) Dê os correspondentes valores em decimal com sinal para o número  $1111111_2$ , admitindo-se: (valor 1.0)

a) o número se encontra em complemento de 2. \_\_\_\_\_

b) o número se encontra em complemento de 1. \_\_\_\_\_

c) o número se encontra em representação sinal magnitude. \_\_\_\_\_

11) Conforme mostrado no curso, a hierarquia de memória pode ser vista como organizada segundo uma forma triangular. Preencher os pontilhados abaixo segundo as características de hierarquia de memória. **(valor 1.0)**



12) Converta o número **-11,5625** para o formato normalizado IEEE de precisão simples. Dê o resultado em hexadecimal. **(valor 2.5)**

128	64	32	16	8	4	2	1

[illegible]

13) Sabendo-se que as variáveis W,X,R,S,Y,Z se encontram, respectivamente, nas posições de memória  $07_{\text{hexa}}$ ,  $3E_{\text{hexa}}$ ,  $21_{\text{hexa}}$ ,  $03_{\text{hexa}}$ ,  $11_{\text{hexa}}$ ,  $2B_{\text{hexa}}$  e, de um computador hipotético, figura abaixo, cuja CPU possui 6 bits de endereços e 1 byte de dados. Faça as seguintes três operações e **indique se ocorrerá overflow (mostrando conhecimento)**. (as ligações físicas de linhas de endereço e de dados não foram colocadas de modo a melhorar a visualização) **(valor 2.0)**

W + X, em sinal magnitude.

R - S, em complemento de 1.

Y + Z, em complemento de 2.

