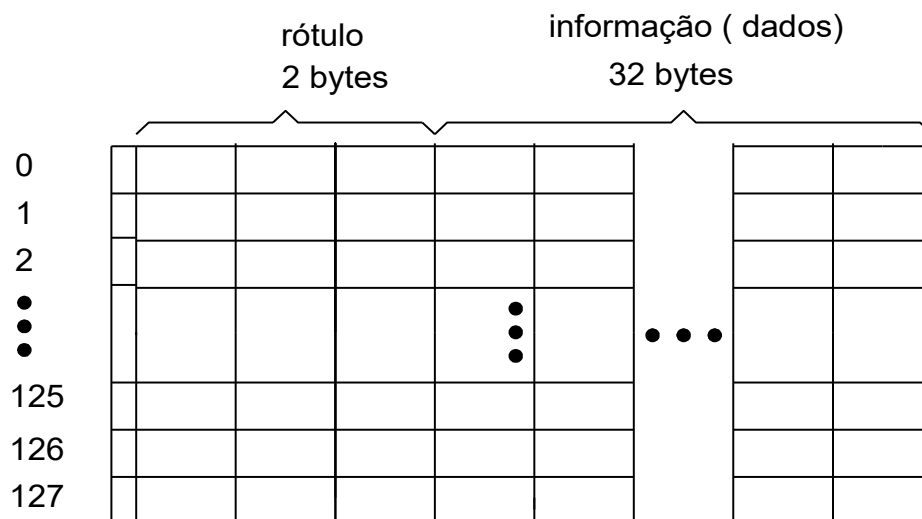


- 1) Descreva o funcionamento da janela de registradores numa da arquitetura RISC.
- 2) Explique o que é localidade espacial num contexto de memória cache.
- 3) O diagrama abaixo representa uma memória cache organizada no modelo direto. O Processador que a usa, gera um endereço de quantos bits? Sabe-se que o computador trabalha com 8 bits para dados. (demonstrar)



- 4) Marque a(s) frase(s) correta(s):
  - ☐ No modelo associativo por conjunto, a parte dos bits mais significativo do endereço é armazenado na cache no campo chamado de rótulo.
  - ☐ A unidade de controle micro-programada é em geral encontrada nos processadores CISCs.
  - ☐ No mapeamento completamente associativo cada bloco da memória principal só pode ser mapeado em uma única posição da memória cache.
  - ☐ No mapeamento direto o conteúdo da memória cache é composto por: o endereço completo e o dado(informação).
  - ☐ Uma característica do modelo de cache completamente associativo é a utilização ao máximo da capacidade da cache.
  - ☐ vários modos de endereçamento é uma característica dos processadores CISCs.
  - ☐ No computador MIPS, admitindo-se a duração de 2ns por estágio do pipeline, a leitura dos registradores é feita no primeiro 1ns do 2º estágio.
  - ☐ O pipeline de instrução não reduz o tempo total gasto para completar um conjunto de instruções.

( ) Somente as instruções de load (lw) e Store (Sw) fazem algo de útil no 5<sup>o</sup> estágio do MIPS.

( ) O tempo total gasto para a realização de 5 instruções numa máquina MIPS onde não haja nenhuma espécie de conflito, será 9 x tempo do estágio.

( ) A técnica de separação de cache de instrução e cache de dados é utilizada para resolver conflitos estruturais nos processadores RISCs.

( ) A predição de desvio fixa tem um desempenho melhor do que a predição dinâmica de desvio que utiliza apenas um bit.

7) Dado uma máquina semelhante ao MIPS, com *pipeline* de 5 estágios, responda as questões:

O código a seguir foi executado nesta máquina. Sabe-se que a máquina faz adiantamento de dados, quantos **ciclos foram gastos**?

```
lw r3, 200(r4)
or r4,r2,r5
and r7,r6,r4
lw r6, 100(r7)
sub r7,r6,r8
```

T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16

O código a seguir foi executado nesta máquina. Sabe-se que a máquina faz adiantamento de dados, quantos **ciclos foram gastos**?

```
lw r3, 200(r4)
or r4,r3,r5
and r7,r6,r4
lw r6, 100(r7)
sub r6,r6,r8
```

T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16

b) Para o código abaixo, suponha que a primeira instrução está sendo buscada no primeiro ciclo. No oitavo ciclo de execução quais os **registradores que estarão sendo lidos**? e **quais estarão sendo escritos**?(a máquina não faz adiantamento de dados)

```
add r10, r2, r3
add r4, r6, r1
sub r9, r10,r1
xor r1 ,r11, r9
lw r1, add(r3)
```

T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16

9) Explique o funcionamento da unidade de controle micro-programada.

10) Explique, na figura abaixo, o funcionamento da região em destaque, e diga em que tipo de conflito este diagrama se aplica como solução:

