

Universidade Federal Rural do Rio de Janeiro Curso de Sistema de Informação-Departamento de Computação-ICE 2ª prova de Arquitetura de Computadores.

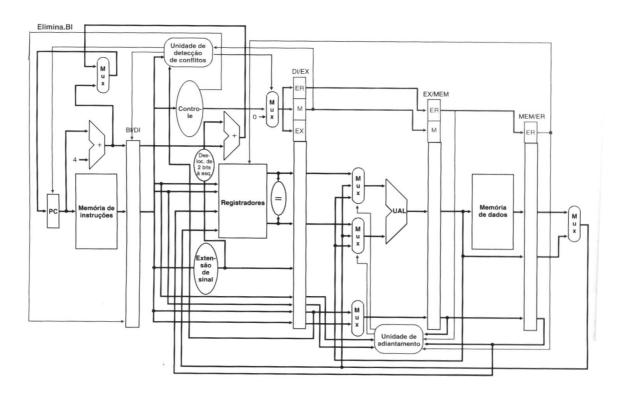
Data: 24 de agosto de 2021, prof. LuizMatar C.B.

Aluno:	Nota:
--------	-------

(qualquer evidência de cópia da resolução implicará no anulamento da questão para quem passou e para quem recebeu)

Esta prova tem 14 questões, a questão 13 é obrigatória. Faça, além da questão 13, mais 8 questões.

- 1) Explique o funcionamento da lógica de sequenciamento da unidade de controle micro-programada.(valor 1.0)
- 2) O que é janela de registradores? E como seu funcionamento pode melhorar o rendimento da arquitetura que a implementa?(valor 1.0)
- 3)Por que no computador MIPS, admitindo-se a duração de 2ns por estágio do pipeline, a leitura dos registradores é feita no segundo 1ns do 2º estágio.(valor 1.0)
- 4) Explique com suas palavras o pipeline de instrução não reduz o tempo total gasto para executar uma única instruções.(valor 1.0)
- 5)Demonstre que o tempo total gasto para a realização de 5 instruções numa máquina MIPS onde não haja nenhuma espécie de conflito, será 9 x tempo do estágio.(valor 1.0)
- 6)Por que o modelo de memória cache tipo completamente associativo permite o uso da capacidade máxima da cache.(valor 1.0)
- 7)Por que a técnica de separação de cache de instrução e cache de dados é utilizada para resolver conflitos estruturais nos processadores RISCs.?(valor 1.0)
- 8) Quando devemos usar algoritmos de substituição de bloco em arquitetura com cache.(valor 1.0)
- 9) Explique, com suas palavras, o funcionamento dos multiplexadores no terceiro estágio da arquitetura MIPS abaixo.(valor 1.0)



10) Dado uma máquina semelhante ao MIPS, com *pipeline* de 5 estágios responda: O código a seguir foi executado nesta máquina. Sabe-se que a máquina <u>faz</u> adiantamento de dados, quantos ciclos foram gastos?(valor 1.0)

lw	r3,30(\$8)
or	r4,r2,r5
anc	l r7,r6,r4
lw	r6, 10(\$9)
sub	r7.r5.r8

T1	T2	ТЗ	Т4	T5	Т6	T7	Т8	Т9	T10	T11	T12	T13	Г14	T15	T16

- 11) Discurse sobre quando uma instrução de load (lw) pode levar a ocorrência de bolha no pipeline da arquitetura MIPS.(valor 1.0)
- 12) Explique o que é localidade espacial num contexto de memória cache. (valor 1.0)
- 13)Pegue os 16 primeiros bits da sua matrícula, e chame o resultado de num1. Some o correspondente em binário de 0.625 (que está em fração decimal) a num1. Por fim, pegue num1 e o converta para o formato normalizado IEEE de precisão simples. Coloque o resultado na tabela de 32 posições, em binário. (valor 2.5)



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

	Rótulo	Informação(dados)										
_		11	10	01	1 00							
П		1	<u> </u>	I	I							
Н												
П												
Н												
Н		+	-									
H												
П												
Ц		1										
Н		+										
Н												
Ц												
Н												
Ш												

14) O diagrama acima representa uma cache modelo direto, que usa 2 bits para o deslocamento. O computador hipotético que a utiliza possui 10 bits de endereço. Abaixo, se encontra algumas seções da memória principal (endereço-conteúdo) relacionado ao mesmo computador. Admita que inicialmente todos os bits de validade, estão marcados como inválidos. Preencha a cache, a partir dos endereços dos seguintes acessos, que são consecutivos: (valor 2.5)(demonstre todo o seu raciocínio)

0000100000 E1 || 0010000000 B9 || 1001000000 1E || 1100100000 2A || 0000100001 3C || 0010000001 CE || 1001000001 37 || 1100100001 CE 0000100010 1C || 0010000010 EB || 1001000010 6B || 1100100010 91 || 1001000011 C6 0000100011 92 || 0010000011 DF || 1100100011 0010000100 A9 || 1001000100 70 || 1100100100 77 0000100100 78 || 0000100101 CA || 0010000101 9C || 1001000101 13 || 1100100101 16 0010000110 68 || 1001000110 2B 0000100110 E2 || || 1100100110 8E 0010000111 70 || 1001000111 AE || 1100100111 0000100111 F6 || 56 || 1100101000 88 0000101000 A2 || 0010001000 84 || 1001001000 DB 0010001001 D4 0000101001 71 || || 1001001001 3E || 1100101001 17 0000101010 27 0010001010 D3 || 1001001010 7D || 1100101010 2 D || 1001001011 7C 0000101011 EF 0010001011 C9 || 1100101011 0010001100 E2 || 1001001100 3C 0000101100 E4 || 1100101100 6E 0010001101 07 0000101101 9F | | 1001001101 15 || 1100101101 6E 0000101110 93 || 0010001110 FA || 1001001110 BE || 1100101110 B4 0000101111 93 || 0010001111 68 || 1001001111 47 1100101111 CO 0000110000 77 || 0010010000 76 || 1001010000 35 || 1100110000 04 0000110001 09 || 0010010001 57 || 1001010001 13 || 1100110001 0000110010 25 || 0010010010 D1 || 1001010010 25 || 1100110010 0000110011 1A || 0010010011 4F || 1001010011 F4 || 1100110011 0000110100 36 || 0010010100 0B || 1001010100 E1 || 1100110100 0000110101 63 || 0010010101 CC || 1001010101 C4 || 1100110101 68 0000110110 38 || 0010010110 F7 || 1001010110 FA || 1100110110 0000110111 7F || 0010010111 9F || 1001010111 FC || 1100110111 AF 0000111000 E0 || 0010011000 C1 || 1001011000 FC || 1100111000 0000111001 F5 || 0010011001 54 || 1001011001 A7 || 1100111001 0000111010 9E || 0010011010 0C || 1001011010 DD || 1100111010 0000111011 7D || 0010011011 76 || 1001011011 E3 || 1100111011 77 0000111100 16 || 0010011100 00 || 1001011100 B1 || 1100111100 E1 0000111101 10 || 0010011101 AC || 1001011101 64 || 1100111101 66 || 0000111110 FA || 0010011110 2B || 1001011110 CC || 1100111110 75 0000111111 6B || 0010011111 E6 || 1001011111 70 || 1100111111 22 ||

End: 0000111110, 1001000100, 1100111001, 0010010110, 0000111010