

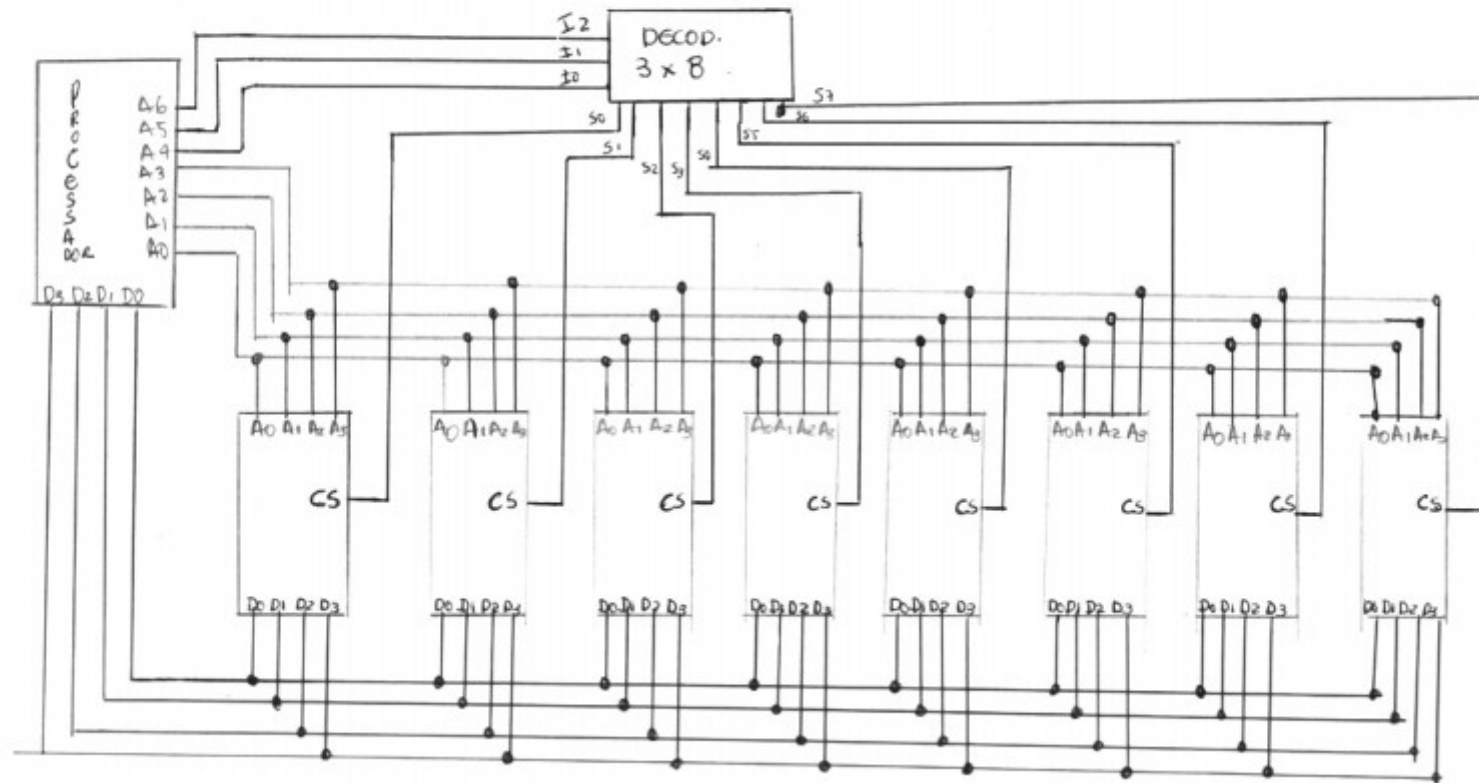
Dado um computador hipotético que é formado por um processador com 7 bits de endereços e 4 bits para dados. Desenhe seu esquema de ligação, supondo que tanto as memórias RAM e ROM são pastilhas com 4 bits de endereços e 4 bits para dados. (Obs pode-se utilizar de codificador a nível de bloco)

Resposta:

Total endereços visto pelo processador: $2^7 = 128$, 0 a 127, ($A_6 \dots A_0$)

Total de endereços possíveis para cada pastilha de memória: $2^4 = 16$, 0 a 15

\Rightarrow no total de regiões de memória $128/16 = 8 \Rightarrow$ 3 linhas de endereços entram num decodificador

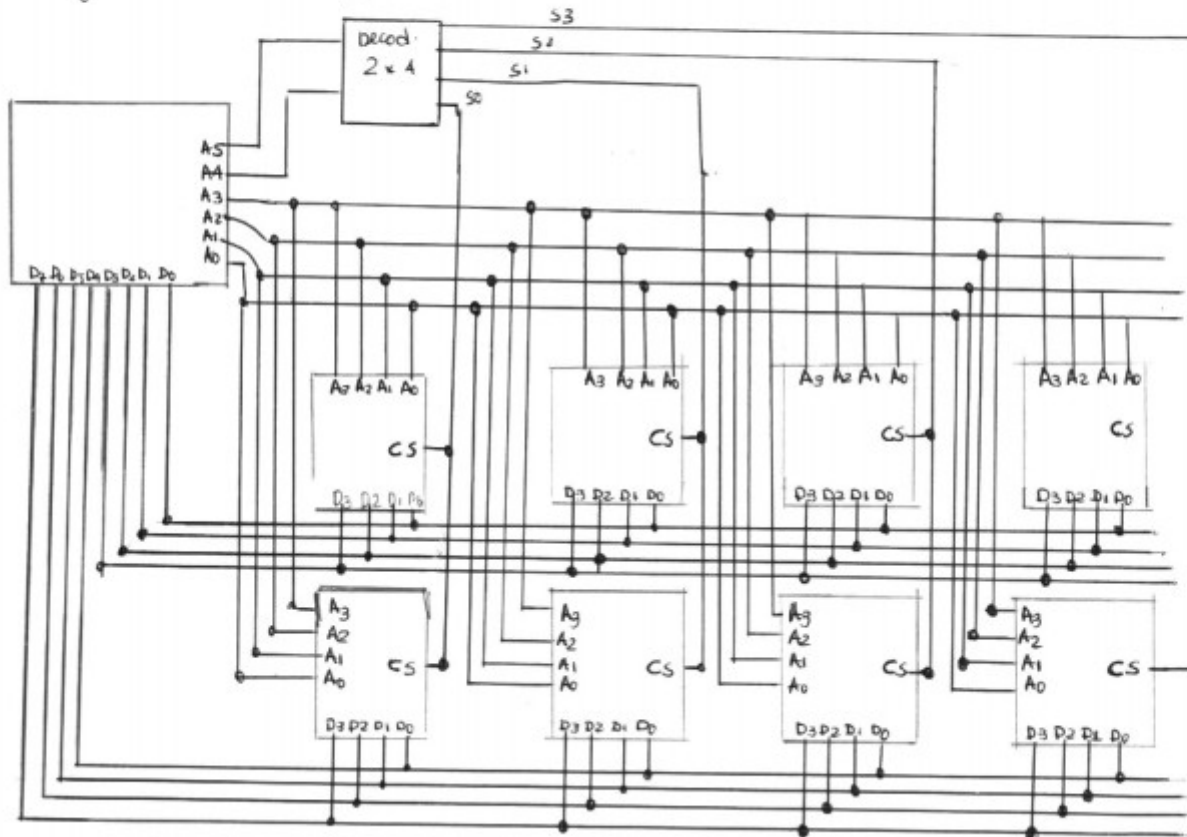


Dado um computador hipotético, que é formado por um processador que possui 6 bits para endereços e 1 byte para dados. Desenhe seu esquema de ligação, supondo que tanto as memórias RAM e ROM são pastilhas com 4 bits de endereços e 4 bits para dados. (obs. pode-se utilizar decodificadores a nível de bloco). Resposta:

Total de endereços visto pelo processador: $2^6 = 64$, de 0 a 63 ($A_5, A_4, A_3, A_2, A_1, A_0$)

Total de endereços possíveis para cada pastilha de memória: $2^4 = 16$, endereços de 0 a 15

o total de regiões de memória $\frac{64}{16} = 4 \Rightarrow 2$ linhas de endereços entram no decodificador.



Repare que
o processador
tem 1 byte p/
linha de dados
8 bits, mas cada
pastilha inicialmente
4 bits
logo são necessárias
2 pastilhas de memória
por região de memória