

1) Quando se efectua uma opera  o de "Call" o que   guardado na stack:

a) O IP e as flag b) O IP c)... d)....

2) O conte do dos registo AL e DH   respectivamente 63H e 24H. Como ficar o as flags ap s a opera  o add AL, DH?

a)... b)... c)... d)....

3) Sendo a cash "full associative", sendo cada bloco de 16bits e estando no endere o 0x89

a)6 b)9 c)3 d) Um qualquer

4) Quando o CPU, recebe uma interrup  o vectorizada, como   detectado o perif rico que a gerou?

a)Atrav s de software.... b)Atrav s de software... c)Mal   gerada a interrup  o   logo lan ada o vector d)Por hardware

5) Tens 32 blocos de memoria de "X", que mem ria poderias fazer com esses blocos:

a)16x4 b)16x8 c)... d)....

6) Temos uma mem ria SRAM de 32Mx8, quantos trans tores h ?

a)... b)... c)... d)....

7) Uma mem ria DRAM de 2Mx8, tem 2048 colunas, o seu RAS   de 50ns e o precharge de 25ns. Quanto tempo demoraria a actualizar toda a mem ria

a)... b)... c)... d)....

8) Uma Page table tem que tamanho:

a)M ximo de mem ria f sica b) n  m ximo de paginas virtuais c)N  de p ginas do processo d)....

9) O que se encontra na tabela das interrup  es:

a)O vector das interrup  es b)O in cio do c digo RSI c)... d)....

10) Uma mem ria SRAM

a)  multiplexado no tempo b)Tem barramento de dados e de endere os multiplexado c)Tem duas stobes d)Nenhuma das anteriores

11) Referente ao I2C - dois masters(1 e 2) com endere os 0x36 e 0x37 transferem para dois Slaves(1 e 2) uma certa quantidade de dados. A transmiss o Master1 - Slave1   de 200bits e a transmiss o Master2 - Slave2   de 20bits.

a)Master 1 porque o endere o   + pequeno b) Master 2 porque o endere o   maior c)Master 1 porque transfere + bytes d)Master 2 porque transfere menos bytes

12) Referente ao I2C - Tens 2 slaves, as transfer ncias para o S1 e S2 demoram respectivamente 2ps e 4ps. Qual   a taxa de transfer ncia:

a) 1 Mbit/s b) 2 Mbits/s c) 500 Mbit d)....

13) Quando recebe o page default

a) O SO suspende o processo e lança outro..... b) c)... d)....

14) \* - Num espaço de endereçamento de 16 bits, um decodificador implementado através da gama  $A_{15} + A_{13} + A_{11}$  decodifica a(s) seguinte(s) gama(s) de endereço(s):

a) 0x2000 a 0x37FF, 0x6000 a 0x77FF

b) 0x2000 a 0x27FF, 0x3000 a 0x37FF, 0x6000 a 0x67FF, 0x7000 a 0x77FF

c) 0x8800 a 0x8FFF, 0x9800 a 0x9FFF, 0xC800 a 0xCFFF, 0xD800 a 0xDFFF

d) Nenhuma das anteriores

15) \* - Considere um processador com um espaço de endereçamento de 32 bits e uma memória cache de mapeamento directo com 1024 blocos de 64 bytes cada um. A dimensão, em bits, dos campos Tag, Group e Byte é:

a) Tag: 10; Group: 16; Byte: 6

b) Tag: 16; Group: 6; Byte: 10

c) Tag: 16; Group: 10; Byte: 6

d) Nenhuma das anteriores

15) \* - Um DMA dedicado de 16 bits vai transferir 1024 words de 32 bits de quantos bus cycles precisa?

A) 1024 B) 2048 C) 4096 D)....