

Grupo 1

Para responder as 5 questões seguintes considere o trecho de código assembly Intel x86 e o valor dos registos internos que se apresentam de seguida:

DS=0x0400 ES=0x0600 CS=0x0200 SS=0x0C00 IP=0x000D SP=0x7F06
AX=0x5678 BX=0x0037 CX=0x9ABC DX=0x0000 SI=0xF234 DI=0xF234

Endereço	Instrução
0200:000A	mov dx, 0xC000
0200:000D	out dx, al
0200:000E	cmp si, di
0200:0010	jne 0x1c
0200:0012	add [bx], cx
0200:0014	push ax
0200:0015	call 0x0094
0200:0018	add sp, 2

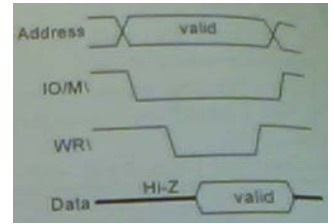
1. A próxima instrução a ser executada é:
a) mov dx, 0xC000 b) out dx, al c) cmp si, di d) jne 0x1c
2. O endereço físico de memória (com 20 bits) referenciado pela instrução “add [bx], cx” é:
a) 0x00037 b) 0x00370 c) 0x04037 d) 0x00437
3. O valor do registo SP após a execução da instrução “push ax” é (supondo que os valores dos registos apresentados em cima reflectem o estado do processador antes da execução dessa instrução):
a) 0x7F04 b) 0x5678 c) 0x7F00 d) 0x0014
4. O conteúdo do topo da stack após a execução da instrução “call 0x0094” é:
a) 0x0015 b) 0x0094 c) 0x0200 d) 0x0018
5. Após a execução da instrução “cmp si, di”, as flags associadas à ALU tomam os valores:
a) ZERO=0; CARRY=1; SIGNAL=1; OVERFLOW=0
b) ZERO=1; CARRY=1; SIGNAL=1; OVERFLOW=1
c) ZERO=1; CARRY=0; SIGNAL=0; OVERFLOW=0
d) ZERO=0; CARRY=1; SIGNAL=0; OVERFLOW=1

Grupo 2

6. Na arquitectura intel x86 podem ser usados os seguintes registos nas instruções de acesso a memória externa através de endereçamento indirecto:
a) BX, BP, SI e DI b) SP, BP, SI e DI
c) AX, BX, CX e DX d) AX, BX, SI e DI
7. Na arquitectura intel x86 a instrução “pop ax” realiza as seguintes operações:
a) AX=[SS:SP]; SP=SP-2 b) SP=SP-2; AX=[SS:SP]
c) SP=SP+2; AX=[SS:SP] d) AX=[SS:SP]; SP=SP+2

8. O diagrama temporal da figura do lado representa um ciclo de:

- a) Leitura de um dispositivo mapeado no espaço de endereçamento de memória
- b) Escrita num dispositivo mapeado no espaço de endereçamento de I/O
- c) Escrita num dispositivo mapeado no espaço de endereçamento de memória
- d) Leitura de um dispositivo mapeado no espaço de endereçamento de I/O



9. Num porto de entrada constituído por buffers tri-state, o sinal de activação activo baixo (\overline{EN}) é obtido a partir dos sinais \overline{CE} e \overline{RD} de acordo com a expressão lógica:

- a) $\overline{EN} = (\overline{CE} + \overline{RD})$
- b) $\overline{EN} = (\overline{CE} \cdot \overline{RD})$
- c) $\overline{EN} = \overline{CE} \cdot \overline{RD}$
- d) $\overline{EN} = \overline{CE} + \overline{RD}$

10. Numa transferência assíncrona:

- a) Assume-se que o dispositivo externo responde à velocidade do CPU e, consequentemente, não existem sinais de protocolo envolvidos na transacção
- b) O CPU prolonga o ciclo de leitura/escrita até que o dispositivo externo sinalize que a operação pretendida foi completada
- c) O CPU prolonga o ciclo de leitura/escrita por um ou mais ciclos de relógio, em função de um sinal de protocolo gerado pelo dispositivo externo
- d) Nenhuma das anteriores

11. Quando é usada a técnica de entrada/saída de dados por interrupção:

- a) O periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados
- b) O periférico faz um pedido de interrupção ao CPU após a conclusão de transferência de dados
- c) O CPU verifica através de um ciclo de polling se o periférico está pronto para transferir os dados
- d) Nenhuma das anteriores

12. Num sistema com interrupções vectorizadas:

- a) Os periféricos podem estar agrupados numa cadeia daisy-chain
- b) A identificação da fonte é realizada por hardware
- c) A cada periférico é atribuído um vector único
- d) todas as anteriores

13. Num sistema baseado num processador da arquitectura Intel x86, a memória apresenta, a partir do endereço 0000:0004E, o seguinte conteúdo: 3B 45 12 89 7C 9F 8D 6B. O endereço da rotina de serviço à interrupção aí programado e o correspondente vector são:

- a) Endereço = 3B45:1289, Vector = 19
- b) Endereço = 9F7C:8912, Vector = 20
- c) Endereço = 1289:7C9F, Vector = 20
- d) Endereço = 8D6B:7C9F, Vector = 21

14. Uma memória SRAM (RAM estática) possui relativamente a uma DRAM (RAM dinâmica) a vantagem de:

- a) Ser mais rápida
- b) Possuir um menor custo por bit
- c) Permitir densidades mais elevadas
- d) Nenhuma das anteriores

15. Numa memória dinâmica (DRAM).

- a) As células necessitam de refrescamento regular
- b) O barramento de endereços é multiplexado no tempo
- c) O tempo de acesso é independente da posição de memória acesada
- d) Todas as anteriores

16. Uma memória cache com mapeamento associativo (fully associative) e N linhas permite que um dado bloco de memória externa seja colocado na cache:

- a) Apenas numa linha predefinida
- b) Em qualquer linha
- c) Numa de N/2 linhas possíveis
- d) Nenhuma das anteriores

Grupo 3

17. Num espaço de endereçamento de 16 bits, um decodificador implementado através da expressão lógica “ $CE = A_{15} + A_{14} + A_{12}$ ”, descodifica a(s) seguinte(s) gama(s) de endereço(s):

- a) 0x8000 a 0x8FFF, 0xA000 a 0xAFFF
- b) 0x8000 a 0x8FFF
- c) 0x5000 a 0x5FFF, 0x70000 a 0x7FFF
- d) 0x5000 a 0x5FFF

18. Num sistema de interrupções vectorizadas, a sequência de operações efectuada pelo CPU na fase de atendimento a uma interrupção é, pela ordem indicada, a seguinte:

- a) Identificação da fonte, determinação do endereço da RSI, salvaguarda do endereço de retorno, salto para RSI
- b) Salto para a RSI, identificação da fonte, determinação do endereço da RSI, salvaguarda do endereço de retorno
- c) Determinação do endereço da RSI, identificação da fonte, salvaguarda do endereço de retorno, salto para a RSI
- d) Nenhuma das anteriores

19. Na arquitectura Intel x86, no atendimento a uma interrupção (em modo real), o CPU efectua, entre outras, as seguintes operações:

- a) Salvaguarda na stack o registo flags e o endereço (segmento e offset) da rotina de serviço à interrupção e desactiva as interrupções
- b) Salvaguarda na stack os registos flags, CS, IP e o endereço (segmento e offset) da rotina de serviço à interrupção e desactiva as interrupções
- c) Salvaguarda na stack os registos flags, CS e IP, e desactiva as interrupções
- d) Salvaguarda na stack o registo flags e desactiva as interrupções; os restantes registos não são automaticamente salvaguardados, sendo da responsabilidade do programador fazê-lo

20. Considere um timer de 8 bits que funciona, em modo, alternado, com duas constantes de divisão KA e KB. Utilizando o timer como divisor de frequência e supondo que a frequência de entrada é 2 MHz, a mínima frequência de saída que é possível obter é, aproximadamente:

- a) 2 KHz
- b) 4 KHz
- c) 8 KHz
- d) 125 KHz

21. Considere um watchdog timer, com uma frequência de entrada de 1 MHz, construído a partir de um contador de 8 bits que, sempre que a contagem atinge o valor máximo, força o reset do processador que está a monitorizar. O programa a correr nesse processador tem que, periodicamente, colocar o valor do contador a 0. De modo a impedir o reset do processador, o período de actuação no watchdog timer não pode ser superior a, aproximadamente:

- a) 0,25 ms
- b) 0,5 ms
- c) 1,0 ms
- d) 2 ms

22. O trecho de código assembly Intel x86 seguinte envia 2000 caracteres para um dispositivo

```
send:      mov     bx, 0x2800
           mov     dx, 0x1000
           mov     cx, 2000
s1:        in      al, dx
           and     al, 0x06
           jz      al
           mov     al, [bx]
           out     dx, al
           inc     bx
           dec     cx
           jnz     al
           ret
```

Admitindo que este código é executado num processador de 10 MIPS (executa 10×10^6 instruções/seg) e que o ciclo de polling é efectuado em média 5 vezes, a taxa de transferência média que se obtém é, aproximadamente:

- a) 500 KB/s b) 1 MB/s c) 1,25 MB/s d) 10 MB/s

23. Numa transferência por DMA, quando o controlador de DMA pretende dar início à transferência:

a) Gera uma interrupção ao CPU que é interpretada como um pedido para cedência dos barramentos; a transferência tem início quando o DMA receber a confirmação, através do sinal busgrant, de que os barramentos foram libertados

b) Informa o CPU, através da linha busreq, que vai dar início à transferência e inicia-a de imediato. Quando o CPU necessitar de aceder à memória activa o sinal busgrant e o DMA suspende, temporariamente, a transferência

c) Gera uma interrupção ao CPU sinalizando-o, dessa forma, que vai dar início à transferência

d) Reusita ao CPU o controlo dos barramentos, através do sinal busreq, iniciando a transferência logo que se torne no bus master

24. Para a transferência de 1024 words (de 16 bits) um controlador de DMA de 8 bits, não dedicado, a funcionar em modo bloco, demora:

- a) 8192 bus cycles b) 4096 bus cycles c) 2048 bus cycles d) 1024 bus cycles

25. Numa memória dinâmica (DRAM) de $8M \times 16$ o número de transistores que constitui a área de armazenamento é, aproximadamente:

- a) 805×10^6 b) 9×10^6 c) 50×10^6 d) 134×10^6

26. O número de bits dos barramentos de endereços e de dados de uma memória dinâmica (DRAM) de $8M \times 8$ é, respectivamente:

- a) 11 e 16 b) 12 e 16 c) 16 e 8 d) 23 e 16

27. Os parâmetros relativos a um ciclo de leitura de uma memória dinâmica (DRAM) de $16M \times 8$ são os seguintes: Access time from RAS=20 ns; Access time from CAS=10 ns; RAS width=40 ns; Cycle time=50 ns; Precharge time=10 ns. Utilizando este ciclo de leitura, a taxa de transferência máxima que é possível obter é:

- a) 7 MB/s b) 10 MB/s c) 20 MB/s d) 40 MB/s

28. Na memória da questão anterior ($16M \times 8$), os parâmetros relativos a um ciclo de refrescamento são os seguintes: RAS width=40 ns; Cycle time=50 ns; Precharge time=10 ns. O tempo necessário para efectuar um refrescamento completo à memória é, aproximadamente:

- a) 50 ns b) 204 us c) 408 us d) 838 ms

29. Considere um processador com um espaço de endereçamento de 32 bits e uma memória cache de mapeamento directo com 512 linhas de 128 bytes cada uma. A dimensão, em bits, dos campos tag, group e byte é:

- a) Tag: 7; Group: 16; Byte: 9 b) Tag: 9; Group: 7; Byte: 16
c) Tag: 16; Group: 9; Byte: 7 d) Nenhuma das anteriores

30. Considere uma cache com associatividade de 2 de 256 bytes em que a dimensão de cada bloco é de 16 bytes. Numa cache com estas características o bloco que contém o endereço de memória 0x9C (156 em decimal) pode ser colocado na linha:

- a) 1 b) 0 c) 6 d) 9

31. Pretende-se implementar um módulo de memória DRAM de 512Mx8 a partir de circuitos de memória de 32Mx1. O número de circuitos de memória de 32Mx1 que é necessário organizar é:

- a) 8 b) 16 c) 24 d) 128

32. Considere um sistema constituído por um microprocessador com um barramento de dados de 8 bits a funcionar a 10 MHz e ligado a uma memória SRAM de 128x8. A figura seguinte apresenta os diagramas temporais relativos a um ciclo de leitura da memória pelo microprocessador. Suponha que o atraso introduzido pelo circuito de decodificação da memória é de 10 ns, que no barramento de dados entre a memória e o CPU existe um buffer que introduz um atraso de propagação de 7 ns e que o tempo de setup do processador é de 3 ns. Para que o sistema funcione correctamente, o limite superior para o tempo de acesso da memória deverá ser:

- a) 80 ns b) 233 ns c) 230 ns d) 100 ns

