

Questões escolha múltipla primeira parte:

24 – Considere um Watchdog com uma frequência de entrada de 100KHz, contra ?? (..) um contador de 8 bits que, sempre que atingir o valor máximo da contagem, força o reset do p...?? (..) monitorizar. O programa a correr nesse processador, tem que periodicamente colocar (...) a 0. De modo a impedir o reset do processador o período de actuação do watchdog deveria ser superior a, aproximadamente:

- a) 80micro seg b) 39 nano seg c) 2,5 ms d) 1,2 micro seg

Fout= Fin/K Como estão em falar em tempos $250=T/100K$ o que vai dar $T=2,5ms$

25- Numa transferência DMA quanto do controlador de DMA pretende dar início à transferência:

- a) Gera uma interrupção ao CPU que é interpretado como um pedido de cedência dos barramentos a transferência tem início quando o DMA receber a confirmação, através do sinal de busgrant de que os barramentos foram libertados
- b) Requisita ao CPU o controlo dos barramentos através do sinal busreq, iniciando a transferência logo que se torne no bus master.
- c) Informa o CPU através do busreq que vai dar início à transferência (...) quando o CPU necessitar de aceder à memória, activa o sinal busgrant (...) temporariamente, a transferência.
- d) Gera uma interrupção ao CPU sinalizando que vai dar início ao processo de transferência

Resposta b)

17 - Num sistema de interrupções vectorizadas:

- a) A identificação da fonte é realizada por hardware.
- b) Os periféricos podem estar agrupados em cadeia
- c) A cada periférico é atribuído um vector único
- d) Todas as anteriores

Todas as anteriores

18- Numa memória estática SRAM:

- a) As células necessitam de refrescamento regular
- b) O tempo de acesso é independente da posição
- c) O barramento de endereços é multiplexado (...)
- d) Todas as anteriores

Sem certezas b) porque nos acetatos fala de multiplexagem para a DRAM

9 – O número de bits de um barramento de endereços e de dados de uma memória dinâmica de 16Mx32 é respectivamente:

- a) 24 e 32
- b) 32 e 24

c) 12 e 32

d) 16 e 32

Resposta a) $16=2^4$ $2M=2^{20}$ $==== 24$

8- Numa memória dinâmica de 64Mx8 o número de transístores que constitui a área de armazenamento é aproximadamente:

a) 537×10^6

b) 67×10^6

c) 403×10^6

d) 3220×10^6

Na memória dinâmica existe um transístor por célula por isso $64 * 2^{20} * 8 = a$)

10- Num espaço de armazenamento de 16 bits, um decodificador implementa através da (...) “CE\=A15+A13+A11”, decodifica a(s) seguinte(s) gama(s) de endereço(s).

a) 0x2000 a 0x37FF, 0x6000 a 0x77FF

b) 0x2000 a 0x27FF, 0x3000 a 37FF, 0x6000 a 0x67FF, 0x7000 a 0x77FF

c) 0x8800 a 0x8FFF, 0x9800 a 0x9FFF, 0xC800 a 0xCFFF, 0xD800 a 0xDFFF

d) Nenhuma das anteriores

Resposta b) tem que se fazer as várias hipóteses de 1 e 0

11- Na arquitectura intel x86, no atendimento de uma interrupção (em modo real) o CPU efectua as seguintes operações:

a) Salvar na stack o registo flags e o endereço (seg e off) da rotina de serviço à interrupção e desactivar as interrupções.

b) Salvar na stack os registos flags IP e CS e o endereço (seg e off) da rotina de serviço à interrupção e desactivar as interrupções.

c) Salvar na stack o registo flags e desactivar as interrupções, os restantes registos são automaticamente salvaguardados e é da responsabilidade do programador (...)

d) (..)

Sem certeza c)

21 – O trecho de código em assembly x86 seguinte envia 20000 caracteres para um periférico.

```
Send:  mov    bx,    0x2800
        mov    dx,    0x1000
        mov    cx,    20000
s1:    in      al,    dx
        and    al,    0x06
        cmp    al,    0x06
        je     s1
        mov    al,    [bx]
        out    dx,    al
        inc    bx
        dec    cx
        jnz    s1
        ret
```

Admitindo que o código é executado num processador de 20 MIPS (executa $2 \cdot 10^7$) (...) ciclo de polling é efectuado em media 5 vezes, a taxa de transferência (...) aproximadamente:

- a) 1,6KB/s
- b) 20MB/s
- c) 4MB/s
- d) 800KB/s

São 25 instruções porque as 3 primeiras não contam e como à polling $4 \cdot 5 + 5$
E depois $2 \cdot 10^7 / 25 =$ d)

Para as respostas á 4 questões seguintes considere o trecho de código Assembly x86 e o valor dos registos internos que se apresentam de seguida:

DS= 0x12B0 AX= 0x1234 SS= 0xF000 Dx= 0x713A SP= 0x7F00 SI= 0x0000
ES= 0x3F50 BX= 0x150A CS= 0xA15C CX= 0x01F4 IP= 0x378A DI= 0xFFFF

Endereço -----menemonica

A15C: 378^a mov al,[bx]
A15C: 378C push ax
A15C: 378D call 0x5678
A15C: 3790 mov dx,0x5A63
A15C: 3793 out dx,al

1) A próxima instrução a ser executada é:

- a) mov al,[bx]
- b) push ax
- c) call 0x5678
- d) mov dx,0x5A63

pelo cs :ip a)

2) O endereço físico de memória e que esta referenciado pela instrução “MOV AL,[BX]” é:

- a) 0xF150A
- b) 0XA2AC0
- c) 0X1400A
- d) 0x40A0A
- e)

Shift à esquerda DS porque é memória (se fosse código era CS) e somas BX logo dá c)

3) O valor do registo SP após a execução da instrução “Push AX” é:

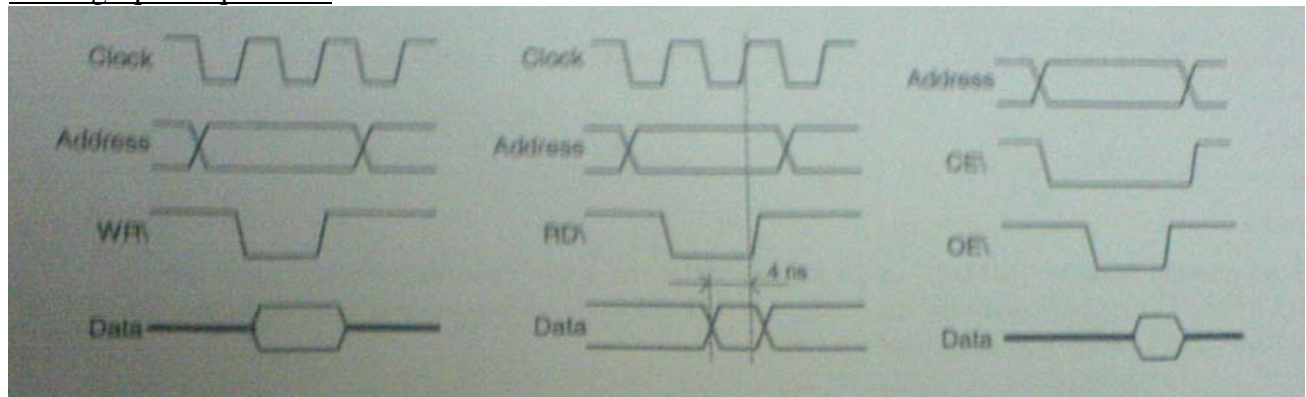
- a)....

Fazer apenas SP-2

4) O conteúdo do topo da stack após a instrução “call 0x5678” é:

Stack grava o endereço da instrução seguinte 0x3790

Outro grupo de questões:



- 1) Se a frequência de relógio do CPU for 40 MHz, a transferência de informação da memória para o CPU só é possível introduzindo *wait states* no ciclo de leitura. Determine o número de *wait states* necessário para que o sistema funcione correctamente. Justifique os seus cálculos.
- 2) O sistema inclui um controlador de DMA não dedicado que funciona com uma frequência de relógio de 20 MHz e em que os ciclos de leitura e escrita são os apresentados anteriormente para o microprocessador. Determine a máxima taxa de transferência (bytes/seg) que é possível obter com este controlador, admitindo um funcionamento em modo bloco (note que o barramento de dados é de 32 bits). Justifique os seus cálculos.
- 3) Suponha que a memória SRAM de 256Kx32 é um módulo construído a partir de circuitos integrados de 64Kx32. Apresente o diagrama lógico detalhado da organização desse módulo de memória, bem como o bloco lógico resultante e respectivos sinais de interface (utilize todos os sinais de interface necessários e indique claramente a dimensão e composição de todos os barramentos que utilizar).

Sem conseguires resolver a pergunta 17 ou acrescentar algum dado em falta que ajude a elucidar este tipo de problema só para dar o exemplo, era óptimo:

time from RAS=50 ns; Access time from CAS=20 ns; RAS width=75 ns; Cycle time=100 ns; Precharge time=25 ns. Utilizando este ciclo de leitura, a taxa de transferência máxima que é possível obter é:

- a) 10 MB/s
- b) 20 MB/s
- c) 40 MB/s
- d) 13,3 MB/s

18) Na memória da questão anterior (64Mx8), os parâmetros relativos a um ciclo de refrescamento são os seguintes: RAS width=75 ns; Cycle time=100 ns; Precharge time=25 ns. O tempo necessário para efectuar um refrescamento completo à memória é, aproximadamente:

- a) 1,6 μ s
- b) 0,8 ms
- c) 6,4 μ s
- d) 100 ns

19) Considere um processador com um espaço de endereçamento de 32 bits e uma memória cache de mapeamento directo com 1024 blocos de 64 bytes cada um. A dimensão, em bits, dos campos "tag", "group" e "byte" é:

- a) Tag: 10; Group: 16; Byte: 6
- b) Tag: 16; Group: 6; Byte: 10
- c) Tag: 16; Group: 10; Byte: 6
- d) Nenhuma das anteriores

20) Considere uma cache com associatividade de 2 de 64 bytes em que a dimensão de cada bloco é de 4 bytes. Numa cache com estas características o bloco que contém o endereço de memória 0x8D (141₁₀) pode ocupar a posição:

- a) 6
- b) 9
- c) 0
- d) 3

17) a parte que não se lê deve com quase toda a certeza dizer que lê um byte por ciclo por isso $1 \text{ byte} / 100\text{ns} = 10\text{MB}$ (eu lembro-me do Azevedo falar desta resposta!)

18) tempo de refrescamento = RAS+ precharge time= 75 + 25=100ns

19) $1024 = 2^{10}$ -----tag
 $2^6=64$ -----byte

$2^{10}\text{blocos} \quad 2^{32} / 2^6 = 2^{26}$

A diferença $26-10= 16$ -----group

20) ☹ não sei!