

1) Quando se efectua uma opera  o de "Call" o que   guardado na stack:

a) O IP e as flag b) O IP c)... d)....

2) O conte do dos registo AL e DH   respectivamente 63H e 24H. Como ficar o as flags ap s a opera  o add AL, DH?

a)... b)... c)... d)....

Resposta: zero=0; carry=0; signal=1; overflow=1

4) O que se encontra na tabela das interrup  es:

a)O vector das interrup  es b)O in cio do c digo RSI c)... d)....

Resposta: o vector que aponta para a tabela com as RSI

6)

Resposta : Micro-ciclo

Nota: vejam os slides 4-5 da aula 8

7) Na trama RS232 s o detectados erros 

Resposta: pela compara  o do n  de bits a  l  com o parity bit

Nota: ver slide 5 aula 15e16

8) Quando o CPU, recebe uma interrup  o vectorizada, como   detectado o perif rico que a gerou?

a)Atrav s de software.... b)Atrav s de software... c)Mal   gerada a interrup  o   logo lan ada o vector d)Por hardware

Resposta: hardware  com o interrupt acknowledge

9) SPI

Resposta: Master clock   comum a todos os dispositivos

11) USB

Resposta: O root hub   sempre a fonte ou o destino do fluxo de informa  o de um canal de comunica  o

Nota: ver slides 13-17 das aulas 18e19

12) USB

Resposta: Quando   alimentado um perif rico a um hub alimentado   poss vel alimenta-lo primariamente a 100 mA e depois a 500 mA

14)   n  de Page tables   igual ao:

a)M ximo de mem ria f sica b) n  m ximo de paginas virtuais c)N  de p ginas do processo d)....

Resposta: n  de page tables   igual ao n  de p ginas virtuais

15) Na TLB quando o 1  bit est  a  l  quer dizer 

Resposta: a) que a p g. est  a ser utilizada c) que est  no espa o f sico da mem.

Nota: os profs consideram as duas respostas certas, mas a que queriam era a 1 a

16) Como   feita a tradu  o de end. Virtuais em end. F sicos 

17) ver perg. 28 ac2_teorico_2008.pdf

Uma mem ria DRAM de 2Mx8, tem 2048 colunas, o seu RAS   de 50ns e o precharge de 25ns. Quanto tempo demoraria a actualizar toda a mem ria

a)... b)... c)... d)....

18) Uma memória SRAM

- a) Multiplexado no tempo b) Tem barramento de dados e de endereços multiplexado c) Tem duas strobes
- d) Nenhuma das anteriores

Resposta: d) nenhuma das anteriores

19) Temos uma memória SRAM de 64Kx8, quantos transistores há?

- a) ... b) ... c) ... d) ...

Resposta: $64000 \times 8 \times 6$

20) ver pergunta 30 ac2_teorico_2008.pdf

Resposta: d) nenhuma das anteriores

21) timers e duty-cycle

22) ver 17 ac2_teorico_2008.pdf

23) $F_{cpu} = 200\text{MHz}$; 3 WaitStates

Tempo de acesso?

24) Referente ao I2C - dois masters (1 e 2) com endereços 0x36 e 0x37 transferem para dois Slaves (1 e 2) uma certa quantidade de dados. A transmissão Master1 - Slave1 é de 200bits e a transmissão Master2 - Slave2 é de 20bits.

- a) Master 1 porque o endereço é + pequeno b) Master 2 porque o endereço é maior c) Master 1 porque transfere + bytes d) Master 2 porque transfere menos bytes

Resposta: Master1 / Slave1 pq o endereço do slave é + pequeno

25) Referente ao I2C - Tens 2 slaves, as transferências para o S1 e S2 demoram respectivamente 2ps e 4ps. $F_{rel} = 1\text{MHz}$ Qual é a taxa de transferência:

- a) 1 Mbit/s b) 2 Mbits/s c) 500Mbit d) ...

Resposta: 500Kbits

26) Em USB qual o tipo de transferência que assegura latência e largura de banda?

- a) Controlo; b) Isócronas; c) por Interrupt; d) Bulk

Resposta: b)

27) Um bloco DRAM de $32\text{M} \times 4$ ligado a +5volts com entradas independentes para read e write quantos pínos tem?

- a) 21 b) 23 c) 35 d) nenhuma das anteriores

Resposta: b)

Nota: 13 pra endereço + 4 pra dados + 2 pra alimentação + CAS e RAS + RD e WR

28) 2 blocos de memória quando presentes em cache em mapeamento directo ou parcialmente associativo encontram-se em linhas distintas da cache para:

Resposta: tirar melhor partido da localidade espacial

29) ver pergunta 31 ac2_teorico_2008.pdf

30) Quando recebe o page default

- a) O SO suspende o processo e lança outro..... b) c) ... d) ...

Resposta: abre excepção e suspende o processo e transfere pág. em falta