



POLITECNICO
MILANO 1863

Prova Finale (Progetto di Reti logiche)

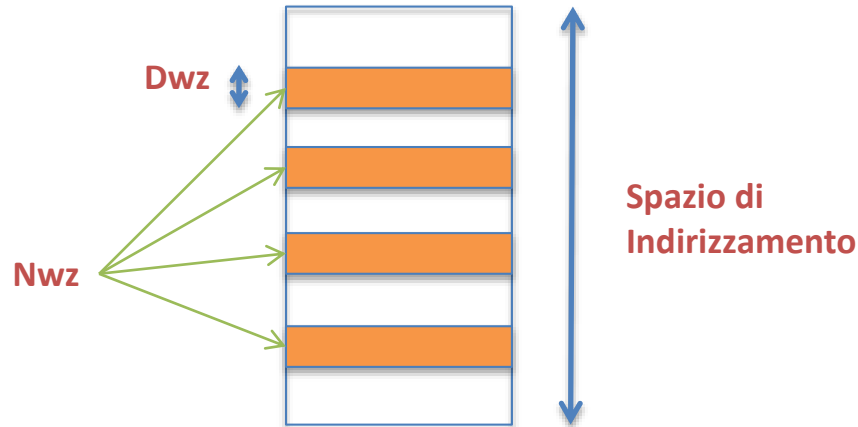
Prof. Gianluca Palermo

Descrizione generale

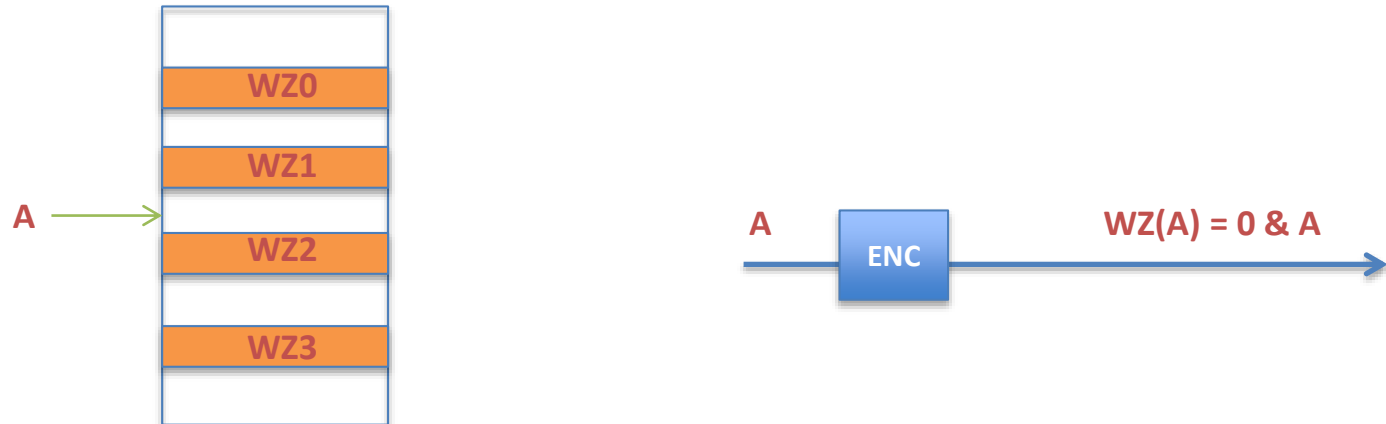
- La specifica della Prova finale (Progetto di Reti Logiche) 2019 è ispirata al metodo di codifica a bassa dissipazione di potenza denominato “Working Zone”.
- Il metodo di codifica Working Zone è un metodo pensato per il Bus Indirizzi che si usa per trasformare il valore di un indirizzo quando questo viene trasmesso, se appartiene a certi intervalli (detti appunto working-zone).



- Una working-zone è definita come un intervallo di indirizzi di dimensione fissa (Dwz) che parte da un indirizzo base. All'interno dello schema di codifica possono esistere multiple working-zone (Nwz).



Se l'indirizzo da trasmettere (ADDR) non appartiene a nessuna Working Zone, esso viene trasmesso così come è, e un bit addizionale rispetto ai bit di indirizzamento (WZ_BIT) viene messo a 0. In pratica dato ADDR, verrà trasmesso $WZ_BIT=0$ concatenato ad ADDR ($WZ_BIT \& ADDR$, dove $\&$ è il simbolo di concatenazione);



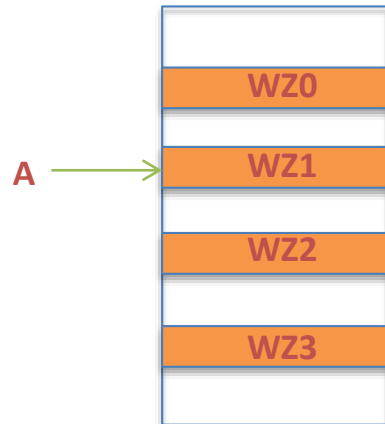
CODIFICA

Se l'indirizzo da trasmettere (ADDR) appartiene ad una Working Zone, il bit aggiuntivo WZ_BIT è posto a 1, mentre i bit di indirizzo vengono divisi in 2 sotto campi rappresentanti:

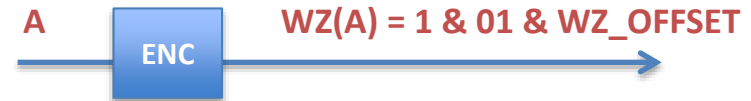
Il numero della working-zone al quale l'indirizzo appartiene WZ_NUM, che sarà codificato in binario

L'offset rispetto all'indirizzo di base della working zone WZ_OFFSET, codificato come one-hot (cioè il valore da rappresentare è equivalente all'unico bit a 1 della codifica).

In pratica dato ADDR, verrà trasmesso WZ_BIT=1 concatenato ad WZ_NUM e WZ_OFFSET (WZ_BIT & WZ_NUM & WZ_OFFSET, dove & è il simbolo di concatenazione)



$$WZ_OFFSET = ONE_HOT(A - WZ1_BASE)$$



One Hot Encoding

E' un metodo di codifica che usa N bit per codificare N simboli diversi

Simbolo	Binario	OneHot
0	000	00000001
1	001	00000010
2	010	00000100
3	011	00001000
4	100	00010000
5	101	00100000
6	110	01000000
7	111	10000000

DETTAGLI IMPLEMENTATIVI

Nella versione da implementare il numero di bit da considerare per l'indirizzo da codificare è 7. Il che definisce come indirizzi validi quelli da 0 a 127. Il numero di working-zone è 8 ($N_{wz}=8$) mentre la dimensione della working-zone è 4 indirizzi incluso quello base ($D_{wz}=4$). Questo comporta che l'indirizzo codificato sarà composto da 8 bit: 1 bit per WZ_BIT + 7 bit per $ADDR$, oppure 1 bit per WZ_BIT , 3 bit per codificare in binario a quale tra le 8 working zone l'indirizzo appartiene, e 4 bit per codificare one hot il valore dell'offset di $ADDR$ rispetto all'indirizzo base.

Il modulo da implementare leggerà l'indirizzo da codificare e gli 8 indirizzi base delle working-zone e dovrà produrre l'indirizzo opportunamente codificato.

DATI

I dati ciascuno di dimensione 8 bit sono memorizzati in una memoria con indirizzamento al Byte partendo dalla posizione 0. Anche l'indirizzo che è da specifica di 7 bit viene memorizzato su 8 bit. Il valore dell'ottavo bit sarà sempre zero.

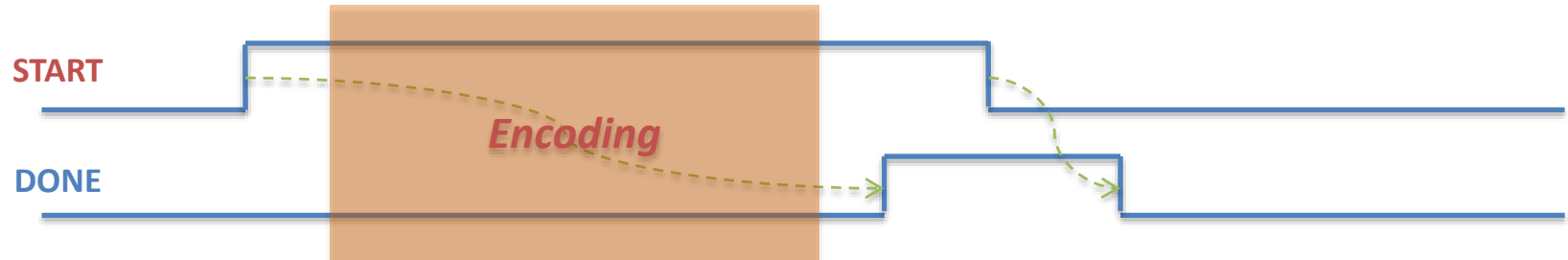
- Le posizioni in memoria da 0 a 7 sono usati per memorizzare gli otto indirizzi base delle working-zone:
 - 0 - Indirizzo Base WZ 0
 - 1 - Indirizzo Base WZ 1
 - ...
 - 7 - Indirizzo Base WZ 7
- La posizione in memoria 8 avrà al suo interno il valore (indirizzo) da codificare (ADDR);
- La posizione in memoria 9 è quella che deve essere usata per scrivere, alla fine, il valore codificato secondo le regole precedenti.

Note ulteriori sulla specifica

1. Nella codifica 1 hot si consideri il bit 0 come il meno significativo. In pratica:
 - `WZ_OFFSET = 0` è codificato one hot come 0001;
 - `WZ_OFFSET = 1` è codificato one hot come 0010;
 - `WZ_OFFSET = 2` è codificato one hot come 0100;
 - `WZ_OFFSET = 3` è codificato one hot come 1000;
2. Riprendendo ancora la specifica, il valore codificato sarà così composto:
 - Bit 7: valore del singolo bit di `WZ_BIT`;
 - Bit 6-4: valore codificato binario di `WZ_NUM`;
 - Bit 3-0: valore codificato one-hot di `WZ_OFFSET`
3. Se serve, si consideri che gli indirizzi base delle working-zone non cambieranno mai all'interno della stessa esecuzione;

Note ulteriori sulla specifica (CONT...)

4. Il modulo partirà nella elaborazione quando un segnale START in ingresso verrà portato a 1. Il segnale di START rimarrà alto fino a che il segnale di DONE non verrà portato alto; Al termine della computazione (e una volta scritto il risultato in memoria), il modulo da progettare deve alzare (portare a 1) il segnale DONE che notifica la fine dell'elaborazione. Il segnale DONE deve rimanere alto fino a che il segnale di START non è riportato a 0. Un nuovo segnale start non può essere dato fin tanto che DONE non è stato riportato a zero. Se a questo punto viene rialzato il segnale di START, il modulo dovrà ripartire con la fase di codifica.



CASO 1 CON VALORE NON PRESENTE IN NESSUNA WORKING-ZONE

Indirizzo Memoria	Valore	Commento
0	4	// Indirizzo Base WZ 0
1	13	// Indirizzo Base WZ 1
2	22	// Indirizzo Base WZ 2
3	31	// Indirizzo Base WZ 3
4	37	// Indirizzo Base WZ 4
5	45	// Indirizzo Base WZ 5
6	77	// Indirizzo Base WZ 6
7	91	// Indirizzo Base WZ 7
8	42	// ADDR da codificare

CASO 2 CON VALORE PRESENTE IN UNA WORKING-ZONE

Indirizzo Memoria	Valore	Commento
0	4	// Indirizzo Base WZ 0
1	13	// Indirizzo Base WZ 1
2	22	// Indirizzo Base WZ 2
3	31	// Indirizzo Base WZ 3
4	37	// Indirizzo Base WZ 4
5	45	// Indirizzo Base WZ 5
6	77	// Indirizzo Base WZ 6
7	91	// Indirizzo Base WZ 7
8	33	// ADDR da codificare

Interfaccia del Componente

```
entity project_reti_logiche is
  port (
    i_clk           : in  std_logic;
    i_start         : in  std_logic;
    i_rst           : in  std_logic;
    i_data          : in  std_logic_vector(7 downto 0);
    o_address       : out std_logic_vector(15 downto 0);
    o_done          : out std_logic;
    o_en            : out std_logic;
    o_we            : out std_logic;
    o_data          : out std_logic_vector (7 downto 0)
  );
end project_reti_logiche;
```

Regole

Compito dello studente è quello di descrivere in VHDL e sintetizzare il componente HW che implementa la specifica richiesta, interfacciandosi con una memoria dove sono memorizzati i dati e dove andrà scritto il risultato finale. Allo studente verrà fornito un Test Bench **di esempio** (che include la memoria) per validare il corretto funzionamento del modulo implementato.

- Il progetto può essere svolto in gruppi composti da un massimo di 2 studenti che debbono avere il medesimo docente di riferimento.
- Il progetto è una attività autonoma che non coinvolge in nessun modo il corpo docente a meno di chiarimenti sulla specifica di progetto.
- Nel caso il testo di specifica risulti incompleto, è compito del gruppo di lavoro contattare i docenti motivando accuratamente la ragione della incompletezza.
- Strumento di sintesi da usare è XILINX VIVADO WEBPACK e la FPGA target può essere qualunque. NOTA: Si suggerisce l'uso della FPGA xc7a200tfbg484-1
- Il progetto deve funzionare con un periodo di clock di almeno 100 ns;

Valutazione

- Un componente descritto e simulabile correttamente in pre-sintesi viene valutato fino ad un massimo di 24.
- Un componente anche sintetizzabile e correttamente simulabile in post-sintesi può ottenere una valutazione superiore a 24 (fino a 30 per un progetto fatto in coppia, fino a 30L per un progetto svolto da un singolo studente).
- Il voto finale, in entrambi i casi, terrà conto dei test superati dal componente, dal codice VHDL e dalla relazione presentata (incluse le scelte progettuali).
- Lo studente deve allegare al progetto anche la documentazione. Quest'ultima deve includere: 1) specifiche di progetto 2) scelte progettuali 3) risultati dei test fatti e le ragioni di tali test - motivare le scelte - 4) risultati della sintesi. La qualità della relazione concorre alla definizione del voto complessivo
- **ATTENZIONE: non è possibile rifiutare il voto finale.** Questo è dovuto alla tipologia del progetto che è considerato, da regolamento didattico, una "PROVA FINALE".

Criteri di Consegna

- La specifica del progetto resta invariata per tutto l'anno accademico. La consegna del progetto **può essere fatta solo** una volta nell'arco dell'anno accademico con la possibilità di una ed unica risottomissione in caso di insufficienza (si legga la nota successiva).
- **NOTA:** nel caso che la prima consegna risulti insufficiente ($9 < x < 18$) viene consentita, a parere insindacabile del docente, una successiva consegna; la valutazione, in questo frangente, **non potrà superare in nessun caso 21/30**. Non sono previste eccezioni e/o compensazioni. **Ai progetti la cui valutazione è inferiore ai 10/30 non verrà offerta la possibilità di riconsegna.**
- **ATTENZIONE:** in caso di bocciatura (valutazione che si ottiene in due casi: progetti la cui valutazione è inizialmente inferiore ai 10/30, progetti risultati insufficiente dopo la seconda consegna) il candidato verrà rimandato all'anno accademico successivo.
- **ATTENZIONE:** Nel caso il candidato non riesca a superare positivamente la valutazione del progetto entro l'ultima consegna, dovrà sostenere la "PROVA FINALE" con il progetto dell'anno accademico successivo.

Consegna del progetto

Per la consegna dei progetti verrà predisposta una cartella su BeeP per ogni sessione d'esame. All'interno di questa cartella ogni studente o gruppo di studenti dovrà caricare esattamente due file:

- un solo file con il codice VHDL - Il file caricato dovrà essere nominato `codicePersona.vhd` (esempio `10499233.vhd`). **IMPORTANTE:** gli studenti che lavorano in gruppo dovranno caricare un file solo, usando il codice persona di entrambi i due studenti (`codicePersona1_codicePersona2.vhd`). La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.
- un solo file PDF con la documentazione - In questo caso il nome del file caricato dovrà essere `codicePersona.pdf`, o `codicePersona1_codicePersona2.pdf` con lo stesso ordine usato per il file VHDL di cui sopra.

Date per la consegna

Le date previste per le tre sessioni sono:

- I consegna entro 1 Febbraio 2020, Per potersi laureare a Marzo
- II consegna entro 1 Aprile 2020,
- III consegna entro 15 Maggio 2020,
- IV consegna entro 15 Giugno 2020, Per potersi laureare a Luglio
- V consegna entro 15 Luglio 2020,
- VI consegna entro 1 Settembre 2020, Per potersi laureare a Settembre/Ottobre
- VII consegna 15 Settembre 2020

