



15  
1. (2,0) Implemente uma função chamada `insere_e_soma` usando o ISA do RISC-V. A função é usada como parte da implementação do jogo de Blackjack (21) e recebe em `a0` o endereço inicial do vetor de cartas de um jogador e em `a1` a carta a ser inserida neste vetor. A função retorna em `a0` a soma atual das cartas do jogador. Além de inserir a carta no vetor, a função deve realizar a soma do valor das cartas no vetor e retornar em `a0`. O 'As' deve ser computado como 11 e, no caso da soma exceder 21, deve ser computada como 1. As cartas de número 11, 12 e 13 devem ser computadas com o valor 10. As cartas de 2 a 10 devem ser computadas com o valor nominal das mesmas. Qualquer valor diferente de 0 (zero) no vetor indica a existência de uma carta válida naquela posição do vetor. O valor 0 no vetor indica que a posição está livre. Exemplo –vetor atual: 8, 1, 0, 0, 0. carta em `a1` = 12. Significa que o jogador tem 2 cartas na mão, a posição de índice 2 está livre e a soma deve retornar 19 em `a0`.

0  
2. (2,5) Suponha um sistema computacional com endereçamento de  $2^{20}$  células. A cache associada a este sistema possui 32 linhas. Sabendo que cada linha contém 64 células, pergunta-se:

- a) Qual a quantidade de blocos existentes? Justifique.
- b) Qual é o número do bloco correspondente ao endereço  $EDCBA_{16}$ ?
- c) Considerando o mapeamento direto:
  - c1) Qual a divisão do endereço do ponto de vista da cache? Justifique.
  - c2) Qual é a linha de destino do endereço  $EDCBA_{16}$ ?
- d) Considerando o mapeamento associativo por conjuntos e que o sistema possui 8 conjuntos:
  - d1) Qual a divisão do endereço do ponto de vista da cache? Justifique.
  - d2) Qual é o conjunto de destino do endereço  $EDCBA_{16}$ ?
- e) Considerando o mapeamento direto, é possível haver dois rótulos idênticos na cache? Explique e exemplifique sua resposta.
- f) Considerando o mapeamento associativo, é possível haver dois rótulos idênticos na cache? Explique e exemplifique sua resposta.

10  
3. (1,0) Considere as afirmativas abaixo sobre Memória Virtual:

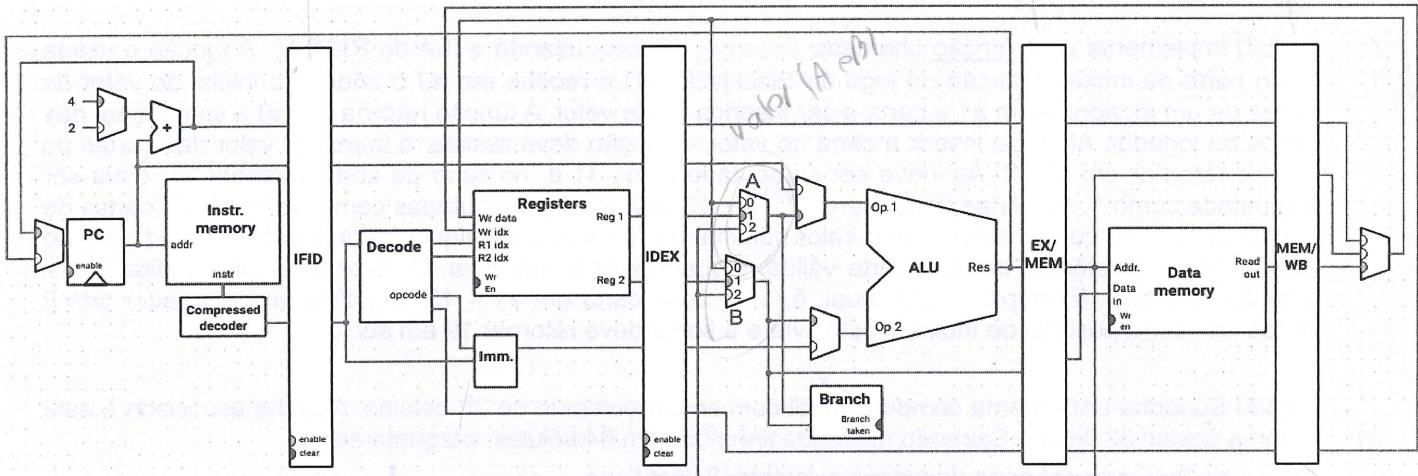
- I. O sistema operacional precisa copiar a tabela de páginas inteira durante a troca de contexto entre processos.
- II. Cada processo tem sua própria tabela de páginas, o que permite proteção entre os espaços de endereçamento.
- III. O número de entradas da tabela de páginas depende do número total de quadros da memória principal.
- IV. Se ocorrer uma falha de TLB, o sistema deve consultar a tabela de páginas para obter a tradução, o que pode resultar em uma falta de página adicional.
- V. Uma tabela de páginas em dois níveis permite reduzir o uso de memória, especialmente em espaços de endereçamento escassos.

Em relação as afirmativas acima é possível afirmar que:

- 1) Somente as afirmativas I, II e V são verdadeiras
- 2) Somente as afirmativas II, III e IV são verdadeiras
- 3) Somente as afirmativas I, III e IV são verdadeiras
- 4) Somente as afirmativas II, IV e V são verdadeiras

10

4. (2,0) O caminho de dados mostrado na figura abaixo permite fazer o adiantamento (forwarding) quando encontra um conflito de dados do tipo RAW.



- a) Considerando o programa abaixo, indique os valores de seleção do MUX A e do MUX B da figura acima durante a execução do código abaixo a cada ciclo de clock, a partir do clock 3 (os dois primeiros estão resolvidos). Os valores devem ser 0, 1, 2 ou X, sendo que o X significa que não importa o valor presente na seleção do MUX.

```

1 ADDI t2, t5, -1
2 ADD t5, t5, t2
3 ADD t4, t2, t0
4 LW t5, 20 (t4)
5 ADD t4, t2, t4
6 ADD t2, t4, t5
7 SW t4, 0 (t2)
8 LW t4, 4 (t2)

```

	CC1	CC2	CC3	CC4	CC5	CC6	CC7	CC8	CC9	CC10		
MUX A	1	1	0	1	0	0	0	1	0	0		
MUX B	1	1	0	2	1	2	1	0	2	0		

- b) Justifique sua escolha de valores nos ciclos de clock 4, 8 e 10. A justificativa deve informar o que está acontecendo no Pipeline e porque o valor escolhido fornece o valor adequado para a respectiva entrada da ULA.

5. (2,5) Considerando o pipeline de 5 estágios (IF/OF/EX/MEM/WB) do RISC-V sem adiantamento, apresente a evolução das instruções do programa abaixo no pipeline até a instrução NOP (linha 8) entrar no estágio de decodificação. Considere que o hardware insere bolhas (stalls) e eliminações (flush) para resolver os conflitos existentes. Considere que o BEQ (linha 3) é falso.

```

1 ADD t5, t5, t2
2 LW t0, 20 (t5)
3 BEQ t0, zero, fim IF false
4 J pula
5 ADDI t4, t4, -1
6 pula: SW t4, 0 (t5)
7 ADD t6, t6, t4
8 fim: ADDI t4, t6, 1
9 NOP

```



↳ insere e somar: mv \$4, %a // para retornar

Job 7:9-10; 12:15; 13:21; 14:19; 15:21-22

Table 10.2: The effect of the number of observations on the standard error of the estimate.

invoer in 510,10 euro wordt afgetrokken

elvare ab mædnes hū 511,0 væri ab idam og

071 Per corrispondere ai vostri segnalamenti

-0.052  $\text{Zn}^{2+}$ ; -0.052  $\text{Mg}^{2+}$ ; -0.052  $\text{Ca}^{2+}$ )

BNF (1), Zero, Computari - carta far

von abgelehnt ADO-Certis abhängt

• **Constitutive** • **Isomeric** • **Protein** • **Gene** • **Cell** • **Organism**

ADD - carta: abuso

sw at 9(90)

SW 21, 9(a0)

## MVL typical values

## SAL ESTAT - Valores

Estimated GPS error is  $\pm 5 \text{ ft}$

-मृत्यु देखने की विवरण - MV बना, 54 वर्ष की उम्र में देखने की विवरण

obras realizadas sobre todo o que admira de mais.

காலத்திலே முனிசிபல் குழுமம் என்ற பெயரை வீணாக விடுவது அதே நோக்கத்தினால் கூடும்.

(axial) 890° E 823

computer-carts; ADDL a0, a0, 4

## JAL frata - Valores

3 Per corre

H tratar\_valores:

mv t6, ra

sal check-dez

jal check-as

jal soma

mv ra, t6

ret

check-as:

BEG t1, a4, check-estouro

ret

check-estouro: addi t2, t1, 10

add t9, \$11, [2x10 zeros]

add t9, t5, \$10

blt t9, as, reduce-as

ret

reduce-as:

addi t4, t4, -10

ret

check-dez:

BGT t1, \$10, igual-dez

ret

igual-dez:

MV t1, \$10

ret

soma:

add \$11, \$11, t1

ret

2)  $2^{20}$  células  $2^5$  linhas  $2^6$  tamanho linha

a)  $2^{20} = 1,024 \times 10^6$   $B = 2^{15} = 32K$  blocos  
 $B = 32\ 768$

b) EDCBA = 14 13 12 11 10

1110 1101 1100 ~~1011~~ 1010,  
deslocamento

$B_{(EDCBA)} = 11011011100101_2 = 30437_{(10)}$

c) Proporção de blocos por linha:  $\frac{2^{15}}{2^5} = 2^{10}$

~~[rotul 10 bits]~~

e) Não, pois cada linha está reservada a determinados blocos. Portanto, dois rótulos idênticos estão destinados à mesma linha de cache, não sendo possível, na cache, a coexistência de rótulos idênticos em mapeamento direto. Exemplo: ao inserir um dado na cache, este irá substituir o dado escrito na linha a qual seu rótulo está destinado, como o rótulo é idêntico a linha de destino é a mesma.

# Erickson Giesel Möller

2) inf) Sim, pois o maleamento associativo é de livre associação para as linhas brutas cache, vai depender da política de endereçamento de memória.

Exemplo: ao inserir o mesmo endereço da memória de maneira consecutiva, em uma política FIFO, muita provavelmente os dois rótulos idênticos estarão na memória ao mesmo tempo, pois foram inseridos o primeiro não a ser inserido não cumpriu a regras da cache para ser substituído.

## 4-1 b. CC4 $\Rightarrow$

Existe um conflito RAW em que, no estágio de Buscas de Operando da função instrução da linha 2, o registrador ~~read~~ da instrução ainda não possui pelo write-back da instrução acima.

CC B $\Rightarrow$  OP2. (MUX B)

Garrison

Instrução	C14	C15	C16	C17	C18	C19	C20	C21	C22	C23	C24	C25	C26
SW	MEM	WB											
ADD	EX	MEM	WB										
ADDI	STALL	STALL	IF	EX	MEM	WB							
NDP			IF	FLUSH	FLUSH	FLUSH							