

МГТУ им. Н.Э. Баумана

Дисциплина Архитектура ЭВМ

Лабораторный практикум №3

по теме: «ИССЛЕДОВАНИЕ СИНХРОННЫХ СЧЕТЧИКОВ»

Работу выполнил:

студент группы ИУ7-42Б

Тузов Даниил

Работу проверил:

Попов Алексей Юрьевич

Москва, 2023 г.

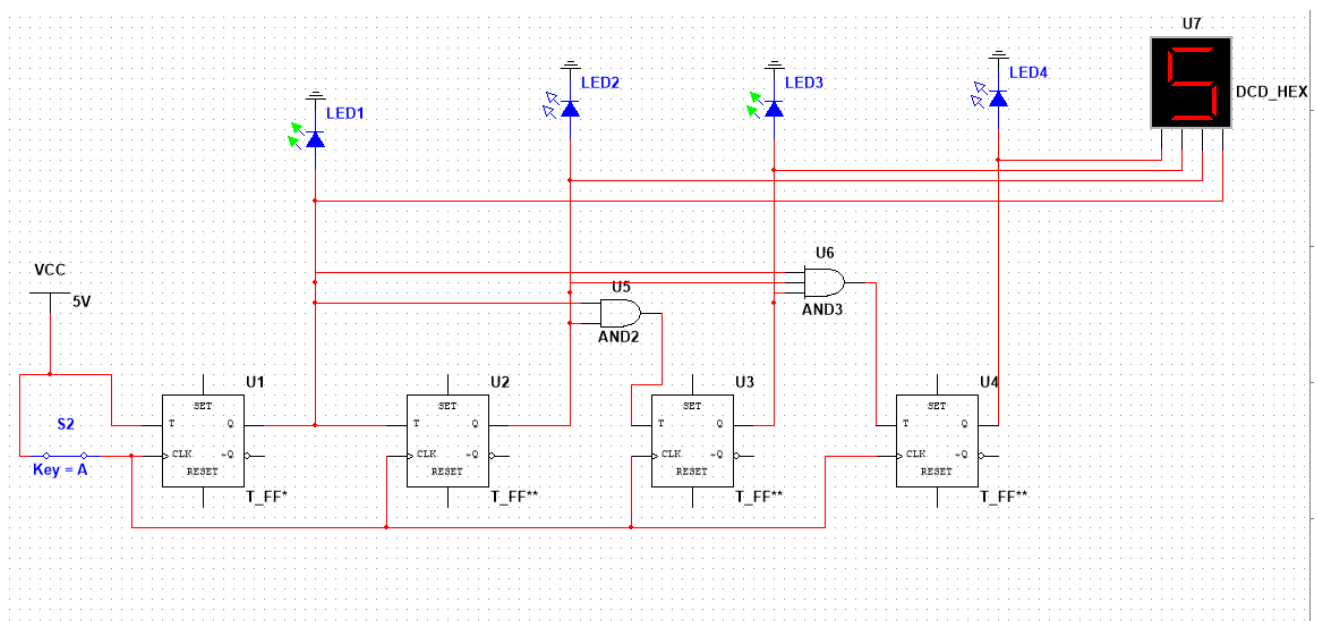
ЦЕЛЬ РАБОТЫ

Изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

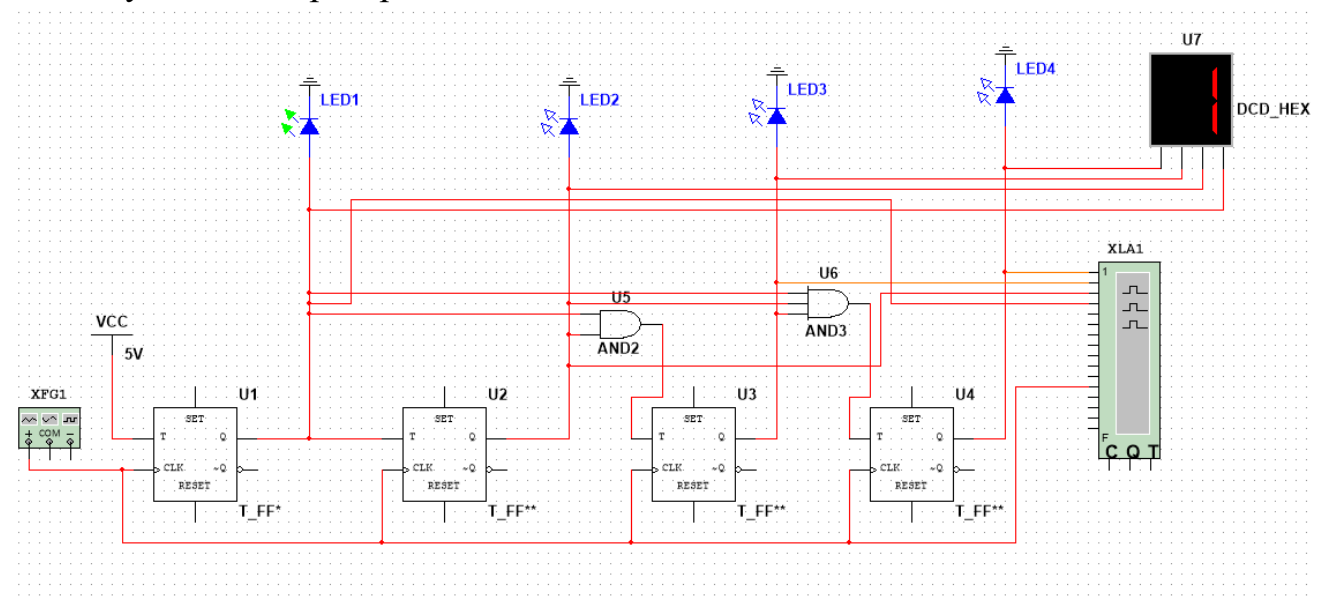
ХОД РАБОТЫ

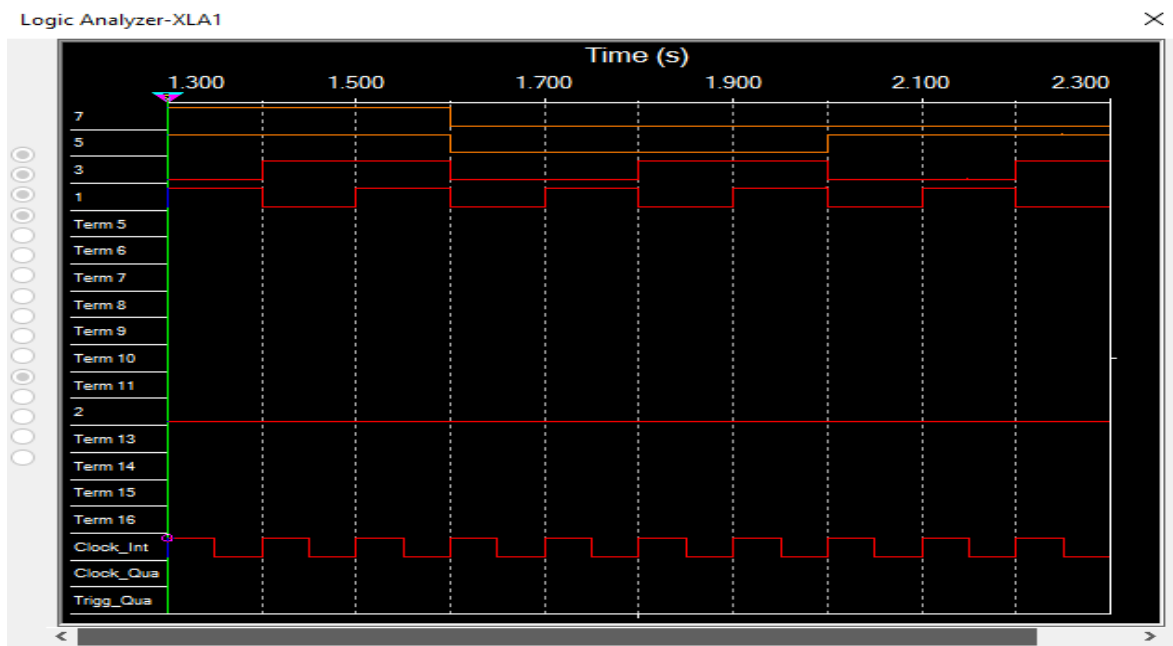
ЗАДАНИЕ 1. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на Т-триггерах

От одиночных импульсов:



От импульсов генератора:





ЗАДАНИЕ 2. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний

Вариант: 18 | 0,1,2,4,5,6,10,11,13,14

t	Q ₃	Q ₂	Q ₁	Q ₀	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
0	0	0	0	0	0	1	0	1	0	1	1	1
1	0	0	0	1	0	1	0	1	1	1	1	1
2	0	0	1	0	0	1	1	1	1	1	0	1
4	0	1	0	0	0	1	1	0	0	1	1	1
5	0	1	0	1	0	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	0	0	1
10	1	0	1	0	1	1	1	1	1	0	1	1
11	1	0	1	1	1	1	1	1	1	1	1	0
13	1	1	0	1	1	1	1	1	1	1	1	1
14	1	1	1	0	1	1	1	1	1	1	0	1

$$\begin{aligned}
 + J_3: & Q_2 Q_1 & + J_2: & Q_3 Q_0 + Q_3 Q_1 & + J_1: & Q_0 \\
 + K_3: & Q_2 Q_1 & + K_2: & Q_1 & + K_1: & Q_0 + Q_3 Q_2 + Q_3 Q_1 & + K_0: & Q_2 + Q_3
 \end{aligned}$$

The circuit diagram illustrates a 4-bit counter implemented using four JK flip-flops (U0, U1, U2, U3) and various logic gates. The input is a single-bit signal 'S1' (Key = A) connected to VCC (5.0V). The output is a 4-bit hexadecimal display (U7) labeled 'DCD_HEX'.

Components and Connections:

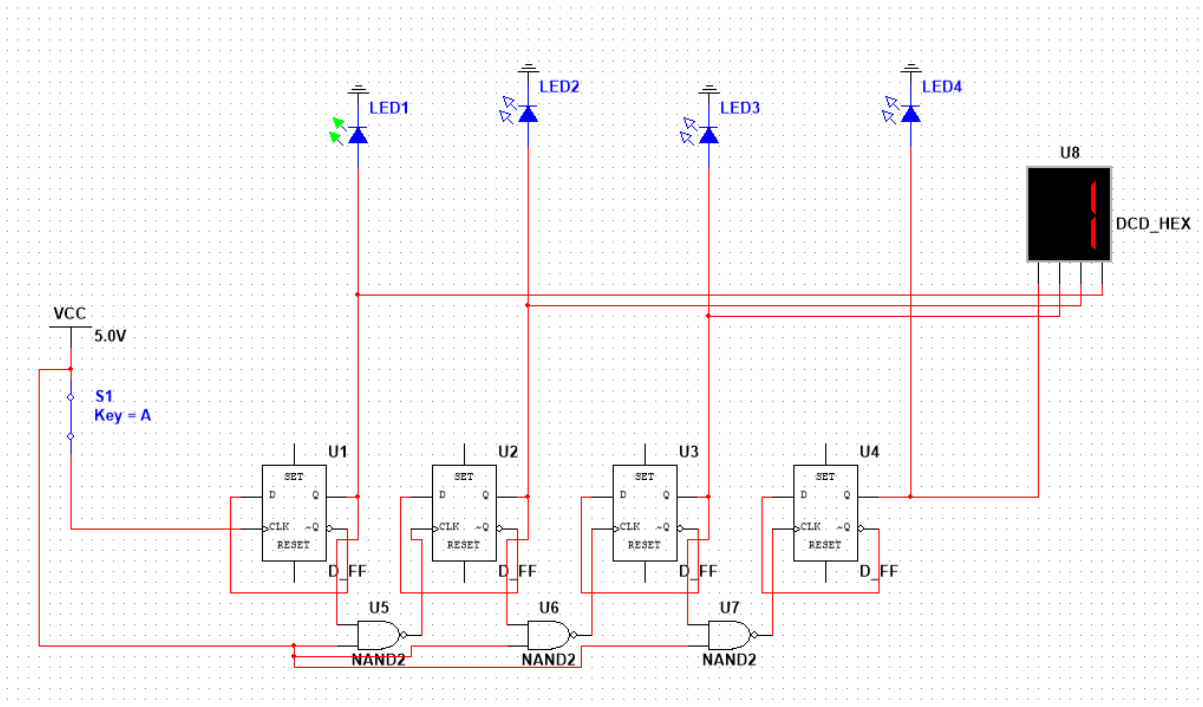
- JK Flip-Flops (U0, U1, U2, U3):** Each flip-flop has SET, CLK, J, K, and RESET inputs, and Q and Q-bar outputs. The Q outputs are connected to the DCD_HEX display.
- Logic Gates:**
 - U4 (OR2):** Inputs are S1 and VCC. Output is connected to the J input of U0.
 - U3 (OR2):** Inputs are Q0 and VCC. Output is connected to the J input of U1.
 - U1 (OR2):** Inputs are Q1 and VCC. Output is connected to the J input of U2.
 - U2 (OR3):** Inputs are Q2 and VCC. Output is connected to the J input of U3.
 - AND gates (U0, U1, U2, U3):** These gates are used to generate the K inputs for the flip-flops based on the current state (Q0, Q1, Q2, Q3).

The circuit is designed to count from 0 to 15 (hexadecimal 0 to F) in response to the input signal S1.

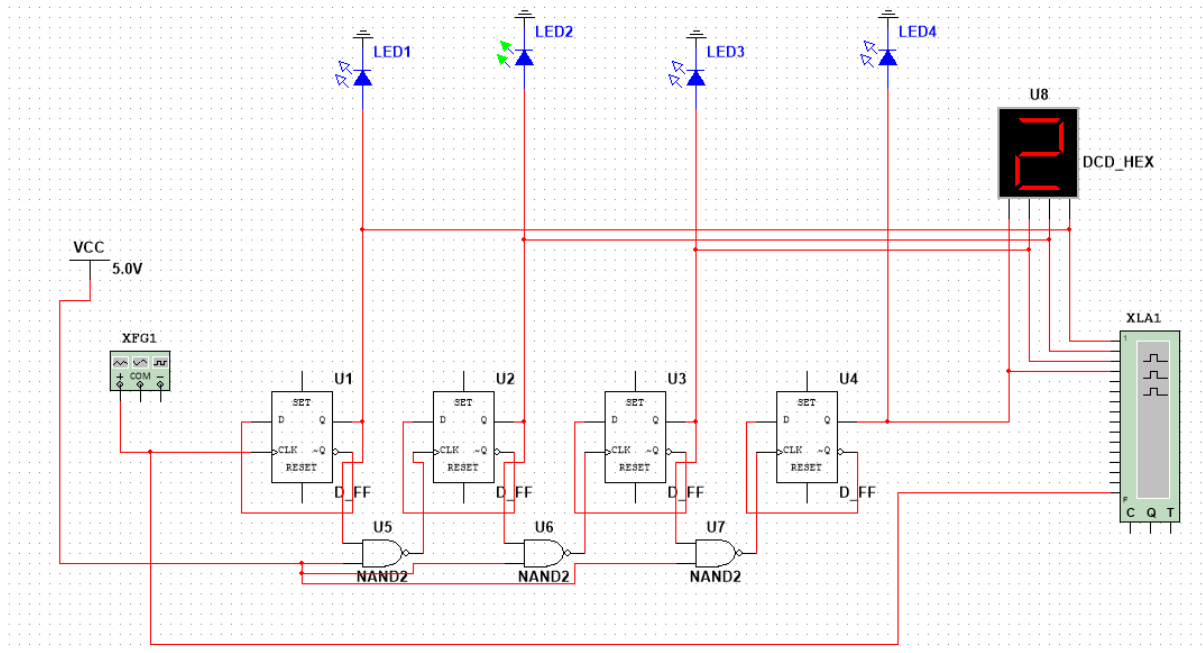
The diagram illustrates a 4-bit counter circuit. It consists of four JK flip-flops labeled Q0, Q1, Q2, and Q3, arranged in a chain. The output of each flip-flop is connected to a 3-to-8 decoder (U1) to produce a 4-bit binary output. The circuit is powered by a 5.0V supply (VCC). A key 'S1' is connected to the circuit, and the output is displayed on a 7-segment display labeled 'DCD_HEX'.

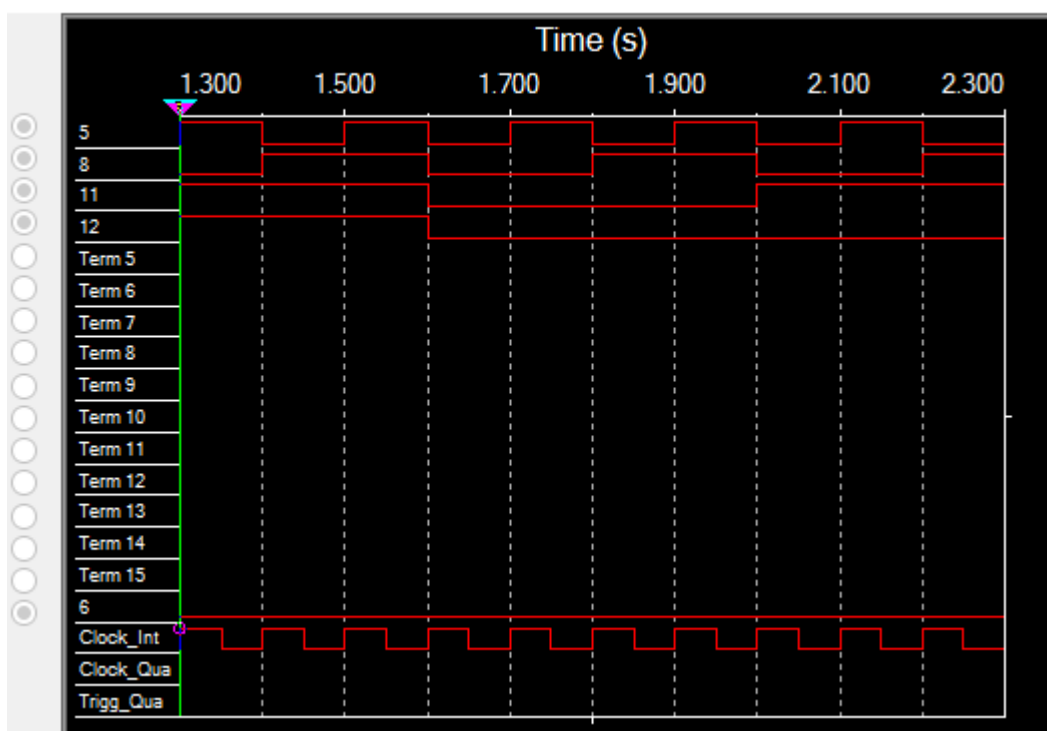
ЗАДАНИЕ 4. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом

От одиночных импульсов:



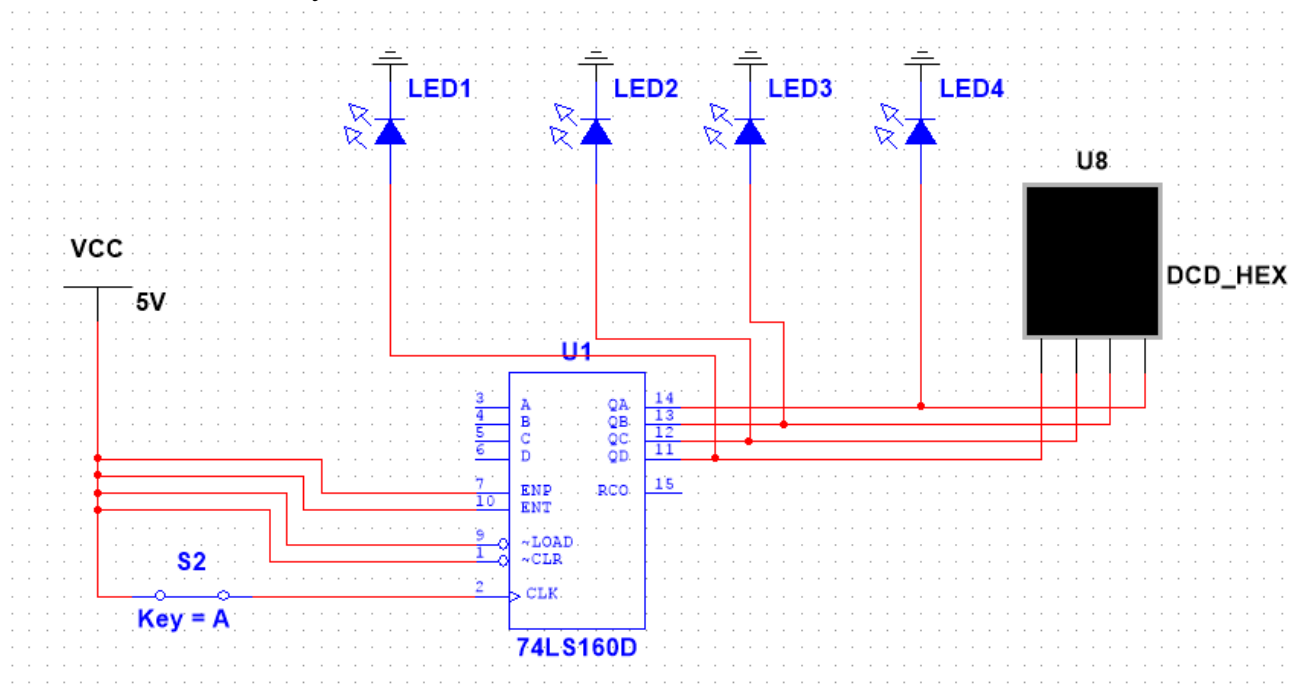
От импульсов генератора:



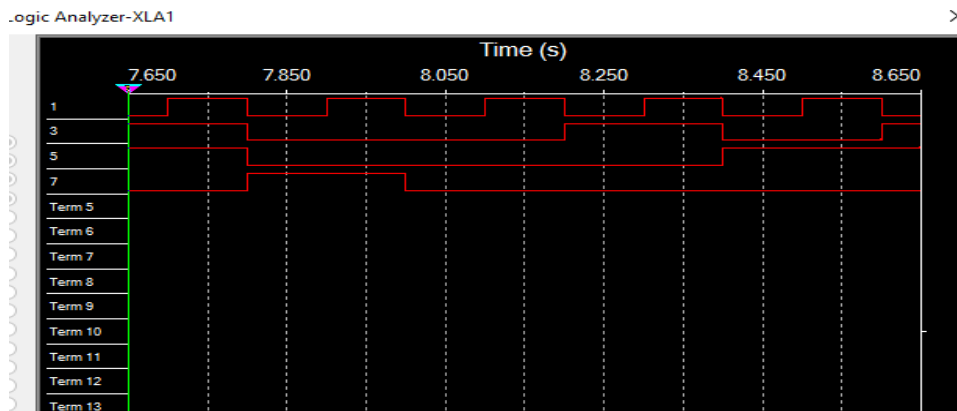
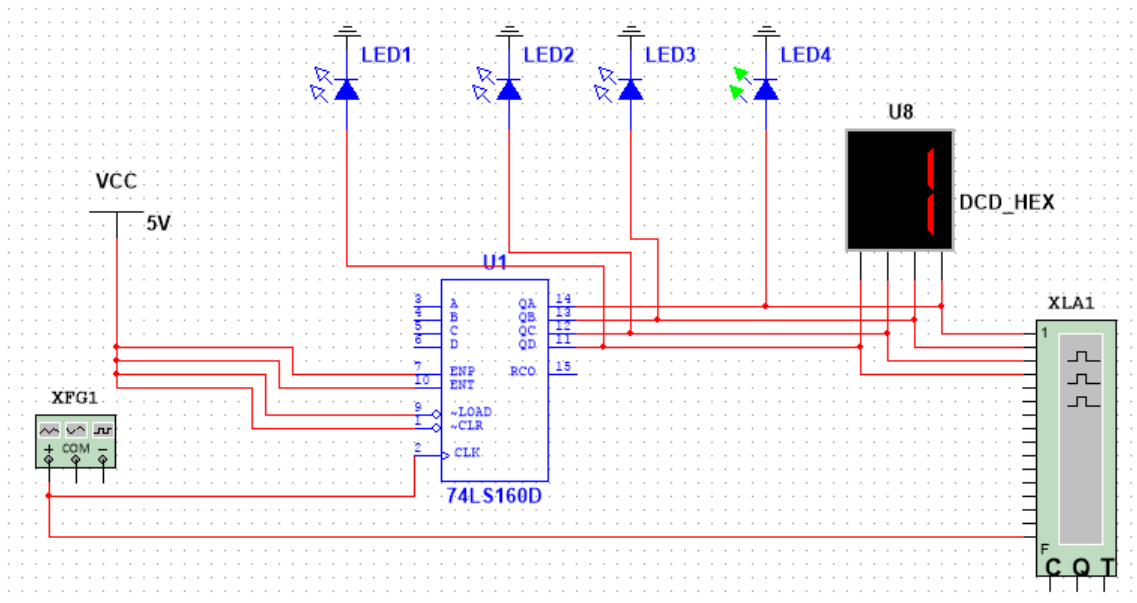


ЗАДАНИЕ 5. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС К555ИЕ9, аналог ИС 74LS160

От одиночных импульсов:

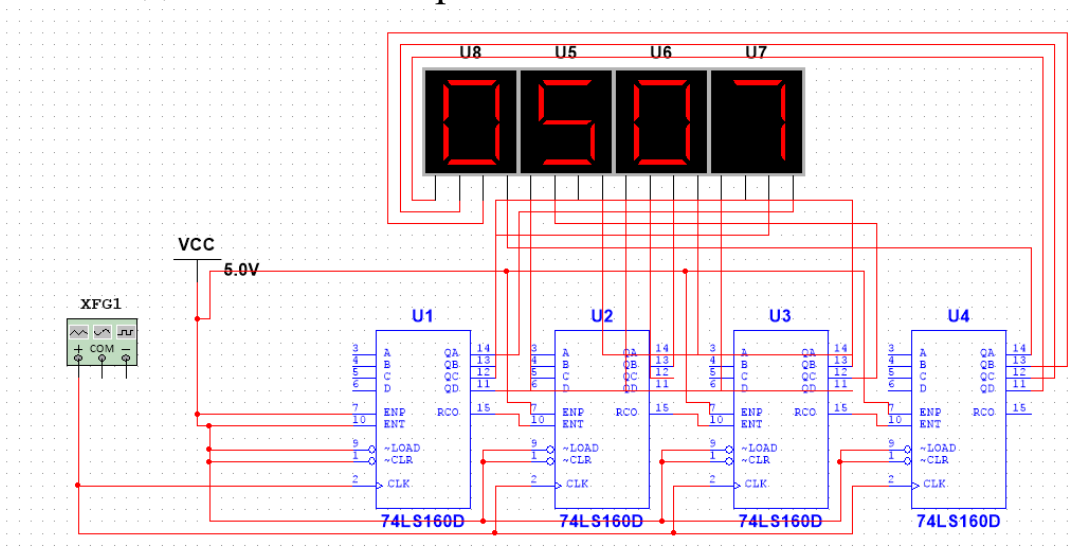


От импульсов генератора:

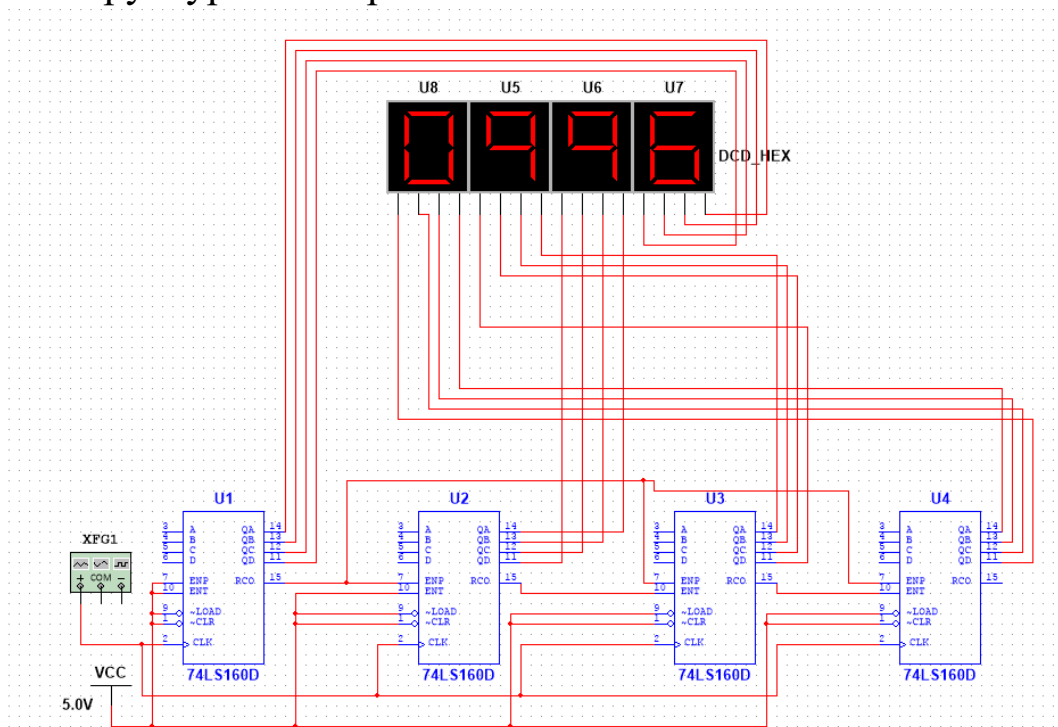


ЗАДАНИЕ 6. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета

С последовательным переносом:



По структуре «быстрого счета»:



КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что называется счётчиком?

Ответ: Счётчик – это операционный узел ЭВМ, предназначенный для выполнения счёта, кодирования в определённой системе счисления и хранения числа сигналов импульсного типа, поступающих на счётный вход.

2. Что называется коэффициентом пересчёта?

Ответ: Коэффициент пересчёта – число входных сигналов, которое возвращает схему в начальное состояние, в качестве которого может быть взято любое её состояние.

3. Перечислить основные классификационные признаки счётчиков.

Ответ:

По значению модуля счёта:

- o Двоичные счётчики ($M = 2^n$, n - кол-во двоичных разрядов)
- o Двоично-кодированные счётчики
- o Счётчики с одинарным кодированием (состояние представлено местом расположения единственной единицы)

По направлению счёта:

- o Суммирующие
- o Вычитающие
- o Реверсивные

По способу организации межразрядных связей:

- o Счётчики с последовательным переносом
- o Счётчики со сквозным переносом
- o Счётчики с параллельным переносом
- o Счётчики с групповым переносом

По порядку изменения состояний:

- o С естественным порядком счёта
- o С произвольным порядком счёта

По способу управления переключением триггеров во время счёта:

- o Синхронные
- o Асинхронные

4. Указать основные параметры счётчиков.

Ответ: Модуль счёта M , ёмкость счётчика N , статические и динамические параметры счётчика (максимальная частота счёта, минимальные длительности различных импульсов).

5. Что такое время установки кода счётчика?

Ответ: Время установки кода счётчика – один из параметров, влияющих на его быстродействие. Время установки кода t_{set} равно времени между моментом поступления входного сигнала и моментом установки счётчика в новое устойчивое состояние.

6. Объяснить работу синхронного счётчика с параллельным переносом, оценить его быстродействие.

Ответ: Синхронные счётчики строятся на синхронных триггерах, синхронизирующие входы объединены. Счётные сигналы подаются на входы. Поэтому триггеры переключаются одновременно. Поэтому время задержки распространения сигнала от счётного входа до выходов его триггеров равно времени задержки распространения сигнала любого триггера счётчика от C - входа до его выхода. Максимальная частота – при параллельном образовании сигналов. Сигналы переноса формируются в каждом разряде, с помощью логических схем. В качестве триггеров – синхронные триггеры с динамическим управлением. В синхронном двоичном суммирующем счётчике с параллельным переносом, построенном на JK -триггерах, функции возбуждения формируются параллельно.

7. Объяснить методику синтеза синхронных счётчиков на двухступенчатых JK - и D -триггерах.

Ответ: Синтез синхронного счётчика как цифрового автомата содержит 6 этапов:

1. Определение числа триггеров счётчика, исходя из модуля счёта M и максимального состояния L счётчика: $n_1 = \lceil \log_2 M \rceil$, $n_2 = \lceil \log_2 L \rceil$, где $\lceil \dots \rceil$ – округление до ближайшего большего целого числа.
2. Составление обобщенной таблицы переходов счётчика и функций возбуждения триггеров.
3. Минимизация функций возбуждения триггеров счётчика.
4. Перевод минимизированных функций возбуждения в заданный базис логических функций.
5. Построение функциональной схемы счётчика
6. Проверка полученной схемы счётчика на самовосстановление после сбоев