

МГТУ им. Н.Э. Баумана

**Дисциплина Архитектура ЭВМ**

**Лабораторный практикум №2**

**по теме: «ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ»**

Работу выполнил:

студент группы ИУ7-42Б

Тузов Даниил

Работу проверил:

Попов Алексей Юрьевич

Москва, 2023 г.

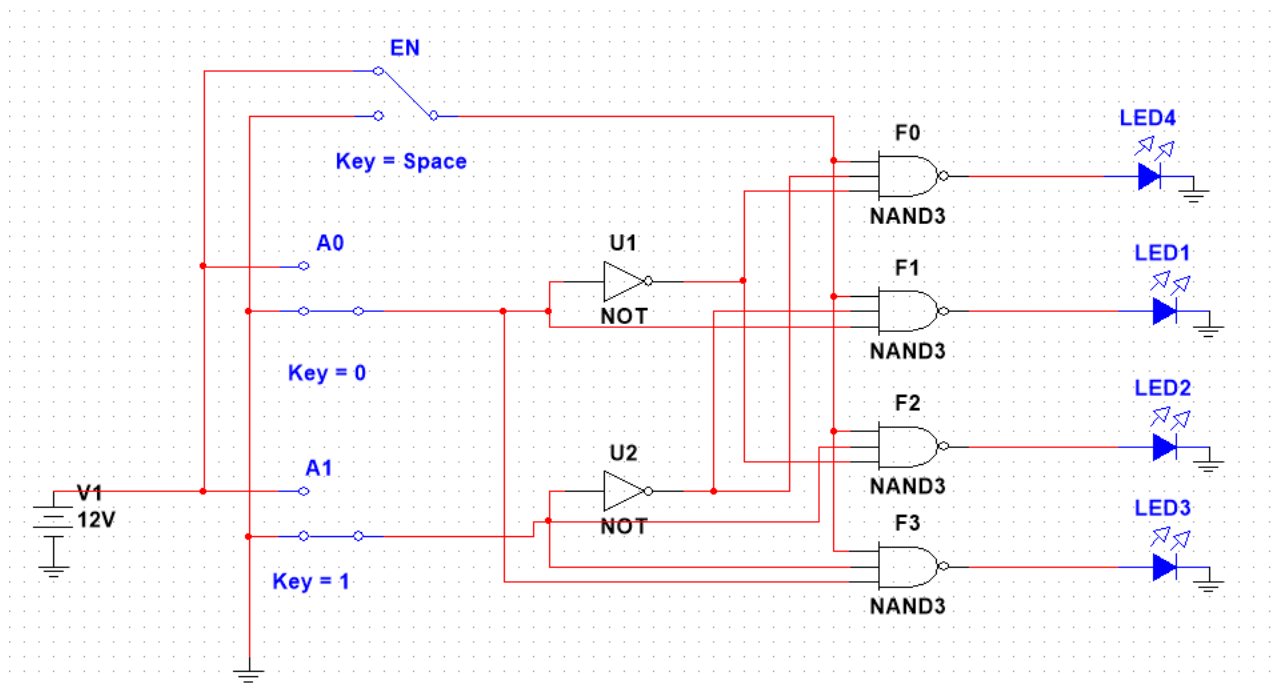
# ЦЕЛЬ РАБОТЫ

Изучение принципов построения и методов синтеза дешифраторов;  
макетирование и экспериментальное исследование дешифраторов.

## ХОД РАБОТЫ

**ЗАДАНИЕ 1.** Исследование линейного двухвходового дешифратора с инверсными выходами

Линейный стробируемый дешифратор:



Динамическая версия:

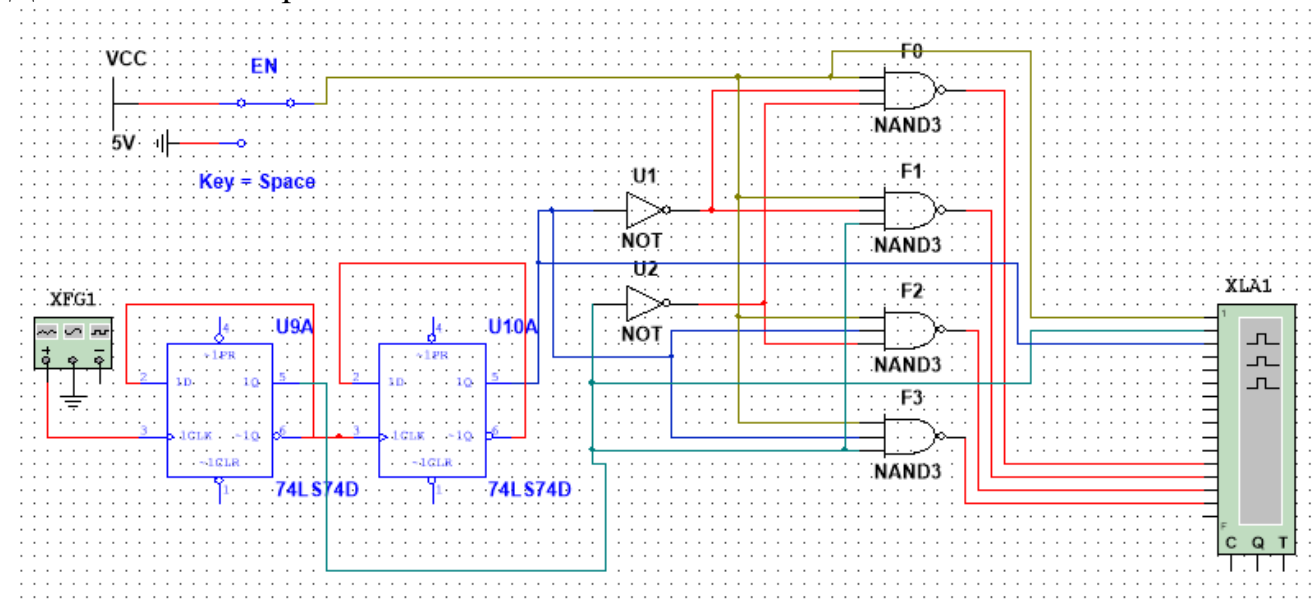
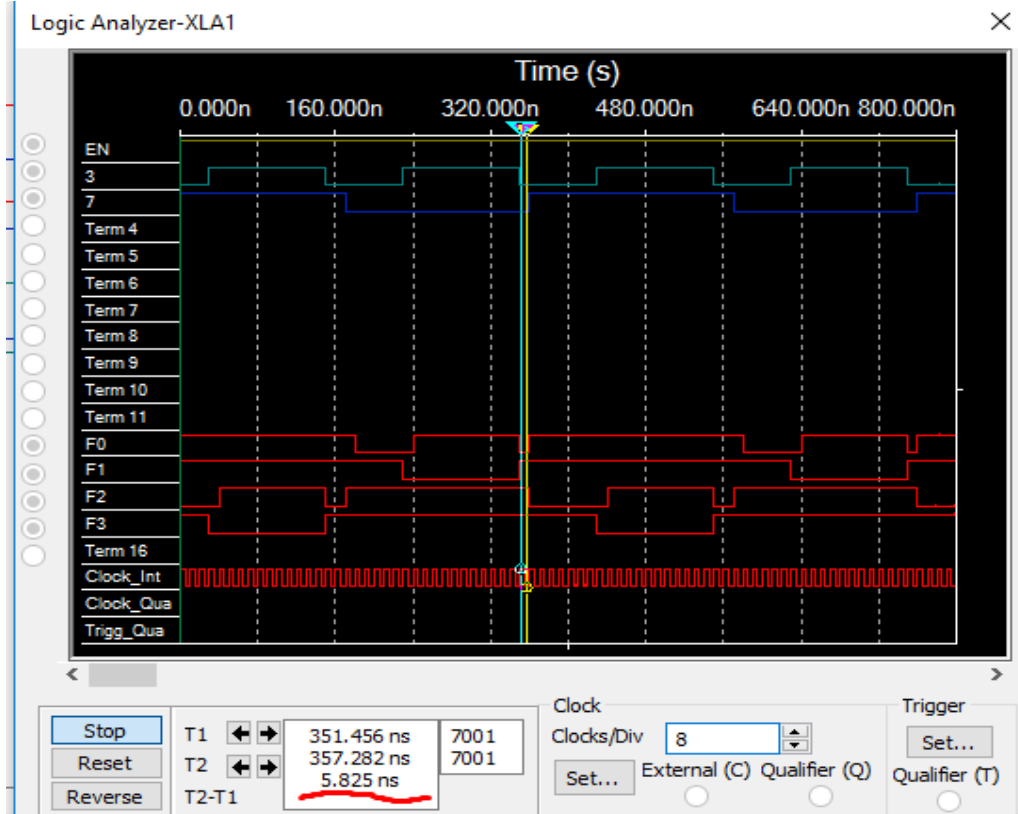


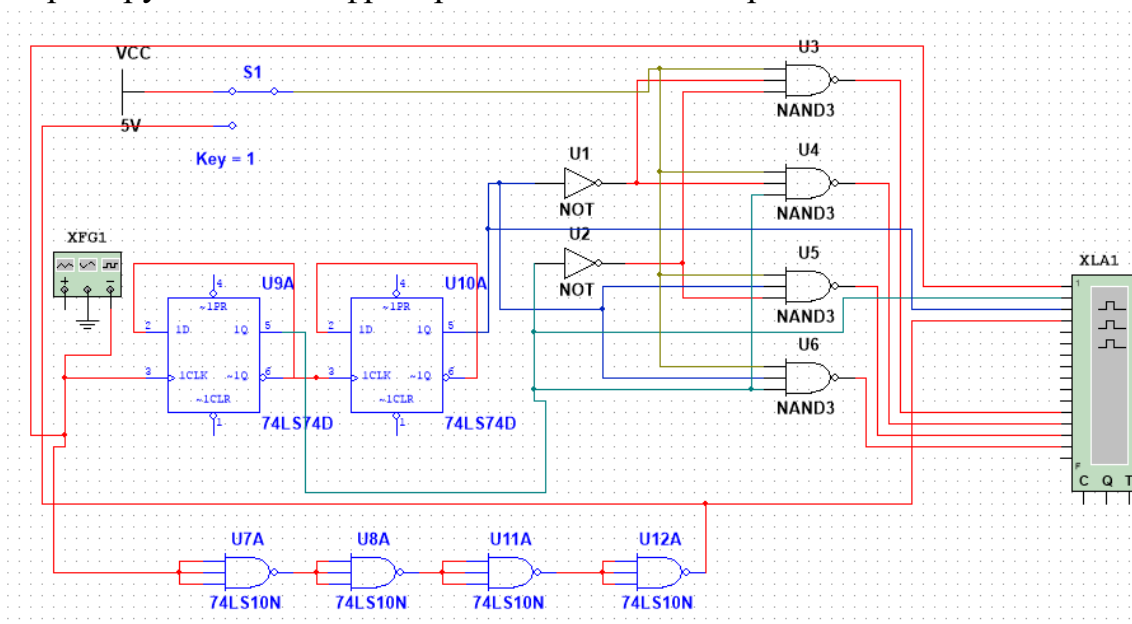
Таблица истинности:

A0	A1	Q0	Q1	Q2	Q3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Время задержки примерно 5-6 наносекунд



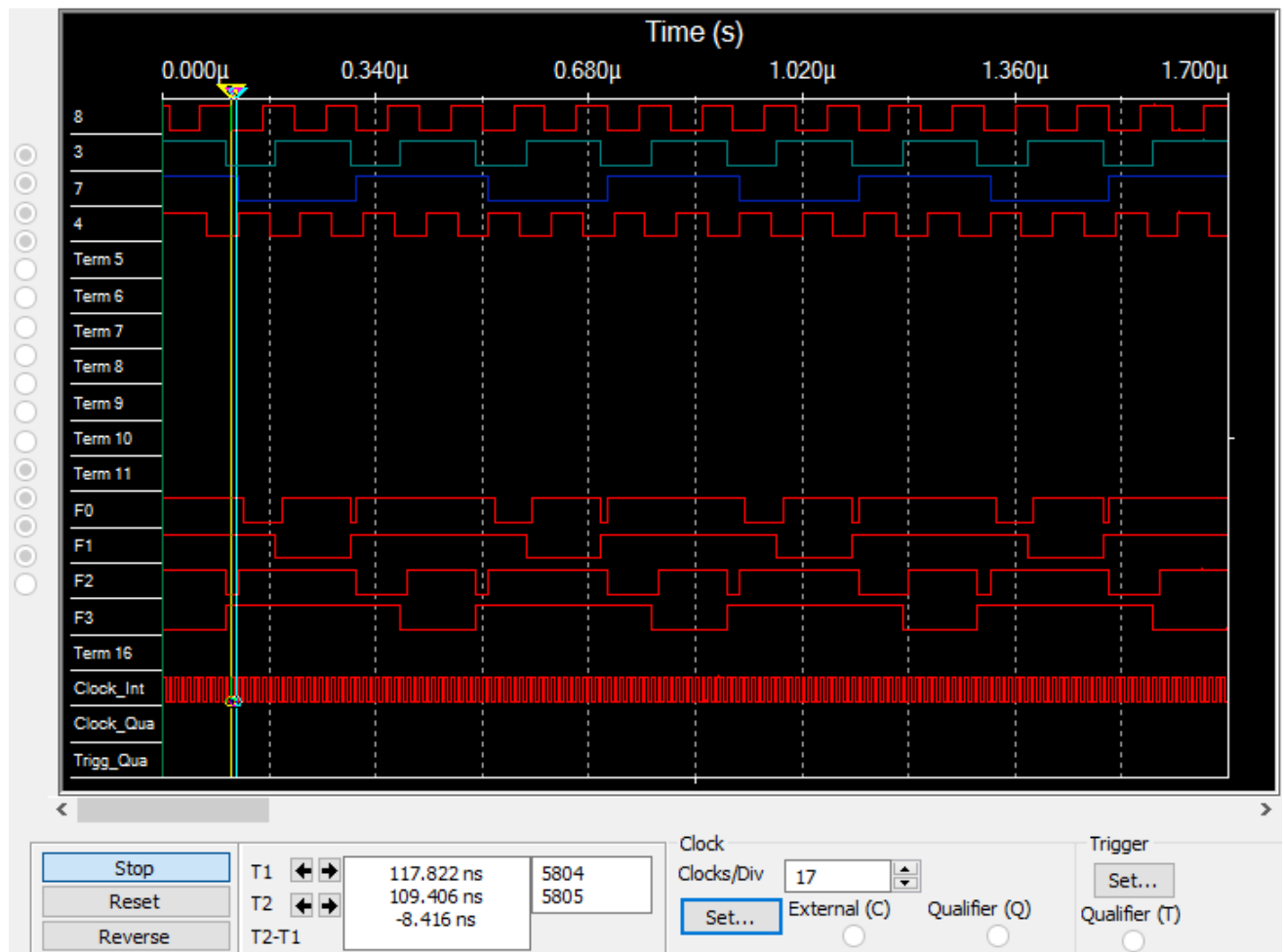
Стробимый дешифратор с сигналом с инверсными входами:



Время задержки, необходимое для устранения помех примерно 8.5 наносекунд

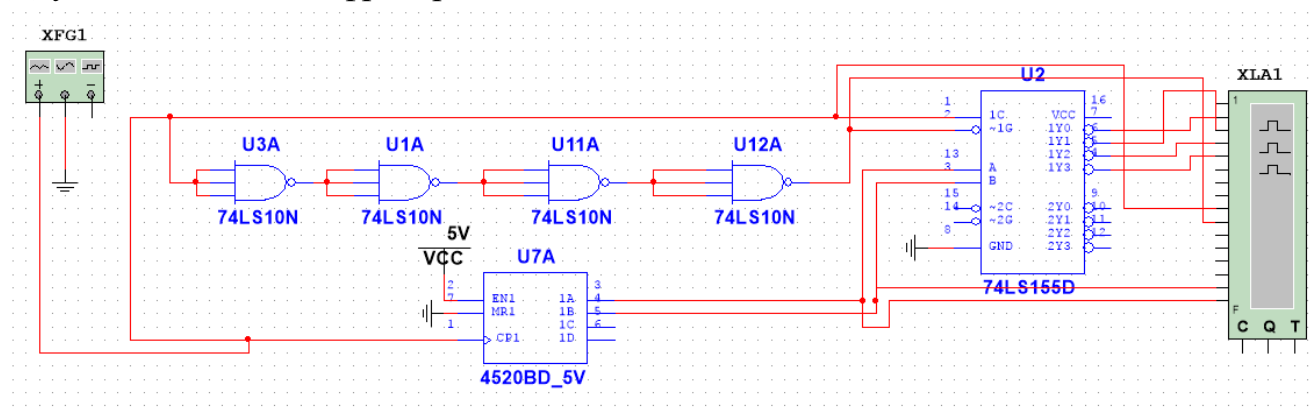
Logic Analyzer-XLA1

×



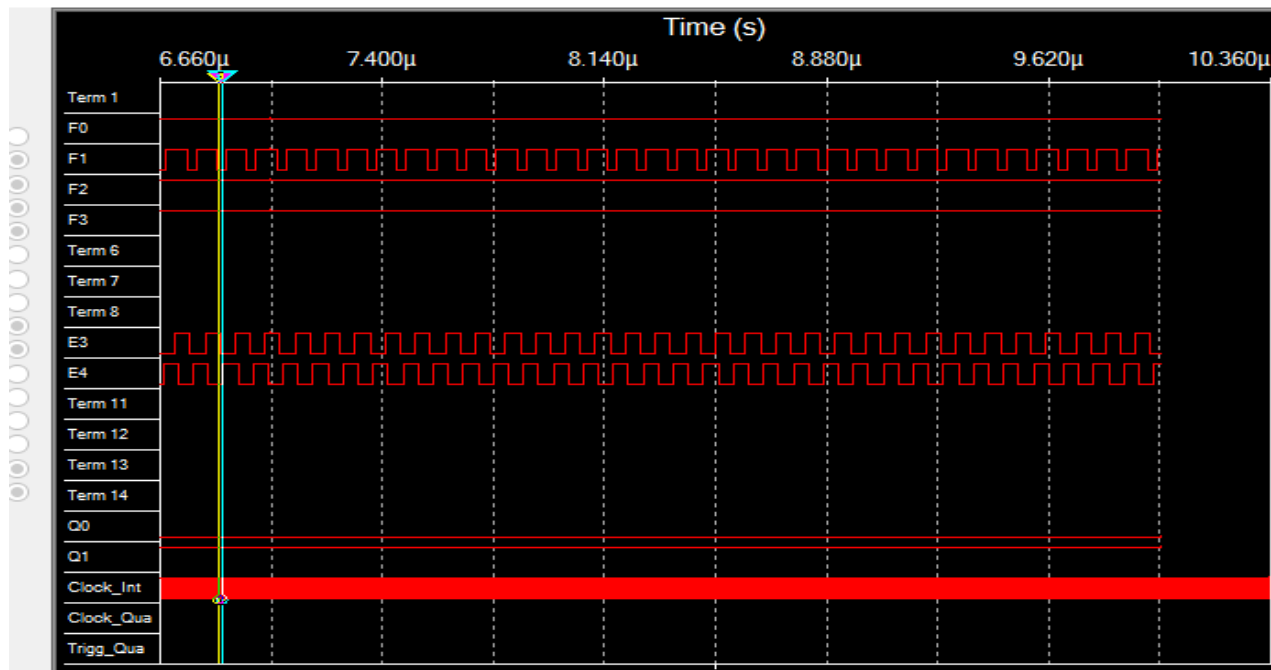
## ЗАДАНИЕ 2. Исследование дешифраторов ИС К155ИД4 (74LS155)

Двухвходовый дешифратор:

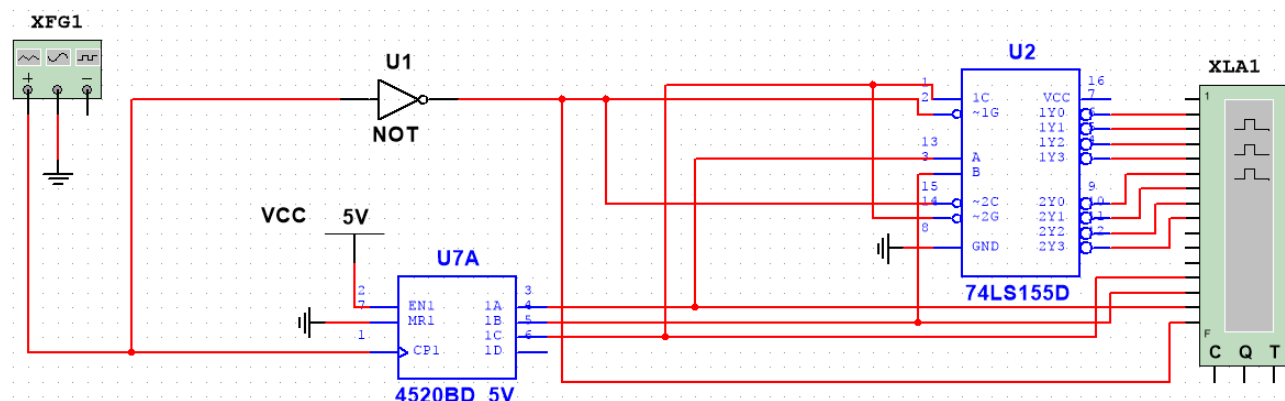


Время задержки стробирующего сигнала примерно 10 наносекунд

Logic Analyzer-XLA1



Трехвходовый дешифратор на основе дешифратора К155ИД4



Logic Analyzer-XLA1

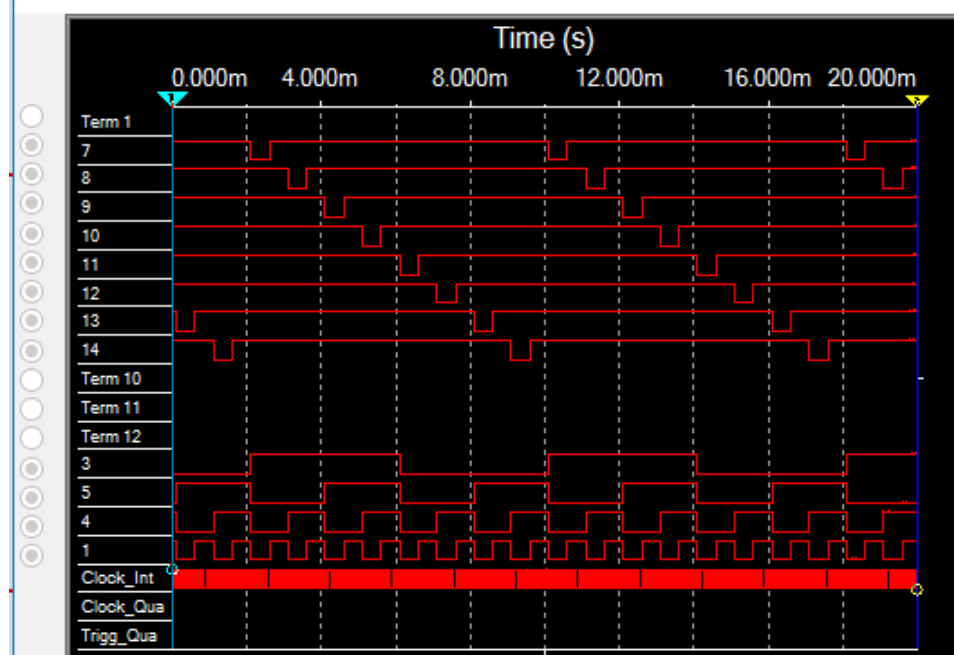
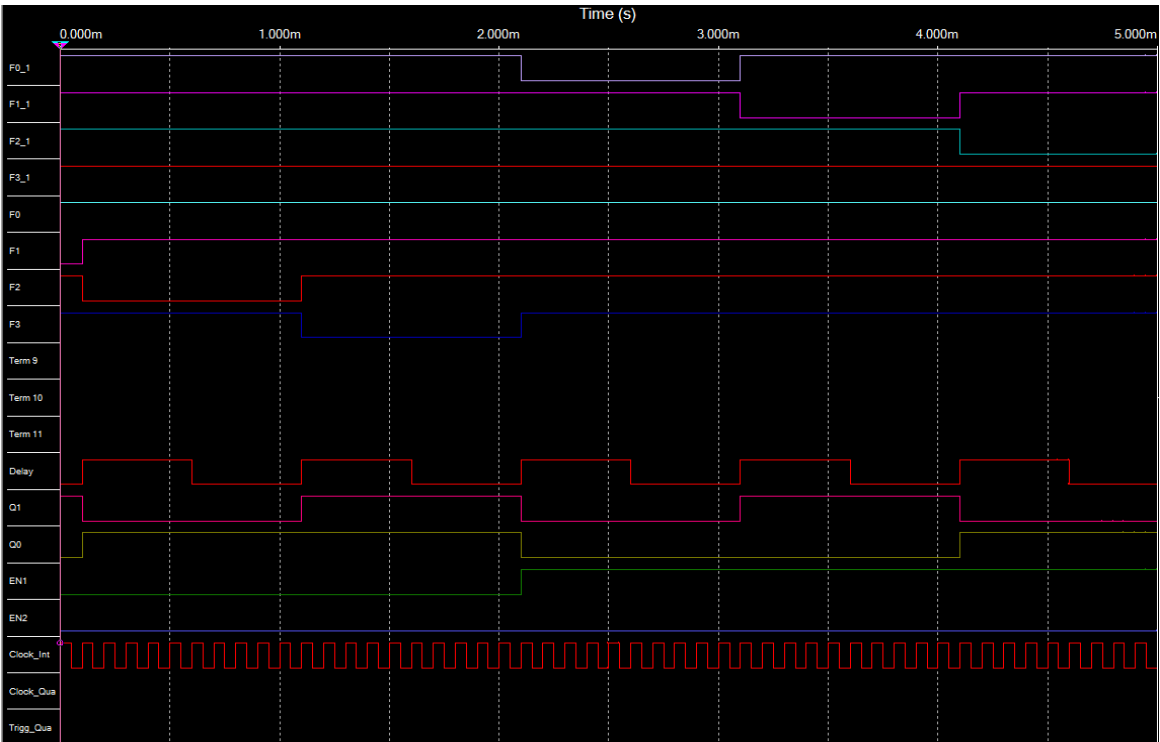
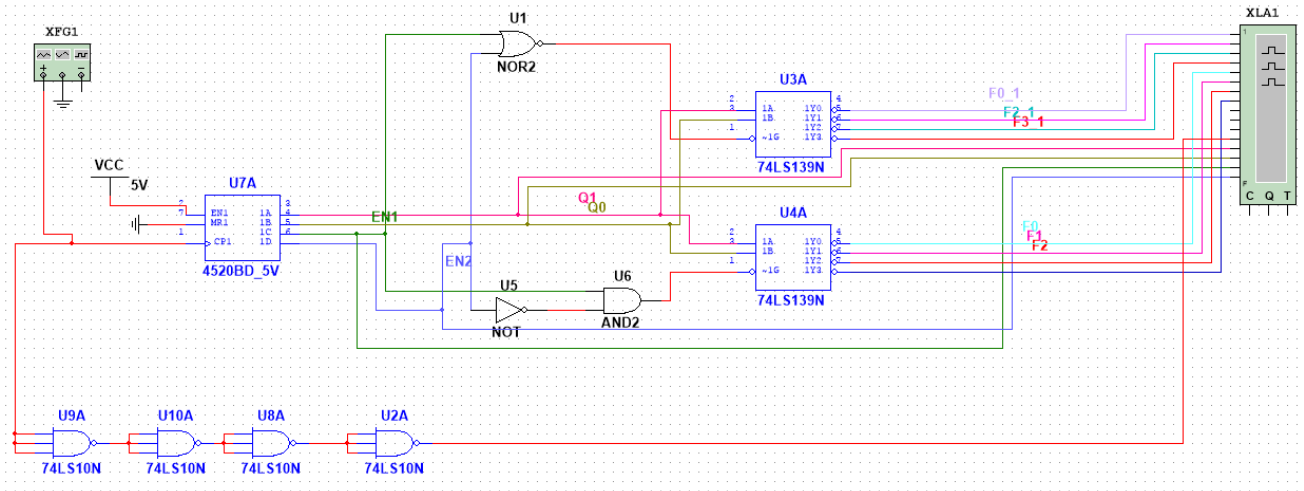


Таблица истинности:

A0	A1	A2	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	1	1	1	1	0	1	1	1
0	0	1	1	1	1	1	1	0	1	1
0	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1
1	1	0	1	1	0	1	1	1	1	1
1	1	1	1	1	1	0	1	1	1	1

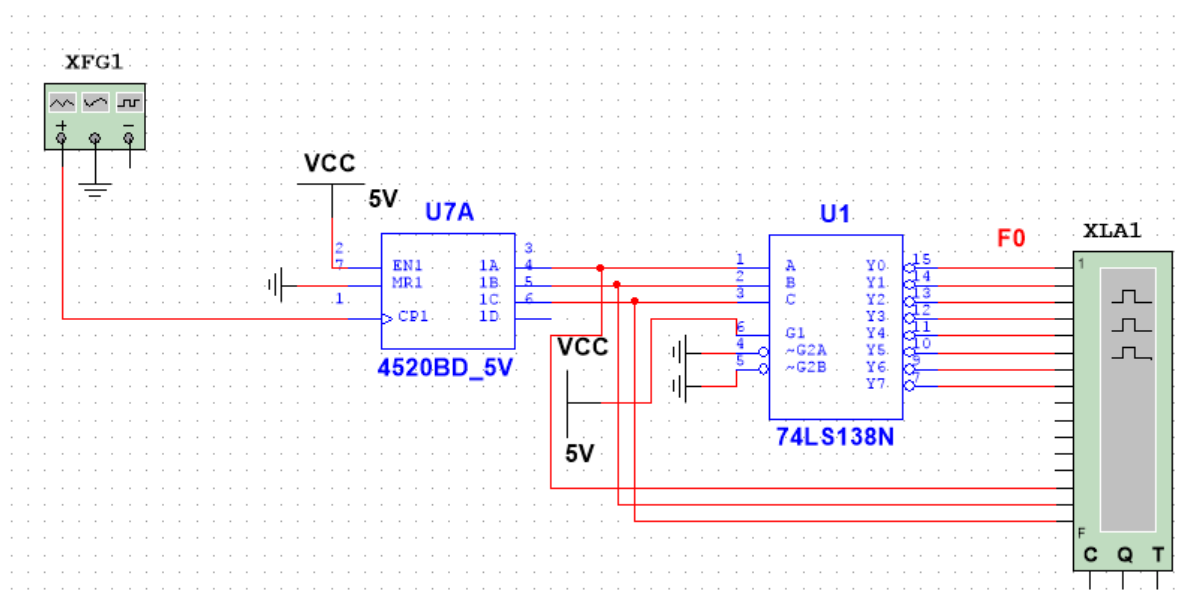
ЗАДАНИЕ 3. Исследование дешифраторов ИС КР531ИД14



A0	A1	A2	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	1	1	1	1	0	1	1	1
0	0	1	1	1	1	1	1	0	1	1
0	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1
1	1	0	1	1	0	1	1	1	1	1
1	1	1	1	1	1	0	1	1	1	1

**ЗАДАНИЕ 4.** Исследовать работоспособность дешифраторов ИС 533ИД7

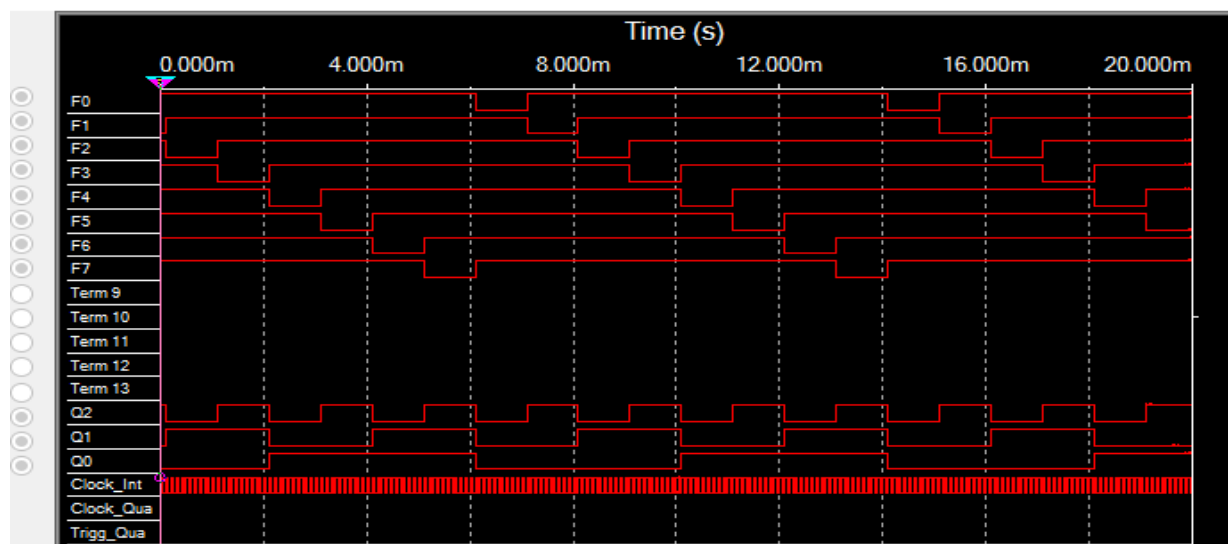
Схема нестробируемого дешифратора DC 3-8 ИС 533ИД7:



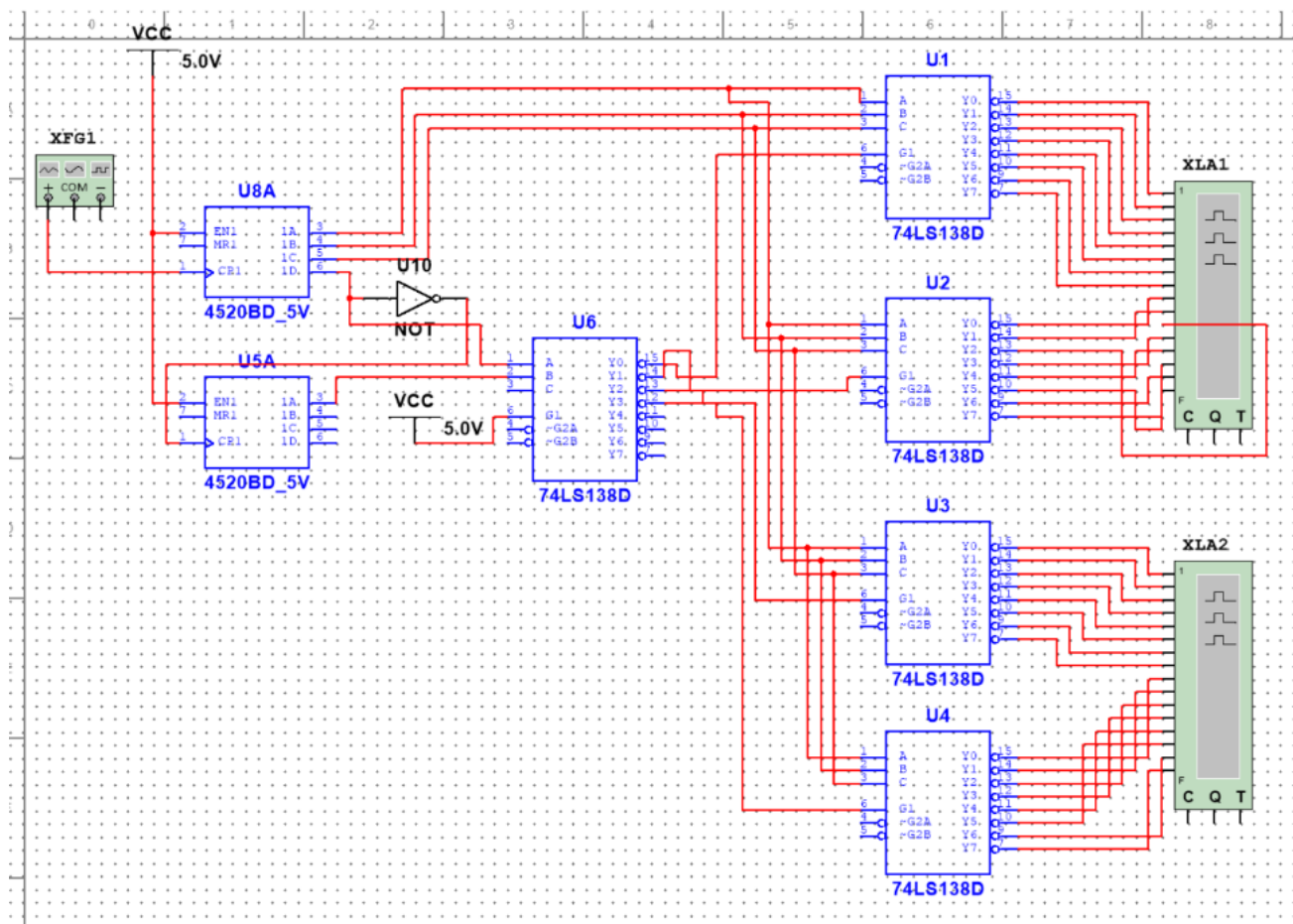
Проверка работоспособности:

Logic Analyzer-XLA1

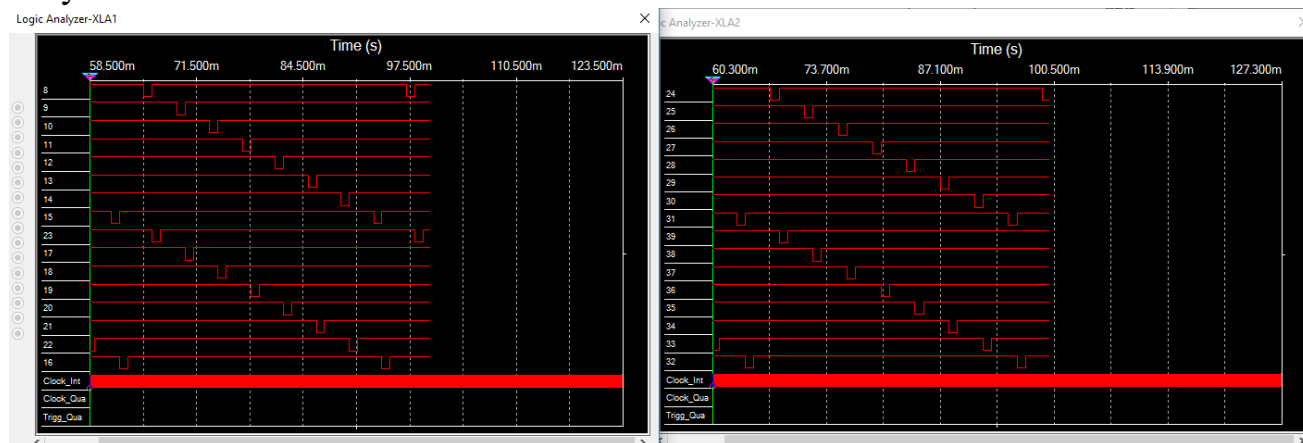
×



## Схема дешифратора DC 5-32 по методике наращивания:



## Результат:





## КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что называется дешифратором?

**Ответ:** Дешифратор – комбинационный узел с входами и выходами,  $n$   $N$  преобразующий каждый набор двоичных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

**Ответ:** В дешифраторе с  $n$  входами и  $N$  выходами  $N \leq 2^n$ . Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов – неполным

3. Определите закон функционирования дешифратора аналитически и таблично.

**Ответ:**

Входы							Выходы					
$EN$	$A_{n-1}$	$A_{n-2}$	$A_{n-3}$	...	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	...	$F_{N-2}$	$F_{N-1}$
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

$$F_0 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_1 \cdot \bar{A}_0,$$

$$F_1 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_1 \cdot A_0,$$

$$F_2 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_1 \cdot A_1 \cdot \bar{A}_0,$$

$$\dots$$

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_1 \cdot A_0,$$

$$F_{N-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_1 \cdot A_0,$$

4. Поясните основные способы построения дешифраторов.

**Ответ:** Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой  $2n$  конъюнкторов или логических элементов ИЛИ-НЕ с  $-$  входами каждый при  $n$  отсутствии стробирования и с  $+1$  входами - при его наличии.  $n$  Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную.. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на

предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

**Ответ:** Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

**Ответ:** Пусть для построения сложного дешифратора – используются  $DC\ n\ N$  простые дешифраторы  $1 - 1$ , причем  $1 \ll$ , следовательно и  $1\ DC\ n\ N\ n\ N \ll .\ N$

1) Число каскадов равно  $= / 1$ . Если  $K$  – целое число, то во всех  $n\ n$  каскадах используются полные дешифраторы  $1 - 1$ . Если правильная  $DC\ n\ N$  или смешанная дробь, то во входном каскаде используется неполный дешифратор  $1 - 1$ .  $DC\ n\ N$

2) Количество простых дешифраторов  $1 - 1$  в выходном каскаде  $DC\ n\ N$  равно  $/ 1$ , в предвыходном –  $/ 12$ , в предпредвыходном –  $/ N13$  и т.д.; во  $N\ N\ N\ N$  входном каскаде –  $/ 1$ . Если  $/ 1$  – правильная дробь, то это означает, что  $N\ N\ N\ N$  во входном каскаде используется неполный простой дешифратор.

3) В выходном каскаде дешифрируются  $n1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $1$  младших разрядов  $n$  адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $1$  младших разрядов адреса –  $n$  на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4) Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.