Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Кафедра электронных вычислительных средств

Лабораторная работа № 1

## «Программно-управляемый генератор для модулятора FSK-модема»

Вариант №3

Проверил: Выполнил:

Шемаров А.И. ст. гр. 850701

Филипцов Д. А.

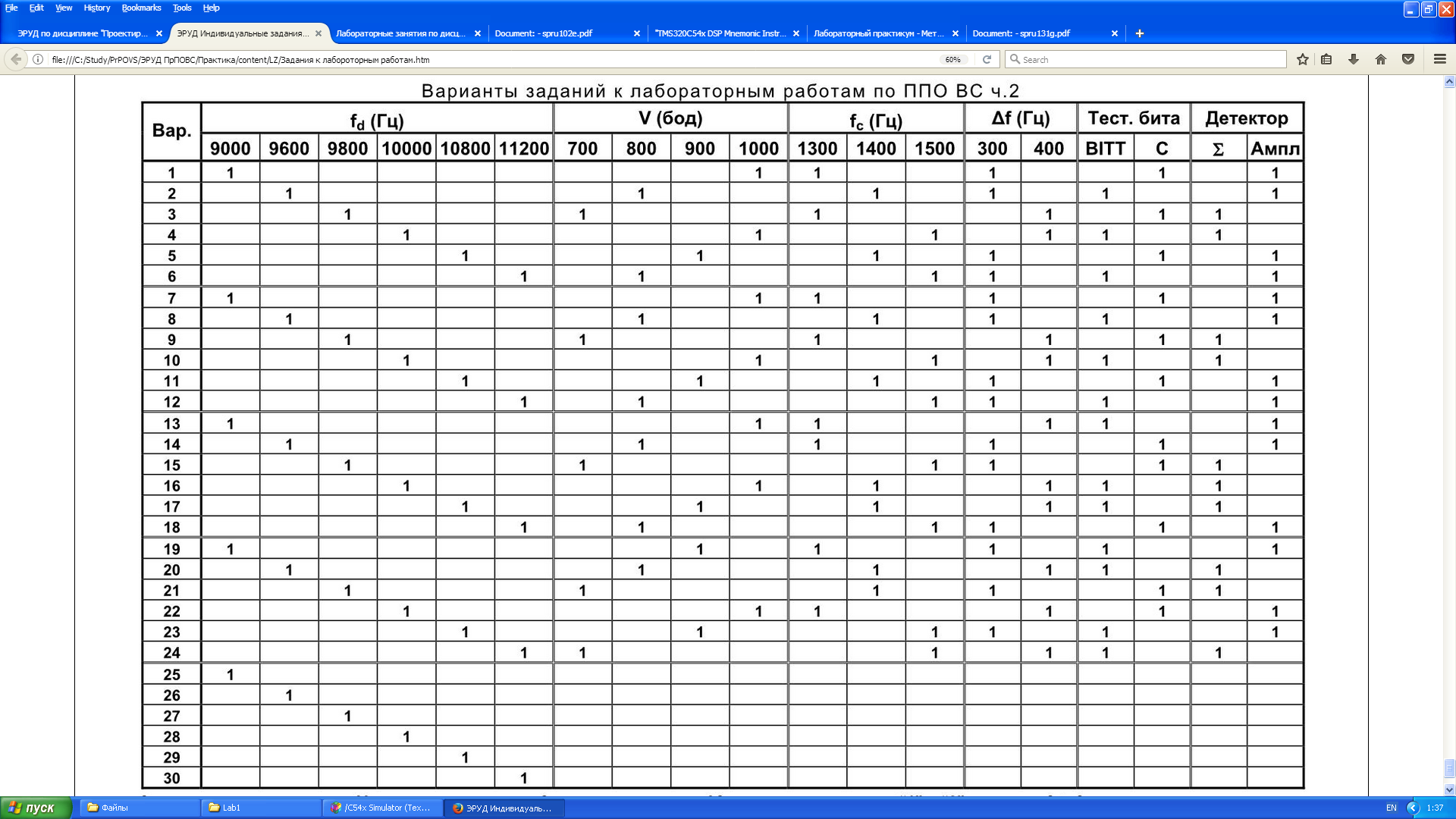
Минск 2021

**Ход работы**

**Цель:** Разработка алгоритма и программы табличного генератора синусоидальных сигналов с управляемой частотой для модулятора FSK-модема на ассемблере процессора TMS320VC5402 и отладка программы на лабораторном макете TMS320VC5402 DSP Starter Kit.

**Исходные данные**

****



Частота дискретизации

Скорость передачи данных

Средняя частота

Отклонение частоты «1» и «0»

**Программа**

FD .set 39200 ; частота дискретизации 39200

V .set 700 ; скорость 700 бод

FS .set 1300 ; средняя частота 1300

FDIF .set 400 ; разность частоты 400

F0 .set FS+FDIF ; частота "0"

F1 .set FS-FDIF ; частота "1"

N .set FD/V ; число отсчётов на один бит информации

NOD .set 100 ; наибольший общий делитель FD, F0, F1

S0 .set F0/NOD ; шаг для "0"

S1 .set F1/NOD ; шаг для "1"

SINLEN .set FD/NOD ; длина таблицы синуса

DATA .set 0x00FF ; исходное число для кодирования

.mmregs ; подключение регистров, отображённых на память

.def \_c\_int00 ; определение начала программы

.text ; начало области программы

\_c\_int00: ; начальная метка программы

LD #sint, DP ; текущая страница данных

SSBX SXM ; SXM = 1

SSBX OVM ; OVM = 1

STM #SINLEN, BK ; BK = SINLEN

STM #sint, AR5 ; AR5 = addr(sint)

STM #RES, AR4 ; AR4 = addr(RES)

B start

write\_bit: ; цикл записи одного бита информации

STM #N-1, AR6 ; AR6 = N-1 (итерация в цикле write\_loop)

write\_loop:

LD \*AR5+0%, B ; B = память\_по\_адресу AR5 итер+ AR0

STL B, \*AR4+ ; память\_по\_адресу AR4++ = B

BANZ write\_loop, \*AR6- ; итерация по циклу записи отсчётов для одного бита

RET

start:

;STM #S1, AR0 ; AR0 = S1

;CALL write\_bit ; стоповый бит

;CALL write\_bit ; стоповый бит

;STM #S0, AR0 ; AR0 = S0

;CALL write\_bit ; стартовый бит

LD #110b, A ; A = 110b (000000000000000000110)

SFTA A, 15 ; A << 15 (000110000000000000000)

ADD #DATA, A ; A = A + DATA (000110000000011111111)

SFTA A, 3 ; A << 3 (110000000011111111000)

ADD #11b, A ; A = A + 11b (110000000011111111011)

;LD #DATA, A ; A = DATA

;STM #15, AR7 ; AR7 = 16-1

STM #20, AR7 ; AR7 = 21-1

bit\_loop: ; цикл по битам в байте

SFTA A, -1 ; логический сдвиг A вправо (занесение младшего бита в C)

STM #S0, AR0 ; AR0 = S0

XC 2, C ; если C = 1, тогда выполним следующую инструкцию (2 слова)

STM #S1, AR0 ; AR0 = S1

CALL write\_bit

BANZ bit\_loop, \*AR7- ; возврат в цикл по байту

;STM #S1, AR0 ; AR0 = S1

;CALL write\_bit

;CALL write\_bit

NOP

NOP

NOP

.align ; выравнивание на страницу

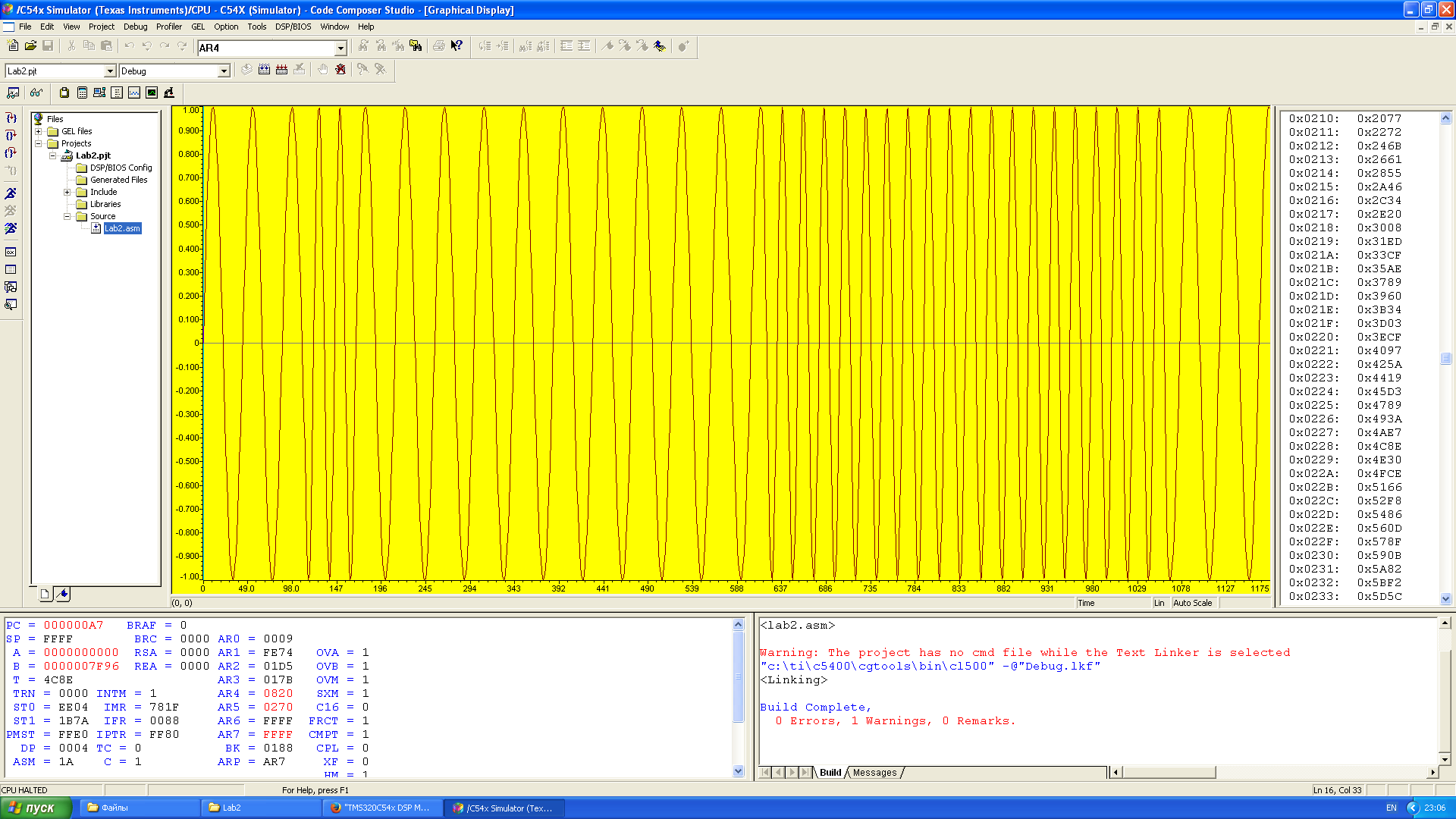
.data

.align 512 ; выравнивание для циклической адресация (младшие 9 бит адреса равны 0)

.include "sin392.tab" ; подключение таблицы синусов

RES .space N\*16\*16+N\*16\*5 ; результирующая запись (размер указан в битах)

**Результат выполнения программы**



**Вывод**

Был разработан алгоритм и реализован код программы табличного генератора синусоидальных сигналов с управляемой частотой для модулятора FSK-модема на ассемблере процессора TMS320VC5402.