Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Кафедра электронных вычислительных средств

Лабораторная работа № 2

## «Модуль фазосдвигателя для демодулятора FSK-модема»

Вариант №3

Проверил: Выполнил:

Шемаров А.И. ст. гр. 850701

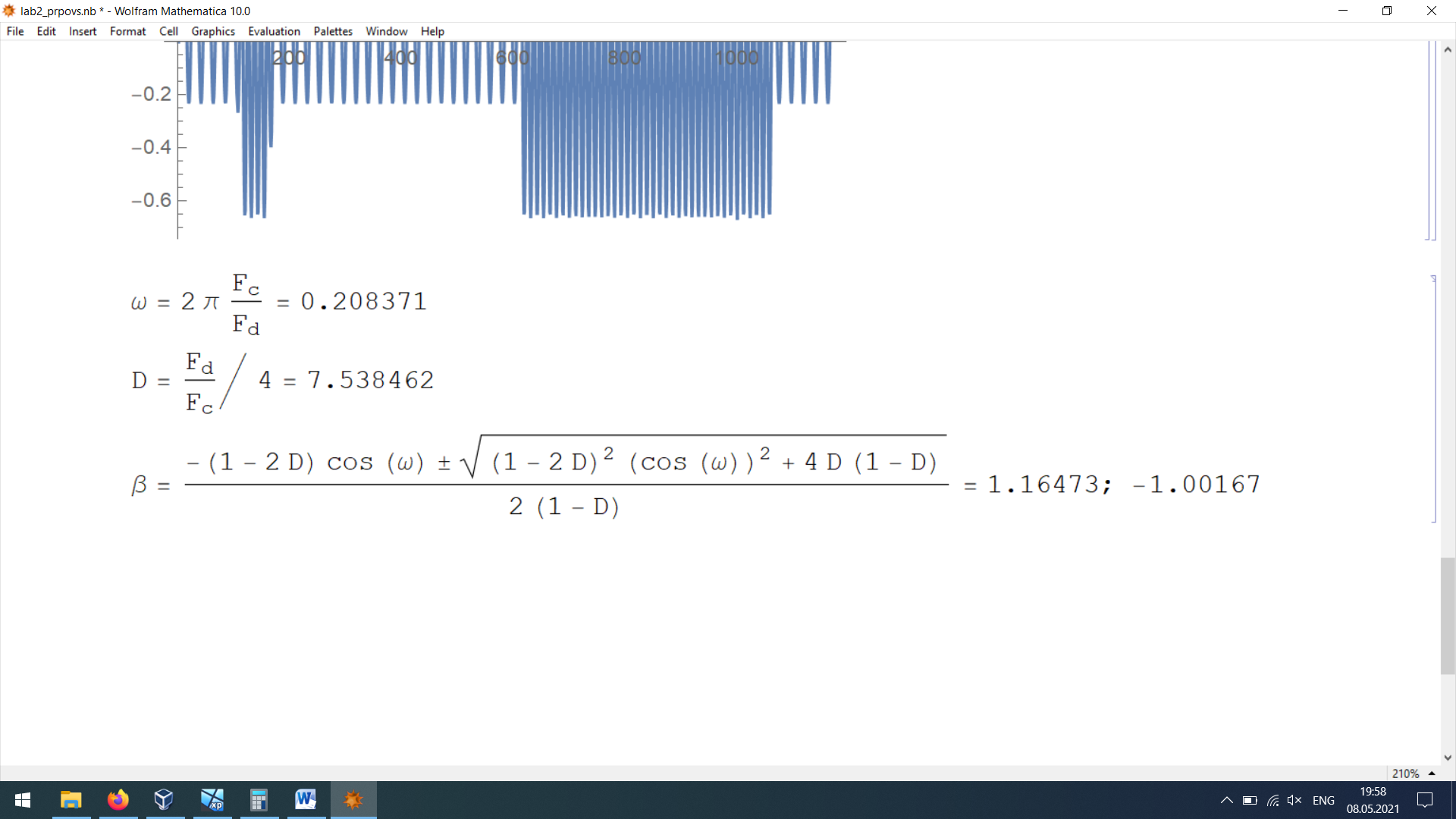
Филипцов Д. А.

Минск 2021

**Ход работы**

**Цель:** Разработка алгоритма и программы фазосдвигателя и умножителя для демодулятора FSK-модема на ассемблере процессора TMS320VC5402 и отладка программы на лабораторном макете TMS320VC5402 DSP Starter Kit.

**Входные данные:**



**Код программы:**

FD .set 39200 ; частота дискретизации

V .set 700 ; скорость передачи данных

N .set FD/V ; число отсчётов на один бит сигнала

DINT .set 7 ; целая часть относительного сдвига

SIZE .set N\*21 ; общее количество отсчётов в посылке

.mmregs

.def \_c\_int00

.text

\_c\_int00:

LD #INPUT, DP

SSBX SXM

SSBX OVM

LD #INPUT, A ; A = addr(INPUT)

STLM A, AR4 ; AR4 - адрес НЕсмещённого ВХОДного сигнала на текущей итерации

ADD #DINT, A ; A = A + DINT

STLM A, AR0 ; AR0 - адрес смещённого ВХОДного сигнала на текущей итерации

STM #RES, AR1 ; AR1 - адрес ВЫХОДного сигнала на текущей итерации

STM #SIZE-DINT-1, AR2 ; AR2 - обратный номер итерации цикла (loop\_length - i)

loop:

STM #BETA, AR3 ; AR3 = addr(BETA)

LD \*AR3, T ; T = BETA

MPY \*AR0+, B ; B = BETA \* INPUT[n-8], AR0++

SFTA B, -15 ; B >> 15 (B << 1, high(B))

LD \*AR0, A ; A = INPUT[n-7]

ADD A, -2, B ; B = B + (A >> 2) ((B = BETA / 4 \* INPUT[n-8] + INPUT[n-7] / 4))

STLM B, T ; T = low(B)

MPY \*AR4+, B ; B = T \* addr(AR4) ((B = B \* INPUT[n]))

SFTA B, -15 ; B >> 15 (B << 1, high(B))

;SFTA B, -1 ; B >> 1

STL B, \*AR1+ ; RES[n] = B

BANZ loop, \*AR2- ; хождение по циклу до тех пор, пока AR0 не станет равным 0

NOP

NOP

NOP

.align

.data

INPUT .space SIZE\*16 ; входные данные

BETA .word 0x2545 ; BETA/4 = 0.291182

RES .space SIZE\*16 ; результат выполнения

**Результат выполнения программы:**

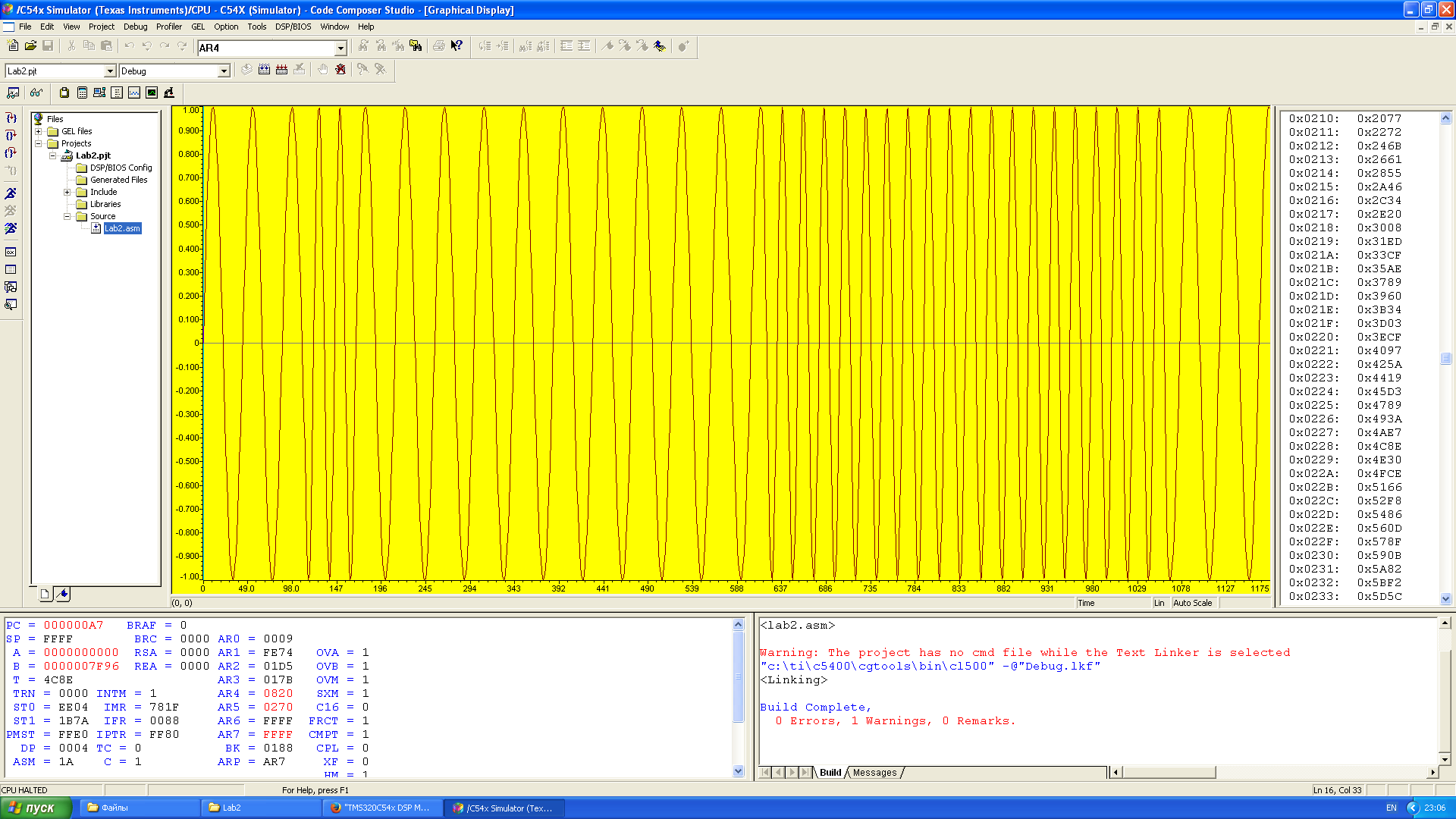


Рисунок 1 – Входной сигнал

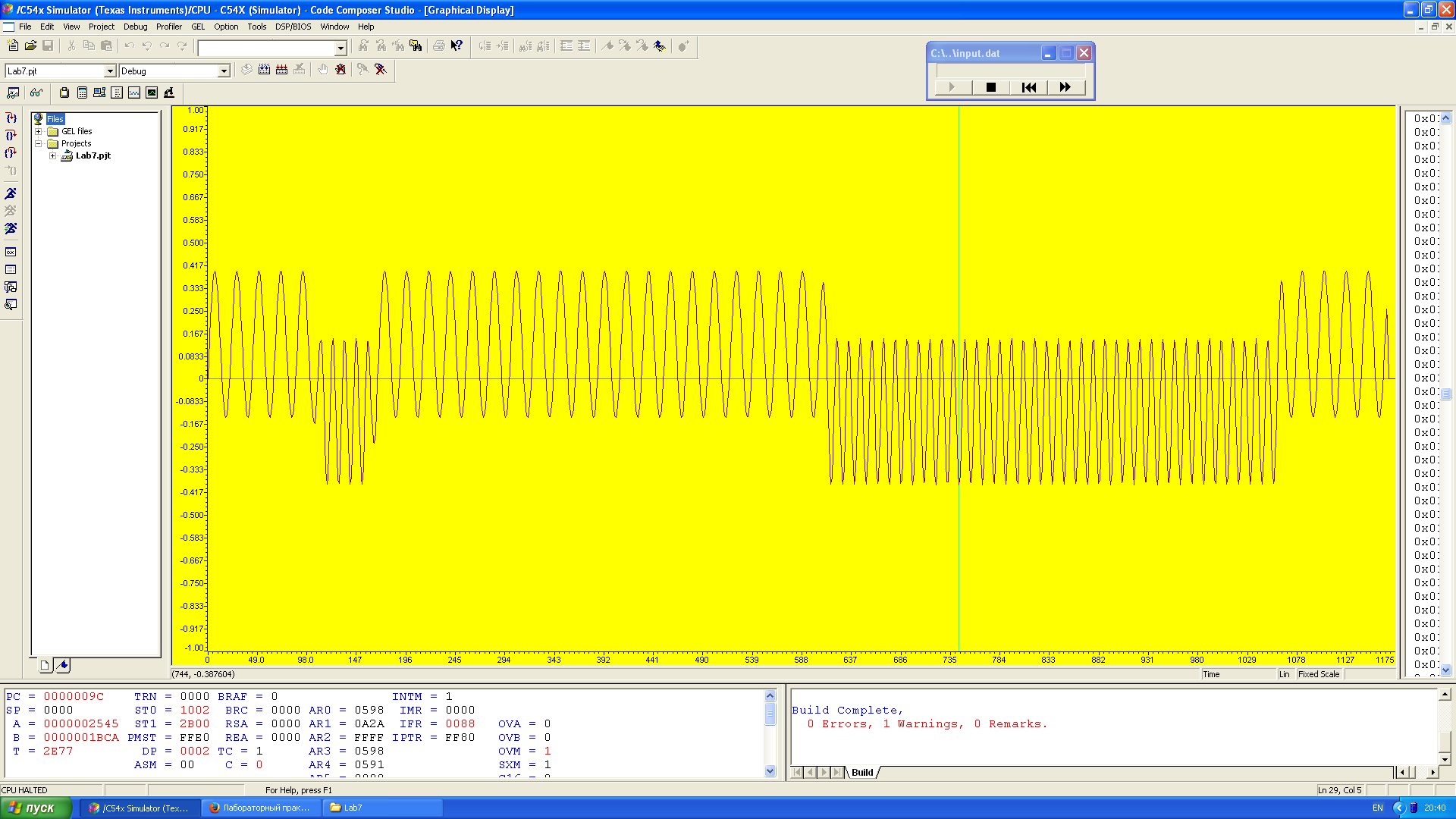


Рисунок 2 – Выходной сигнал

**Вывод:**

В ходе выполнения лабораторной работы была разработана программа фазосдвигателя и умножителя для демодулятора FSK-модема на ассемблере процессора TMS320VC5402 по данному алгоритму.