Министерство образования Республики Беларусь

Учреждение Образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Кафедра электронных вычислительных средств

Лабораторная работа № 3

«ДЕМОДУЛЯТОР FSK-МОДЕМА»

Вариант 3

|  |  |
| --- | --- |
| Проверил: | Выполнили: |
| Шемаров А.И. | ст. гр. 850701 |
|  | Филипцов Д. А. |
|  |  |
|  |  |
|  |  |

Минск 2021

# Цель работы

Разработка алгоритма и программы демодулятора FSK-модема на ассемблере процессора TMS320VC5402.

# Задание

Разработать алгоритм и программу демодулятора FSK-модема сигнала с заданными параметрами частоты дискретизации (fd), скорости передачи сигнала (V), несущей частоты (fc) и частоты отклонения «0» и «1» (Δf).

# Ход работы

Assembler-код:

FD .set 39200 ; частота дискретизации

V .set 700 ; скорость передачи данных

N .set FD/V ; число отсчётов на один бит сигнала

SIZE .set N\*21 ; общее количество отсчётов в посылке

.mmregs

.def \_c\_int00

.text

\_c\_int00:

RSBX OVM

stm #phaseShift, AR2

stm #demod, AR1

stm #Length, BRC

RPTB end

ld a0\_0, T ; T = a0

MPY xn, A ; A = a0\*x(n)

ld a1\_0, T ; T = a1

MAC xn1, A ; A += a1\*x(n-1)

ld a2\_0, T ; T = a2

MAC xn2, A ; A += a2\*x(n-2)

ld b1\_0\_half, T ; T = b1

MAS yn1, A ; A -= b1\*y(n-1)

MAS yn1, A ; A -= b1\*y(n-1)

ld b2\_0, T ; T = b2

MAS yn2, A ; A -= b2\*y(n-2)

SFTA A, -15

delay xn1 ; xn2 = xn1

delay xn ; xn1 = xn

delay yn1 ; yn2 = yn1

stl A, yn1 ; yn1 = yn

stl A, \*AR1+ ; \*AR1 = yn, \*AR1 += 1

ld \*AR2+, A

stl A, xn

nop

end:

nop

nop

nop

stm #0, xn

stm #0, xn1

stm #0, xn2

stm #0, yn1

stm #0, yn2

ld #0, B

stm #outMessage, AR3

stm #demod, AR2

stm #demod2, AR1

stm #Length, BRC

RPTB end2

ld a0\_1, T ; T = a0

MPY xn, A ; A = a0\*x(n)

ld a1\_1, T ; T = a1

MAC xn1, A ; A += a1\*x(n-1)

ld a2\_1, T ; T = a2

MAC xn2, A ; A += a2\*x(n-2)

ld b1\_1\_half, T ; T = b1

MAS yn1, A ; A -= b1\*y(n-1)

MAS yn1, A ; A -= b1\*y(n-1)

ld b2\_1, T ; T = b2

MAS yn2, A ; A -= b2\*y(n-2)

SFTA A, -15

delay xn1 ; xn2 = xn1

delay xn ; xn1 = xn

delay yn1 ; yn2 = yn1

stl A, yn1 ; yn1 = yn

stl A, \*AR1+ ; \*AR1 = yn, \*AR1 += 1

ld \*AR2+, A

stl A, xn

ld \*AR2+, A

BC bit0, AGEQ

BC bit1, ALT

;ld N\_tmp, A

;sub #1, A

;stl A, N\_tmp

;BC record1, AEQ

ld \*AR2+, A

BC bit0, AGEQ

BC bit1, ALT

bit0:

ld cnt, A

sub #1, A

stl A, cnt

BC record0, AEQ

B skip

bit1:

ld cnt, A

add #1, A

stl A, cnt

BC record0, AEQ

B skip

record0:

SFTA B, 1

stm N, N\_tmp

B skip

record1:

SFTA B, 1

add #1, B

stm N, N\_tmp

skip:

nop

end2:

nop

stl B, outMessage

nop

nop

.data

a0\_0 .word 0x7FFF

a1\_0 .word 0x9E5F

a2\_0 .word 0x7FFF

b1\_0\_half .word 0x894A

b2\_0 .word 0x6E73

a0\_1 .word 0x7FFF

a1\_1 .word 0x861B

a2\_1 .word 0x7FFF

b1\_1\_half .word 0x8453

b2\_1 .word 0x7968

xn .word 0

xn1 .word 0

xn2 .word 0

yn1 .word 0

yn2 .word 0

phaseShift .space Length\*16

demod .space Length\*16

demod2 .space Length\*16

outMessage .word 0

Выполнение:

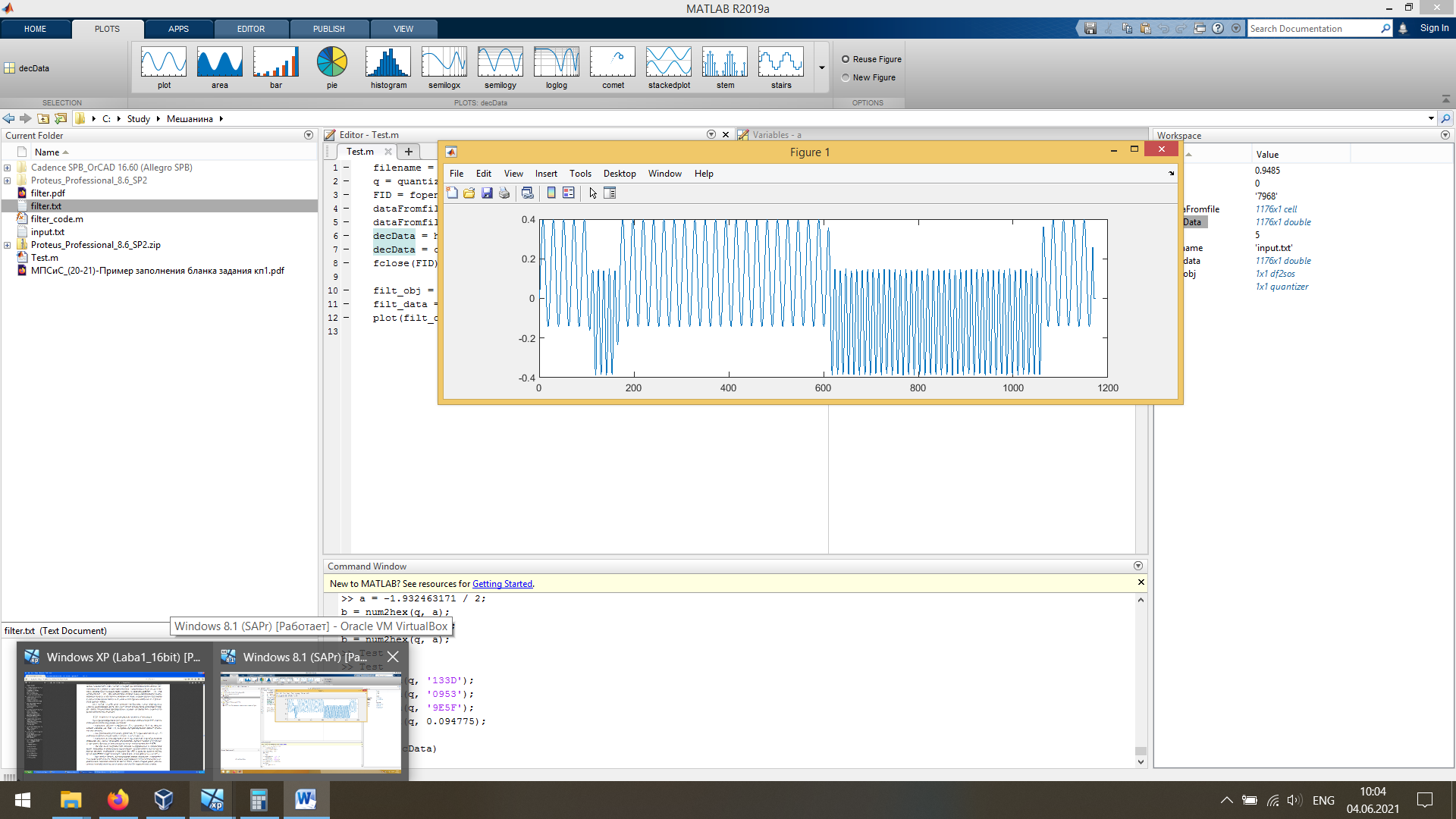


Рисунок 3.1 – Входной сигнал

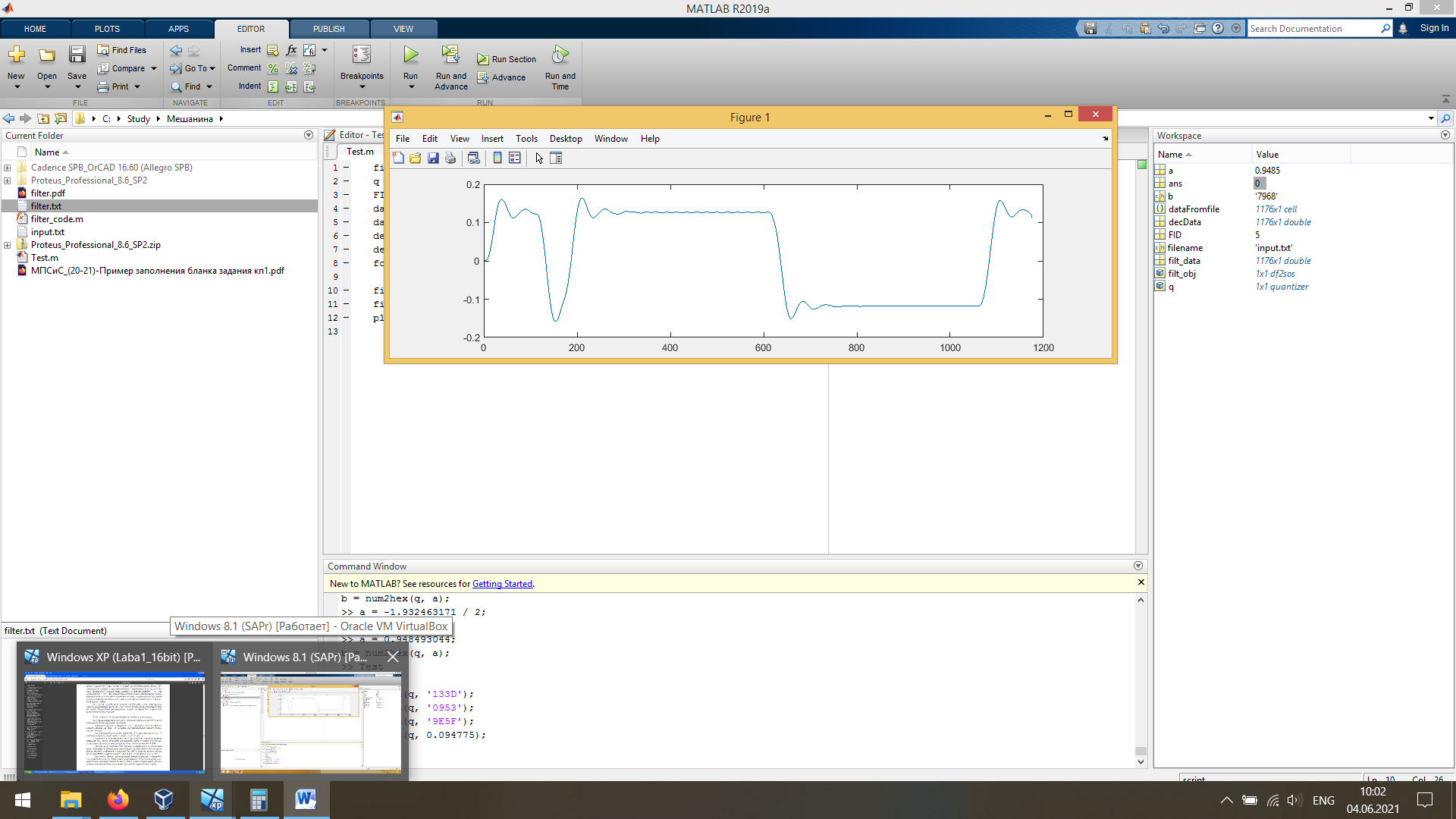


Рисунок 3.2 – Выходной сигнал после второго каскада фильтра

Декодированное сообщение: 00FF16.

# Вывод

В ходе лабораторной работы были разработаны алгоритм и программа демодулятора FSK-модема на ассемблере процессора TMS320VC5402.